



HAL
open science

Premier et second claquages dans les transistors M.O.S.

Henri Tranduc, P. Rossel, Jean-Louis Sanchez

► **To cite this version:**

Henri Tranduc, P. Rossel, Jean-Louis Sanchez. Premier et second claquages dans les transistors M.O.S.. Revue de Physique Appliquée, 1984, 19 (10), pp.859-878. 10.1051/rphysap:019840019010085900 . jpa-00245278

HAL Id: jpa-00245278

<https://hal.science/jpa-00245278>

Submitted on 4 Feb 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

REVUE DE PHYSIQUE APPLIQUÉE

Revue Phys. Appl. 19 (1984) 859-878

OCTOBRE 1984, PAGE 859

Classification
Physics Abstracts
65.00 — 72.80

Premier et second claquages dans les transistors M.O.S.*

H. Tranduc, P. Rossel et J. L. Sanchez

Laboratoire d'Automatique et d'Analyse des Systèmes, Centre National de la Recherche Scientifique,
7, avenue du Colonel Roche, 31077 Toulouse Cedex, France

(Reçu le 14 mai 1984, accepté le 16 juillet 1984)

Résumé. — Cet article décrit les mécanismes qui sont à l'origine du phénomène de Second Claquage dans le transistor M.O.S., à savoir l'apparition d'une caractéristique à résistance négative en régime d'avalanche.

Dans le cas des transistors à canal N, on montre que le lieu critique de basculement est lié, à bas niveau de courant, à l'« effet substrat » du T.MOS : la modulation du courant de drain est due à la polarisation interne du substrat auto-générée par le courant de porteurs majoritaires créés par ionisation par choc dans la zone pincée du canal de conduction. Le lieu critique qui en résulte, suit une loi en $I_D^{-1/8}$ dans le plan des caractéristiques de sortie. A plus fort niveau de courant, la possibilité de mise en conduction du transistor bipolaire latéral est prise en compte ; elle se traduit par un lieu critique en $I_D^{-1/4}$. Cette étude est complétée par l'évaluation de l'influence des courants « sous le seuil ». La résolution numérique du système d'équations mises en jeu, permet de rendre compte des différents cas de figures rencontrés dans la pratique ; en particulier, l'effet pénalisant de la charge des porteurs injectés au drain, sur la valeur de la tension de maintien après basculement en second claquage, a pu être mis en évidence. Pour terminer, le comportement des structures multi-cellulaires de puissance en régime d'avalanche, est analysé sur la base des mécanismes proposés.

Abstract. — This paper describes the mechanisms inducing the 2nd breakdown in M.O.S. transistors, i.e. when the device is operating in the avalanche mode, a negative resistance is observed, reducing the drain sustaining voltage. For the N channel devices, it is shown that the snap-back phenomenon is essentially associated to the « substrate bias effect » of the MOS'T : i.e. the excess hole substrate current generated by drain current impact ionization causes a voltage drop across the substrate and decreases the threshold gate voltage, inducing the drain current increase although the substrate « internal bias » is insufficient to turn on the source junction ; that positive feedback leads to the negative resistance effect. It is also shown that subthreshold currents may be involved in. The S.O.A. limits associated with are determined from an analytical analysis : in the snap-back locus, the drain voltage varies respectively as $I_D^{-1/8}$ and $I_D^{-1/4}$. At high current levels, the carrier injection by the source junction sets an another $I_D^{-1/4}$ limit. A first order numerical analysis allows to explain the various experimental behaviours observed, specially the sustaining drain voltage lowering associated with the excess carriers charge in the pinched channel region. Finally, the effects on the multi-cell power MOS'T failures, are discussed.

1. Introduction.

De nombreuses publications ont été proposées ces dernières années, en vue de décrire les lieux de claquage des transistors M.O.S. D'un point de vue général, il a été montré expérimentalement qu'il existe deux lieux de claquage appelés, par analogie avec la

terminologie utilisée dans le cas du transistor bipolaire, le premier et le second claquages. Une caractéristique de premier claquage se traduit, dans le plan courant drain-tension drain, sous la forme d'une croissance très rapide du courant au-delà d'une certaine valeur de tension drain. Ce mode d'évolution est illustré par les caractéristiques d'un transistor M.O.S. à canal P de la figure 1.

La caractéristique dite « de second claquage »,

(*) Travail soutenu sur contrat DIELI.

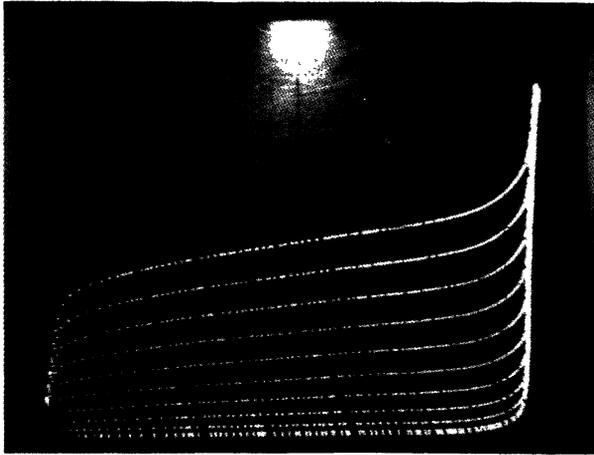


Fig. 1. — Lieu de premier claquage. Cas du transistor à canal P-SIN480. $L = 6 \mu\text{m}$. Vert : 0,5 mA/div, Hor : 10 V/div, $V_{G\text{max}} = 7 \text{ V}$ par pas de 0,5 V.

[First breakdown locus. P channel device.]

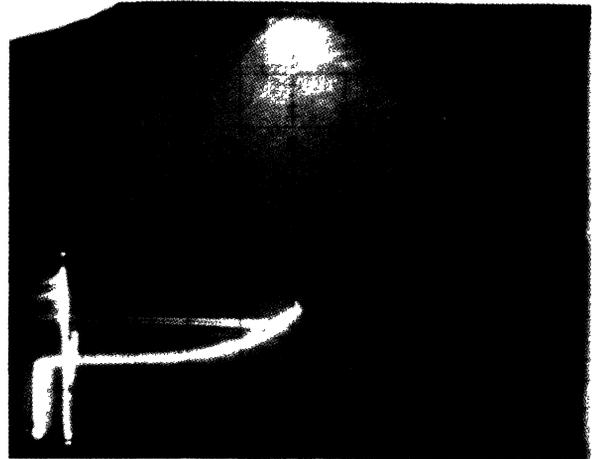


Fig. 2. — Mise en évidence de l'effet de deuxième claquage. Cas du transistor à canal N, $L = 2 \mu\text{m}$, type V.MOS, 2N6657, Vert : 0,1 A/div, Hor : 20 V/div, $V_G = 5 \text{ V}$.

[Output characteristic showing the second breakdown effect. N. channel device.]

— phénomène cité dans la littérature anglo-saxonne sous quatre terminologies différentes, second breakdown [1], snap-back [2] ou switch-back [3] ou latch-back [4] phenomenon —, se traduit sur un transistor à canal N, par l'apparition d'une résistance négative, se manifestant après que la tension de drain ait atteint une valeur maximale V_{DBR} , qui dépend elle-même de la tension appliquée entre grille et substrat (Fig. 2).

Contrairement au cas du transistor bipolaire, l'apparition de ce mécanisme ne semble pas être due à un processus d'origine thermique [3, 5] : le lieu de basculement $I_{\text{DBR}}(V_{\text{DBR}})$ en deuxième claquage, constitué par la caractéristique du courant drain au basculement en fonction de la tension V_{DBR} , est indépendant de la durée — continue ou impulsionnelle — des signaux appliqués.

L'explication communément admise pour décrire l'apparition de la résistance négative est celle de la mise en conduction du transistor bipolaire parasite qui existe intrinsèquement dans toute structure de transistor M.O.S. Tous les auteurs [2, 6 à 9] considèrent que la transition se produit au moment où la tension interne source-substrat atteint 0,65 volt environ, entraînant le déblocage du bipolaire et simultanément le basculement de la tension supportée par le dispositif vers la valeur V_{CEO} du bipolaire. Cette polarisation source-substrat est auto-générée par le courant dû aux porteurs majoritaires du substrat, créés par ionisation par choc dans la zone pincée du transistor M.O.S., qui s'écoule par l'électrode de substrat *via* sa propre résistance volumique. Cette analyse est insuffisante du fait que les mécanismes de base liés au basculement ainsi que les paramètres qui le contrôlent, n'ont jamais été clairement exprimés. En effet, certains auteurs admettent intrinsèquement et *a priori* que le basculement ne se produit que lorsque le transistor bipolaire est conducteur; faisant inter-

venir ce courant bipolaire, ils écrivent ensuite les relations unidimensionnelles relatives aux mécanismes de conduction et de multiplication. D'autres auteurs utilisent une procédure d'étude d'une part bidimensionnelle unipolaire, d'autre part numérique approchée par le calcul de l'intégrale d'ionisation; il n'est alors pas possible de dégager les facteurs essentiels qui sont à l'origine du phénomène de second claquage.

L'objet de cet article est de montrer, que le basculement de la caractéristique courant-tension n'est pas, en fait, lié principalement à un effet bipolaire et, qu'il est, par contre, associé à l'« effet substrat » du transistor M.O.S. Une approche analytique au premier ordre permettra d'explicitier, dans le cas de composants à canal N, les principaux paramètres régissant les conditions d'apparition de la résistance négative; une expression analytique du lieu de second claquage $I_{\text{DBR}}(V_{\text{DBR}})$ sera proposée. Le bien-fondé de cette analyse sera ensuite validé par des mesures effectuées sur des structures spéciales réalisées à cet effet. Pour compléter cette étude, les points suivants seront discutés : l'influence des porteurs injectés dans la charge d'espace du drain, la caractéristique après basculement, le comportement du bipolaire parasite, l'influence du courant « sous le seuil », le cas des transistors M.O.S. à canal P.

2. Caractéristiques électriques expérimentales au claquage.

2.1 ALLURE DES CARACTÉRISTIQUES. — La valeur de la tension maximale que peut soutenir un transistor M.O.S. à canal N, dépend de la valeur de tension de grille V_G appliquée (Fig. 3). Lorsque le transistor est bloqué, c'est-à-dire pour V_G inférieur à la tension de seuil V_T , la caractéristique courant-tension présente au-delà d'une tension V_{DBR} , une allure verticale

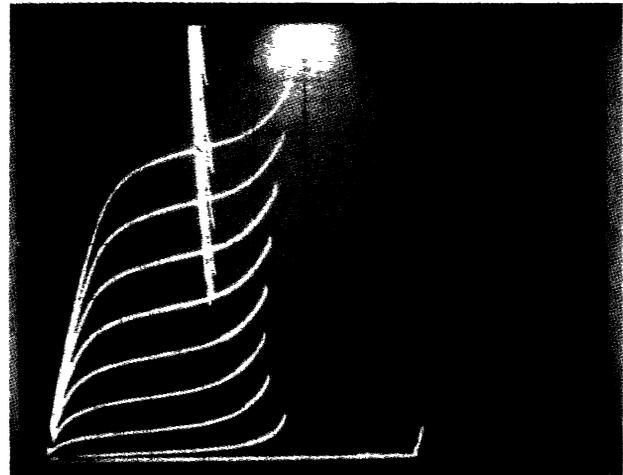
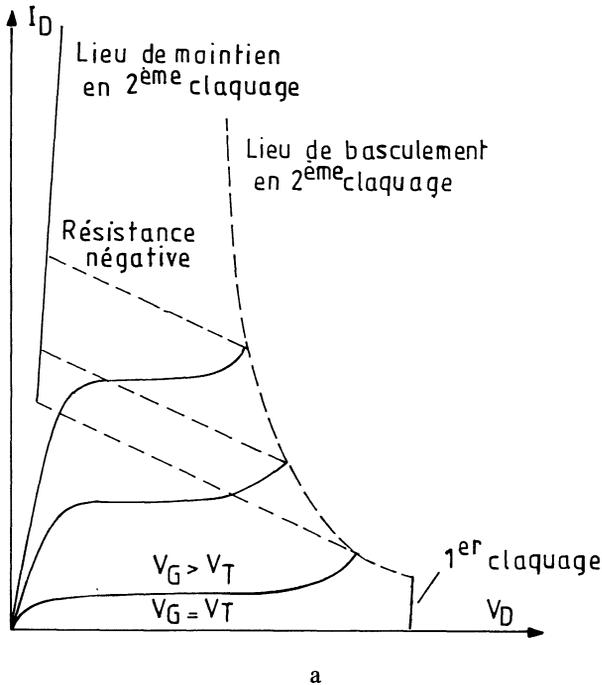


Fig. 3. — Définition des lieux i) de premier claquage, ii) de basculement en deuxième claquage, iii) de maintien, a) allures qualitatives, b) oscillogramme, cas d'un V.MOS (Si-Gate 127PL7, N° 23) $L = 2 \mu\text{m}$, $Z = 200 \mu\text{m}$. Vert : 1 mA/div, Hor : 2 V/div, $V_{G\text{max}} = 10 \text{ V}$ par pas de 1 V.

[Definition of i) first breakdown locus, ii) second breakdown switch-back locus, iii) sustaining locus a) qualitative behaviours, b) observations on a curve tracer.]

appelée lieu de « premier claquage », analogue à celle que présente une jonction P⁺ N mise en avalanche; cette valeur V_{DBR} peut dépendre de la tension grille-source. Une résistance négative peut alors apparaître au-delà d'un certain niveau de courant; c'est le régime dit de « second claquage » et la caractéristique bascule vers un mode de fonctionnement à plus faible tension et à croissance verticale de courant, dit lieu de maintien en second claquage.

Lorsque le transistor est en conduction, la valeur maximale de la tension applicable sur le drain est plus faible que celle obtenue en premier claquage. Cette nouvelle valeur V_{DBR} dépend aussi de la tension de grille appliquée et, on peut ainsi définir un lieu de basculement en second claquage correspondant aux couples $(V_{\text{DBR}}, I_{\text{DBR}})$ paramétrés en V_G . En effet, au-delà de la valeur I_{DBR} , il y a également apparition d'une résistance négative, avec basculement vers l'asymptote de maintien commune, indépendante de la polarisation de grille. Dans ce mode de fonctionnement, il peut y avoir dégradation, voire destruction [10] du composant si celui-ci n'est pas correctement conçu [11, 12].

Certains composants peuvent, de plus, présenter des caractéristiques de basculement à double résistance négative. Un exemple en est reporté sur l'oscillogramme de la figure 4.

Enfin, contrairement à ce qui est annoncé dans la

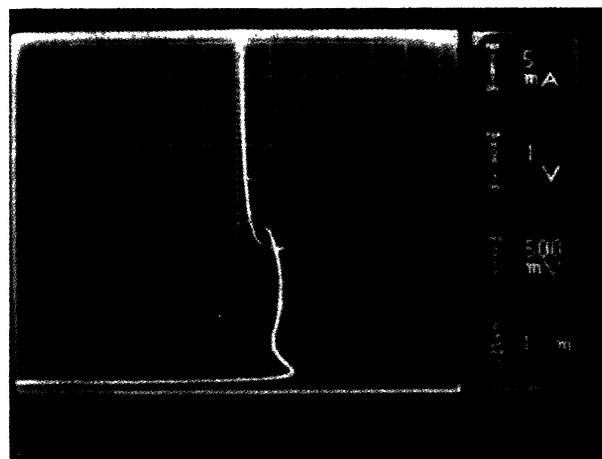


Fig. 4. — Mise en évidence de la possibilité d'existence de deux parties du lieu de basculement ayant des pentes négatives. Canal N, SIP264 N° 4, $L = 3 \mu\text{m}$, $V_G = 1,45 \text{ V}$. Origine à 0 mA et + 5 V.

[Case of the existence of two regions with negative slopes in the negative resistance switch-back locus.]

littérature [9], le second claquage n'est pas lié à un effet de canal court : nous avons pu mettre en évidence ce mécanisme sur des composants « à canal long » d'une trentaine de microns.

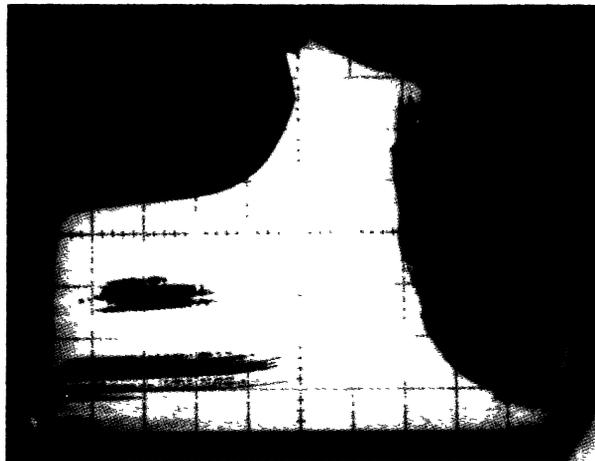
2.2 INFLUENCE QUALITATIVE DES PARAMÈTRES GÉOMÉTRIQUES ET ÉLECTRIQUES. — Le lieu de premier claquage correspond au claquage de la jonction « substrat du canal P — drain N » qui se produit :

i) soit au cœur du volume lorsque la structure est correctement conçue; c'est le cas des dispositifs à configuration verticale de type V.MOS ou V.DMOS; la tension de claquage est alors voisine de la tension d'avalanche de la « jonction plane »;

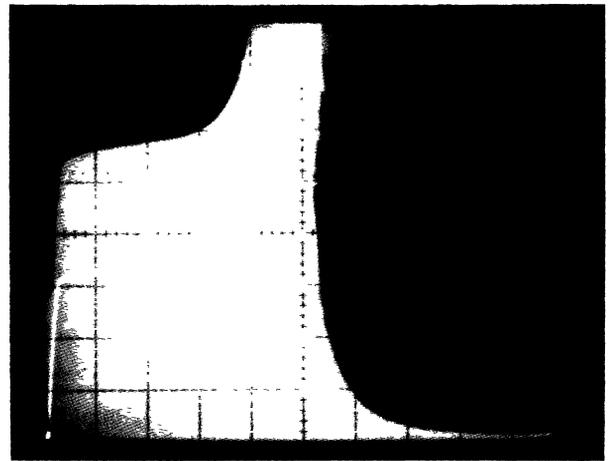
ii) soit dans les zones latérales où le rayon de courbure de la jonction est minimal; c'est le cas des structures planar — T.MOS horizontal, D.MOS latéral — lorsqu'elles sont correctement conçues, c'est-à-dire, ne claquant pas en mode de perçage. Les paramètres de premier ordre imposant alors la valeur

de la tension d'avalanche sont les dopages des zones P et N et les rayons de courbure de la diffusion P et, dans certaines configurations, la valeur de la tension grille.

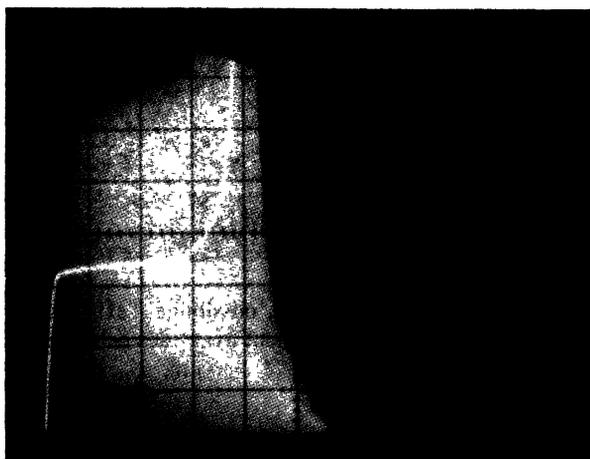
Le lieu de basculement en second claquage dépend : i) des paramètres géométriques du transistor (longueur L , largeur Z , épaisseur d'oxyde x_0) et des dopages N, P, mais aussi ii) de la valeur de la résistance externe R_{su} placée entre source et substrat. Un exemple en est donné sur la figure 5 où quatre lieux correspondant à différentes valeurs de R_{su} sont obtenus au moyen d'un traceur de courbes à écran mémoire. Ainsi, plus cette résistance croît, plus vite apparaît le mécanisme de résistance négative et, plus faible est la tenue en tension du transistor.



$$R_{ext} = 0$$



$$R_{ext} = 900 \Omega$$



$$R_{ext} = 3,9 \text{ k}\Omega$$



$$R_{ext} = 50 \text{ k}\Omega$$

Fig. 5. — Mise en évidence expérimentale de la modification du lieu de basculement par introduction d'une résistance externe en série avec le substrat. SIP264, N° 4 canal N, Vert : 0,5 mA/div, Hor : 2 V/div, V_G variable continuellement.

[Influence of the substrate resistance value on the 2nd breakdown switch-back locus.]

3. Analyse des conditions d'apparition de la résistance négative — tenue en tension au voisinage du blocage du transistor.

Sans revenir sur le mécanisme de premier claquage, nous nous intéresserons dans ce paragraphe à préciser, par une approche analytique au premier ordre, les conditions d'apparition de la résistance négative et l'expression de la tension V_{DBR} que peut tenir le dispositif. Dans un premier temps, il sera nécessaire de rappeler trois éléments essentiels du fonctionnement du transistor M.O.S. que nous avons étudiés par le passé; il s'agit i) de l'effet de la polarisation substrat-source sur les évolutions de la tension de seuil et des caractéristiques électriques, ii) de la formulation des mécanismes de saturation, iii) de la formulation du mécanisme de multiplication des porteurs dans la zone pincée du canal. Sur la base de ces mécanismes, il sera aisé de préciser l'expression du lieu d'apparition de la résistance négative, en utilisant les relations approchées de Ghandi [13] entre coefficient d'ionisation et champ électrique.

3.1 EFFET D'UNE POLARISATION SUBSTRAT-SOURCE SUR LES CARACTÉRISTIQUES ÉLECTRIQUES.

3.1.1 La tension de seuil. — Lorsqu'une différence de potentiel V_{su} est appliquée entre le substrat et la source d'un T.MOS, il se produit une modification de la tension de seuil V_T et du courant de drain I_D ; ce phénomène classique est bien connu. Lorsque la tension V_{su} est appliquée « en inverse », la variation de tension de seuil, référencée par rapport à la source, s'écrit [14] :

$$V_T = V_{FB} + 2 \phi_F + \sqrt{\phi_B(2 \phi_F + |V_{su}|)} \quad (1)$$

où ϕ_F est le potentiel de Fermi du substrat, V_{FB} la tension de bandes plates égale à $-Q_{ss}/C_{ox} + \phi_{MS}$. La dépendance de V_T en fonction de $(-V_{su})^{1/2}$ est d'allure linéaire pour les fortes polarisations inverses (Fig. 6); la pente vaut :

$$\phi_B^{1/2} \equiv (2 q N_A \epsilon_0 \epsilon_{Si})^{1/2} / C_{ox} \quad (2)$$

où N_A est le dopage de la zone P, ϵ_{Si} le facteur de permittivité du silicium, C_{ox} la capacité d'oxyde de grille par unité de surface.

Il est d'usage moins courant d'appliquer une polarisation directe. L'expression du seuil devient :

$$V_T |_{V_{su} < 2\phi_F} = V_{FB} + 2 \phi_F + \sqrt{\phi_B(2 \phi_F - V_{su})} \quad (3)$$

Cette relation peut être linéarisée sous la forme :

$$V_T |_{V_{su} < 2\phi_F} \simeq V_{T_0} - (\phi_B/8/\phi_F)^{1/2} \cdot V_{su} \quad (4)$$

où V_{T_0} représente la relation (3) à tension substrat-source nulle (Fig. 7).

Lorsque la tension V_{su} est supérieure à $2 \phi_F$ environ, compte tenu des ordres de grandeur des courants mis

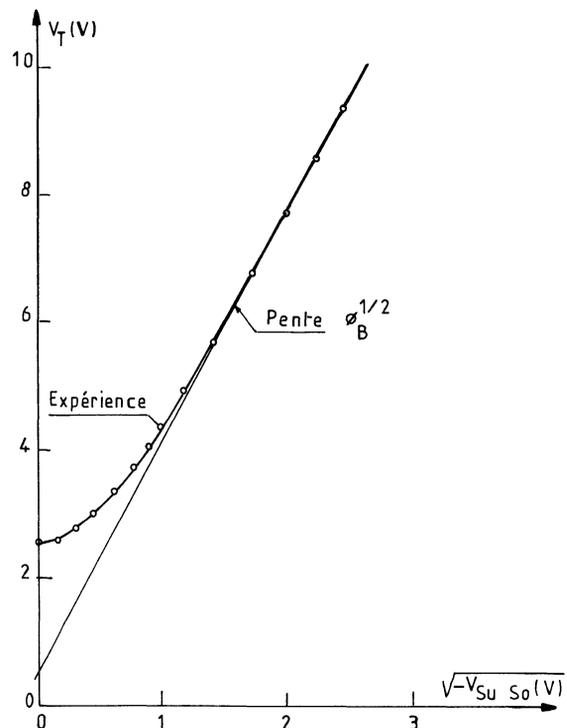


Fig. 6. — Variations de la tension de seuil en fonction de la tension inverse source-substrat. Détermination expérimentale du potentiel ϕ_B (réf. des potentiels à la source). V.MOS 127 PL7 Si-Gate canal N $L = 2 \mu m$, $Z = 200 \mu m$, N° 24, $V_D = .100 mV$.

[Experimental variations of the threshold voltage vs. the reverse substrate-source bias. Determination of the ϕ_B value.]

en jeu dans la structure, on peut dire que la diode source-substrat se met à conduire, entraînant le déblocage du transistor bipolaire parasite d'émetteur N (source), de base P (substrat), de collecteur N (drain). La notion de tension de seuil, intrinsèquement liée au blocage du transistor M.O.S. par commande sur la grille, perd alors tout son sens puisqu'il devient impossible de supprimer la conduction par action sur la grille.

3.1.2 Le courant drain. — La polarisation substrat-source agit également sur le courant de drain. Ce mécanisme a été étudié en détail dans la littérature [15] dans le cas des polarisations inverses. Les formalismes et relations établies restent valables si l'on polarise faiblement en direct la jonction ($V_{su} < 2 \phi_F$). Au premier ordre, en négligeant les effets i) de saturation de vitesse, ii) de réduction de mobilité due au champ électrique transverse, iii) des résistances séries, la dépendance entre courant drain I_D et tension grille V_G en régime saturé, peut être décrite par la simple relation parabolique approchée classique [16] :

$$I_D |_{V_{su} < 2\phi_F, V_D \geq V_G - V_T} \simeq \frac{1}{2} \mu_0 \frac{Z}{L} \cdot C_{ox} \cdot [V_G - V_T(V_{su})]^2. \quad (5)$$

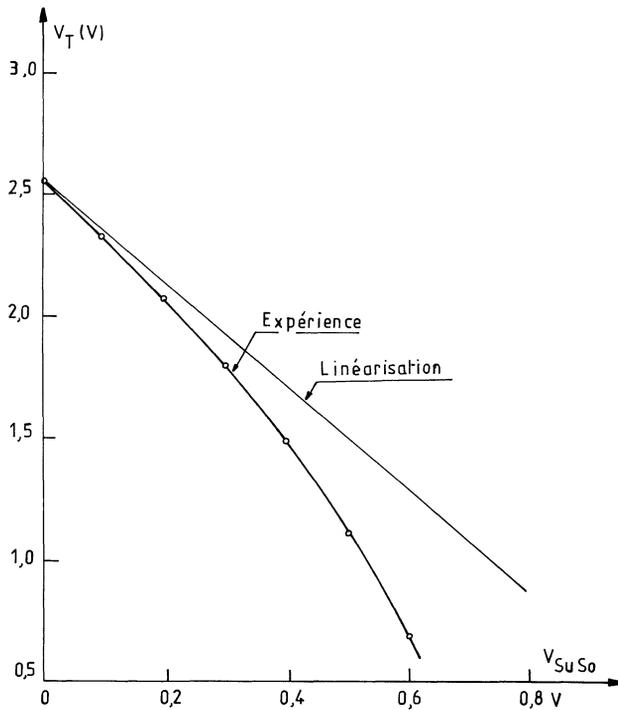


Fig. 7. — Relevé expérimental de la tension de seuil en fonction de la tension « directe » source-substrat V. MOS Si-Gate, N° 24, $V_D = 100$ mV.

[Experimental variations of the threshold voltage vs. the forward substrate-source bias.]

L'expression de V_T sera linéarisée par la relation (4). μ_0 est la mobilité des porteurs, Z la largeur du canal de conduction, L sa longueur. Cette relation (5) n'est, en toute rigueur, valable que dans une gamme étroite de tensions de grille au voisinage du seuil là où le champ transverse n'est pas encore trop élevé, et de plus à condition de négliger les « courants sous le seuil ». Elle est suffisante pour une analyse des mécanismes au premier ordre. La figure 8 illustre ce comportement parabolique indépendamment de la polarisation V_{su} .

Lorsque la valeur de V_{su} approche de $2\phi_F$, un courant bipolaire I_{BIP} se superpose au courant du M.O.S. qui lui ne croît plus, de sorte que la caractéristique totale peut être approximée par :

$$I_D \begin{cases} V_{su} > 2\phi_F \\ V_D \geq V_G - V_T \end{cases} \approx \frac{1}{2} \mu_0 \frac{Z}{L} \cdot C_{ox} \times [V_G - V_T |_{V_{su}=2\phi_F}]^2 + I_{BIP} \quad (6)$$

La représentation en coordonnées semi-paraboliques des caractéristiques de ce même transistor à canal court (Fig. 9) permet de préciser la zone de validité de la formulation proposée ainsi que les zones régies par les courants sous le seuil à bas niveau et l'effet de canal court à fort niveau (tendance à une dépendance linéaire et non plus parabolique).

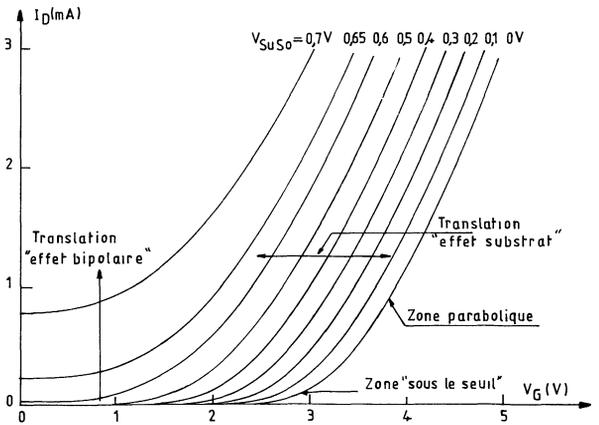


Fig. 8. — Tracé expérimental des caractéristiques $I_D(V_G)$ dans le cas d'une polarisation source-substrat positive : mise en évidence de 2 translations : horizontale due à l'effet substrat (lorsque $V_{su} < 2\phi_F$) puis verticale due à l'effet bipolaire ($V_{su} > 2\phi_F$). Transistor V. MOS Si-Gate N° 24, $V_D = 5$ V.

[Transfer characteristics modification under the influence of the forward substrate-source bias showing two translation effects i) following the horizontal axis-associated to the threshold modulation; ii) following the vertical axis-parasitic bipolar or source injection effect.]

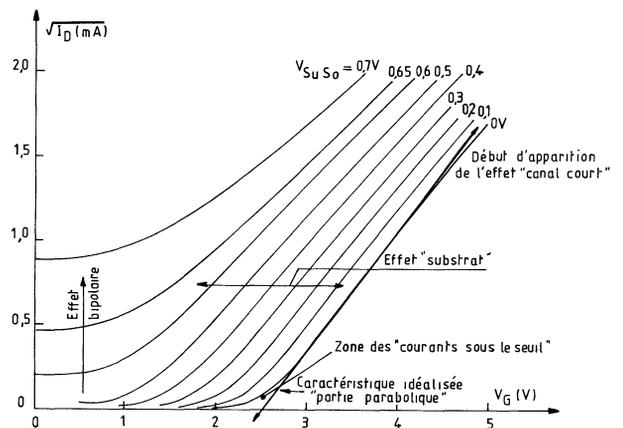


Fig. 9. — Mise en évidence de la zone de dépendance parabolique du courant en fonction de la polarisation source-substrat. Transistor V. MOS Si-Gate, N° 24, $V_D = 5$ V.

[Parabolic dependence of the drain current vs. the gate voltage.]

3.2 LE MÉCANISME DE SATURATION DU COURANT ET LA MULTIPLICATION DES PORTEURS.

3.2.1 *Le champ électrique en régime pincé* [17, 18, 8]. — Lorsque la polarisation de drain est supérieure à la valeur $V_G - V_T$, le canal de conduction du transistor se pince près du drain sur une longueur l_{dep} ; les porteurs transitent en vitesse limite dans cette charge

d'espace. D'une analyse antérieure [17], nous retiendrons que, dans cette zone à champ fort, le champ électrique longitudinal E_y varie linéairement, et atteint sa valeur maximale E_D à la jonction métallurgique :

$$E_D \simeq \sqrt{a'(V_D - V_p) + E_p^2}$$

avec

$$a' \equiv 2 \frac{dE_y}{dy} \quad (7)$$

où V_p est la tension de pincement voisine de $(V_G - V_T)$ et E_p , un champ critique de l'ordre de 1 à 3×10^4 V/cm. Dans cette relation, le coefficient a' tient compte à la fois de la charge des impuretés dopantes N_A et de celle des porteurs libres injectés dans la charge d'espace, sous la forme :

$$a' = 2 \cdot [qN_A + I_D / (Z \cdot v_L \cdot x_a)] / (\epsilon_0 \epsilon_{Si}) \quad (8)$$

où v_L est la vitesse limite des porteurs dans une couche d'inversion, x_a l'épaisseur équivalente de la zone de canal pincée. Si le dopage du substrat est très élevé, supérieur à 10^{17} at./cm³, le deuxième terme relatif aux porteurs libres peut être négligé [19].

Nous rappelons que, dans le cas d'un T.MOS haute tension, à drain N très peu dopé, 10^{13} à 10^{15} at./cm³, l'expression du coefficient a' est, par ailleurs, fonction du dopage du drain [20].

3.2.2 La multiplication des porteurs au droit du drain

[17, 18]. — Compte tenu de la valeur élevée du champ électrique dans la zone pincée du canal, il s'y produit une multiplication des porteurs du courant drain, par ionisation par choc. Les paires « électron-trou » ainsi créées sont collectées par le canal de conduction d'une part, et par le volume du substrat d'autre part. Pour un transistor à canal N (Fig. 10), en désignant par I_D la partie du courant de porteurs d'inversion — les électrons — et par I_h la partie de courant injectée vers le substrat — les trous créés par ionisation —, le courant total de drain s'écrit :

$$I_{DT} = I_D + I_h \quad (9)$$

soit encore en utilisant le formalisme de la multiplication

$$I_{DT} = M \cdot I_D \quad (10)$$

avec

$$I_h = (M - 1) \cdot I_D \quad (11)$$

où M est le facteur de multiplication des électrons.

En se plaçant dans le cas de faibles multiplications [21], le facteur M est voisin de l'unité, et il peut être évalué par le calcul de l'intégrale d'ionisation suivante :

$$M - 1 \simeq 1 - \frac{1}{M} = \int_{E_p}^{E_D} \alpha_n(E) \cdot \frac{dy}{dE} \cdot dE \quad (12)$$

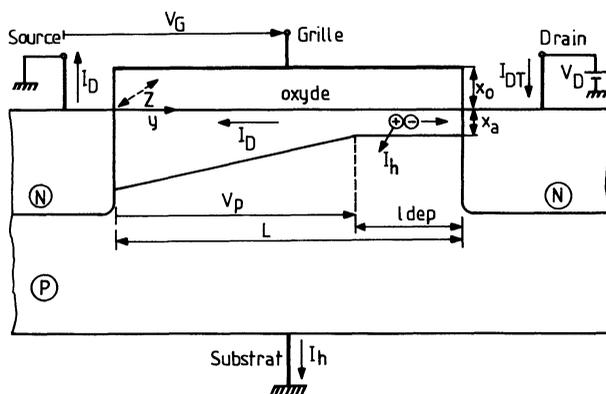


Fig. 10. — Mise en évidence des paramètres spécifiques du régime de pincement. Définition du courant et des tensions.

[Definition of the voltages and currents beyond pinch-off.]

où $\alpha_n(E)$ est le coefficient d'ionisation des électrons : c'est le nombre de collisions ionisantes que subit un électron par unité de longueur parcourue ; il est essentiellement fonction du champ électrique. La figure 11 fait la synthèse des valeurs α_n déterminées par différents auteurs. Dans la gamme de champs comprise entre 10^5 et 10^6 V/cm, il est admis que le mode d'évolution du coefficient d'ionisation peut être traduit, à 20 % près, par une formulation du type [28] :

$$\alpha_n(E) = A_n \cdot \exp - \frac{B_n}{E} \quad (13)$$

La complexité d'évaluation de l'intégrale (12) sur la base de la relation (13) a conduit Ghandi [13] à proposer une dépendance polynomiale plus simple dont nous avons légèrement modifié les coefficients pour mieux cerner les données expérimentales :

$$\alpha_n(E) |_{cm-1} = 3,6 \times 10^{-35} \cdot E^7 \text{ pour les électrons} \quad (14)$$

$$\alpha_p(E) |_{cm-1} = 0,3 \times 10^{-35} \cdot E^7 \text{ pour les trous} \quad (15)$$

où le champ est exprimé en V/cm. Ces approximations sont reportées sur la figure 11 où elles simulent à 50 % près les évolutions expérimentales des coefficients d'ionisation.

L'intégrale d'ionisation résolue dans ces conditions, donne l'expression suivante pour les électrons :

$$\frac{I_h}{I_D} = M - 1 \simeq 0,90 \times 10^{-47} \cdot E_D^8 / a' \text{ (MKSA)}. \quad (16)$$

En se plaçant à faible niveau de courant et à tension de drain élevée, ce qui se traduit par les inégalités suivantes :

$$2 qN_A \gg I_D / (Z \cdot v_L \cdot x_a) \\ E_D \gg E_p \text{ et } V_D \gg V_p$$

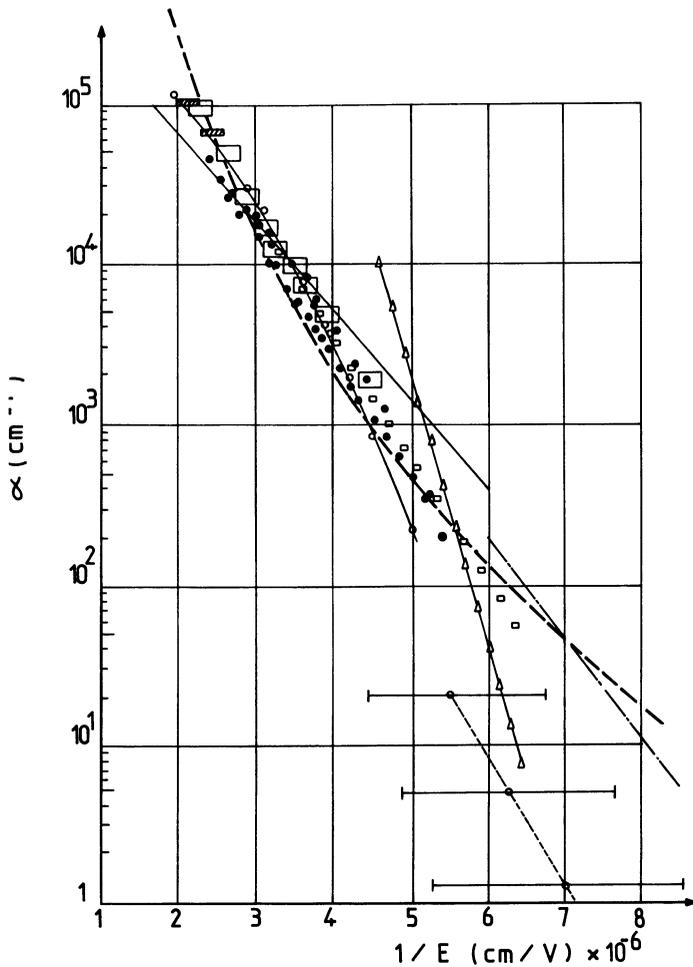


Fig. 11. — Variations expérimentales du coefficient d'ionisation des électrons en fonction du champ électrique. (□ □ □) [27] Gris; (—) [25] Van Overstraeten; (---) [23] Ogawa; (· · ·) [22] Lee; (■ □) [28] Leguerre; (○-○) [26] Sayle; (○-○) [24] Crowell; (---) Approximation proposée (relation (14)).

[Electron ionization coefficient vs. electric field.]

le champ électrique au drain (relations (7, 8)) devient :

$$E_D = \sqrt{2 q N_A \cdot V_D / (\epsilon_0 \epsilon_{Si})} \quad (17)$$

et l'expression (16) du facteur de multiplication se réduit à (Fig. 12) :

$$M - 1 = 2,8 \times 10^{-73} \cdot N_A^3 \cdot V_D^4 \quad (\text{MKSA}). \quad (18)$$

3.3 LIEU DE BASCULEMENT EN SECOND CLAQUAGE PAR « EFFET SUBSTRAT ». — Lorsque le substrat du canal de conduction et la source sont portés à la même référence de potentiel externe, il existe naturellement une charge d'espace autour de la jonction de source, associée à sa tension de diffusion. L'orientation de son champ électrique ainsi que celle du champ transverse de grille sont telles que les porteurs majo-

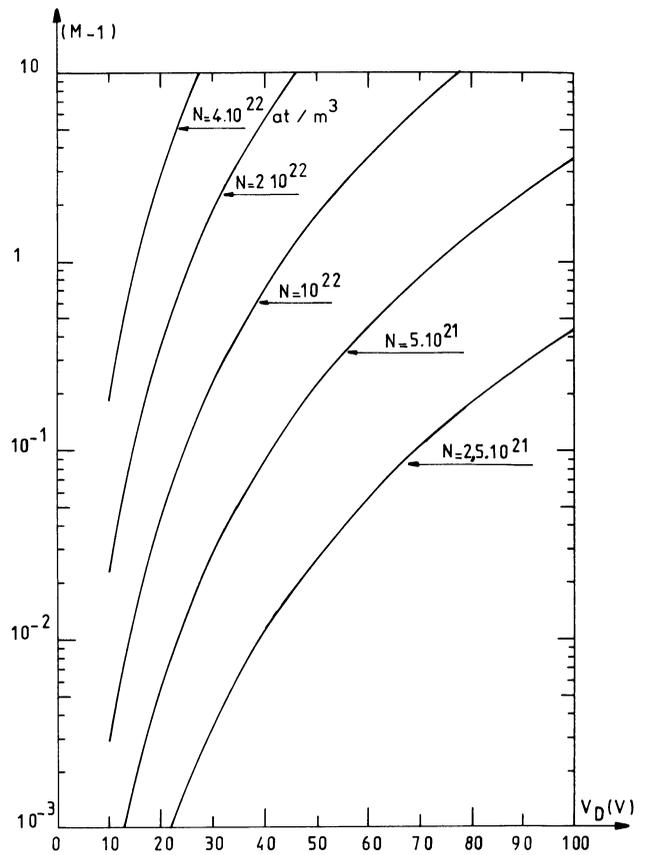


Fig. 12. — Variations du coefficient de multiplication des électrons en fonction du dopage et de la tension (relation (18)).

[Multiplication coefficient for electrons as a function of the applied voltage and the doping values (rel. (18)).]

ritaires (trous) générés par multiplication dans la zone, à fort champ, de charge d'espace de drain, sont repoussés dans le volume du substrat. Ils s'écoulent par l'électrode de substrat et induisent une polarisation interne V_{su} du fait de la résistance volumique R_{su} (Fig. 13). Son sens est tel que la jonction source-substrat est polarisée en direct. Ainsi, vu du drain,

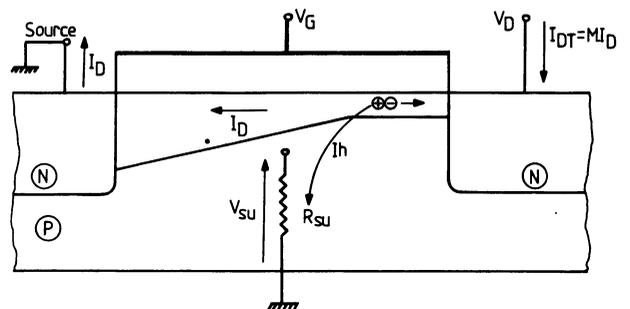


Fig. 13. — Mise en évidence de l'auto-polarisation du substrat.

[The self-biasing mechanism in the substrate.]

à l'apport des minoritaires (électrons) créés par avalanche, vient s'ajouter l'accroissement du courant d'inversion I_D (relation (5)) dû à la diminution de tension de seuil (relation (3)) induite par cet « effet substrat ». Or le courant de substrat I_h est lui-même dépendant, en proportion, du flux d'électrons transitant dans la zone de multiplication de drain : on a là un phénomène de contre-réaction positive propre à provoquer l'instabilité de la structure. Il existe alors un point de fonctionnement — point de basculement en second claquage — au-delà

duquel, pour maintenir un niveau de courant donné, un taux de multiplication plus faible — correspondant à une diminution de la polarisation de drain — est suffisant.

Au point de basculement, on admettra que l'auto-polarisation du substrat est suffisamment faible devant la tension de diffusion de la jonction de source pour négliger la fraction de courant de substrat dérivée dans la source :

$$V_{su} = R_{su} \cdot I_h = R_{su} \cdot (M - 1) \cdot I_D. \quad (19)$$

Compte tenu des relations (4), (5) et (19), l'expression du courant d'électrons devient :

$$I_D \simeq \frac{1}{2} \mu_0 \frac{Z}{L} C_{ox} \cdot \left[V_G - V_{T_0} + \sqrt{\frac{\phi_B}{8 \phi_F}} \cdot (M - 1) \cdot R_{su} \cdot I_D \right]^2. \quad (20)$$

La condition d'apparition de l'instabilité $(dV_D/dI_D) = 0$ compte tenu de la relation (18), se ramène à la condition suivante sur le facteur de multiplication M :

$$\frac{\partial(M - 1)}{\partial I_D} \equiv 0 \quad (21)$$

et l'expression (20) du courant d'électrons, au point de basculement, se réduit à :

$$I_{DBR} = 2 \mu_0 \frac{Z}{L} C_{ox} \cdot (V_G - V_{T_0})^2 \quad (22)$$

tandis que le facteur de multiplication prend la valeur :

$$M - 1 = \left[2 \mu_0 \frac{Z}{L} C_{ox} \cdot (V_G - V_{T_0}) \cdot R_{su} \cdot \sqrt{\frac{\phi_B}{8 \phi_F}} \right]^{-1}. \quad (23)$$

Dans des conditions de faible multiplication, le courant total de drain I_{DT} (relation (10)) peut être assimilé au courant I_D ; l'erreur ainsi commise peut être déterminée par la relation (23). En ce même point de basculement, la tension de substrat calculée par (19), (22) et (23), prend la valeur particulière :

$$V_{suBR} = (V_G - V_{T_0}) / \sqrt{\frac{\phi_B}{8 \phi_F}}. \quad (24)$$

D'autre part, en égalant les relations (18) et (23), on obtient les variations de la tension de drain au basculement en fonction de la tension de grille :

$$V_{DBR} = \left[\frac{1}{10^{18}} \cdot N_A^{3/4} \cdot \left(\mu_0 \frac{Z}{L} C_{ox} R_{su} \right)^{1/4} \cdot \left(\frac{\phi_B}{2 \phi_F} \right)^{1/8} \cdot (V_G - V_{T_0})^{1/4} \right]^{-1} \text{ (MKSA)} \quad (25)$$

que l'on peut exprimer aussi en fonction du courant de drain :

$$V_{DBR} = \left[\frac{1}{1,4 \times 10^{18}} \cdot N_A^{3/4} \cdot \left(\mu_0 \frac{Z}{L} C_{ox} \cdot \frac{\phi_B}{2 \phi_F} \right)^{1/8} \cdot R_{su}^{1/4} \cdot I_{DBR}^{1/8} \right]^{-1} \text{ (MKSA)}. \quad (26)$$

La caractéristique $I_D(V_D)$ ainsi explicitée constitue, dans le cadre des hypothèses citées, le lieu géométrique des points de basculement en second claquage. Elle constitue une limite de l'aire de fonctionnement du transistor M.O.S. qui, à notre connaissance, n'avait jamais été clairement définie et formulée.

4. Étude expérimentale : influence des paramètres — aire de sécurité.

Afin de vérifier le bien-fondé de l'analyse proposée, nous avons réalisé des transistors plans spécifiques à canal N à surface surdopée par implantation ionique, sur laquelle est pris un contact auxiliaire, en plus du contact de substrat du fond de la puce (Fig. 14). La couche superficielle P^+ est épaisse d'une dizaine de microns, et le dopage en surface vaut entre 2 à 3×10^{16} at./ cm^3 pour un dopage en volume de 10^{15} at./ cm^3 sur une épaisseur de 300 microns. L'épaisseur d'oxyde de grille est de 1 000 Å, et la longueur de canal L varie, suivant le transistor, entre 4 et 16 microns pour une largeur Z commune de 3 mm. La résistance de la couche superficielle est suffisamment faible pour que la principale contribution résistive entre la zone du canal et le bas du substrat soit constituée par la résistance volumique du substrat. Le contact auxiliaire permet la mesure directe de la polarisation interne V_{su} auto-générée par la multiplication. La valeur de R_{su} a été évaluée à 600Ω . Une résistance externe R_{ext} constitue l'un des paramètres d'étude. L'étude expérimentale consistera à confronter les comportements du facteur de multiplication, du courant de drain et de la tension interne de substrat, au point de basculement, avec les relations analytiques précédentes.

4.1 LA TENSION DE SUBSTRAT. — Lorsque la tension de grille est supérieure à la tension de seuil V_{T0} , le comportement de la tension de substrat vérifie bien, au premier ordre, la dépendance linéaire de la relation (24) (Fig. 15). En dessous de V_{T0} , l'existence d'une tension V_{su} non nulle, est liée aux phénomènes i) de courant sous le seuil et ii) de premier claquage — à savoir le courant de multiplication en volume de la jonction de drain. On vérifie, par ailleurs, que la tension V_{su} au basculement, au voisinage de V_{T0} , reste bien inférieure à la tension de diffusion de la jonction de source, contrairement au modèle basé uniquement sur l'effet bipolaire.

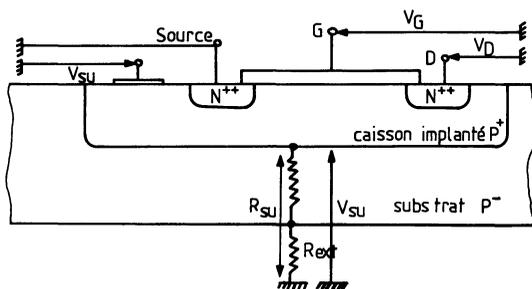


Fig. 14. — Structure d'étude permettant la mesure directe du potentiel interne V_{su} .

[Experimental structure for determining the internal substrate bias V_{su} value.]

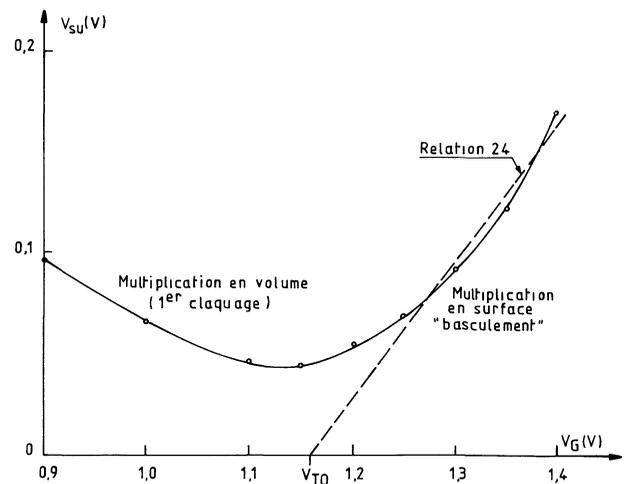


Fig. 15. — Variations expérimentales et théoriques de la tension de substrat au claquage et au basculement. Transistor SIP264, canal N.

[Theoretical and experimental values of the substrate voltage when the device operates in the breakdown and the switch-back modes.]

4.2 LE FACTEUR DE MULTIPLICATION. — La valeur de M peut être obtenue de deux manières différentes : soit par une mesure directe des courants de drain et de substrat (relations (10) et (11)), soit par une mesure directe de la tension de substrat et du courant I_D (relation (19)). Les variations en fonction de la tension de drain sont bien du type exponentiel (Fig. 16); elles restent toujours situées dans la gamme des faibles multiplications ($M < 1,3$). On vérifie que la quantité $(M - 1)^{1/4}$ est une fonction linéaire de V_D (relation (18)), (Fig. 17); d'autre part, la valeur du dopage N_A déduite de la pente est bien en accord avec celle obtenue par la méthode classique (relation (1)) (Fig. 6).

4.3 LE LIEU DE BASCULEMENT EN SECOND CLAQUAGE. — Cette caractéristique constitue l'un des éléments essentiels de la définition de l'aire de sécurité d'un transistor M.O.S. Reportées en coordonnées logarithmiques, les variations expérimentales présentent effectivement une pente égale à -8 (Fig. 18). Plus précisément, après détermination [29] des paramètres, la relation (26) permet de simuler, à mieux que 20 %, le lieu expérimental.

4.4 CONSÉQUENCES SUR L'AIRES DE SÉCURITÉ ET LE CAS DES CANAUX P (Fig. 19). — La propriété précédente étant vérifiée, une quatrième limite peut être ajoutée aux trois bornes classiques de l'aire de sécurité du transistor M.O.S. :

① Le lieu de premier claquage : une verticale dont l'abscisse correspond à la tension de claquage de la jonction drain-substrat qui dépend du dopage du substrat, des rayons de courbure de la diffusion et, parfois, de la polarisation de grille,

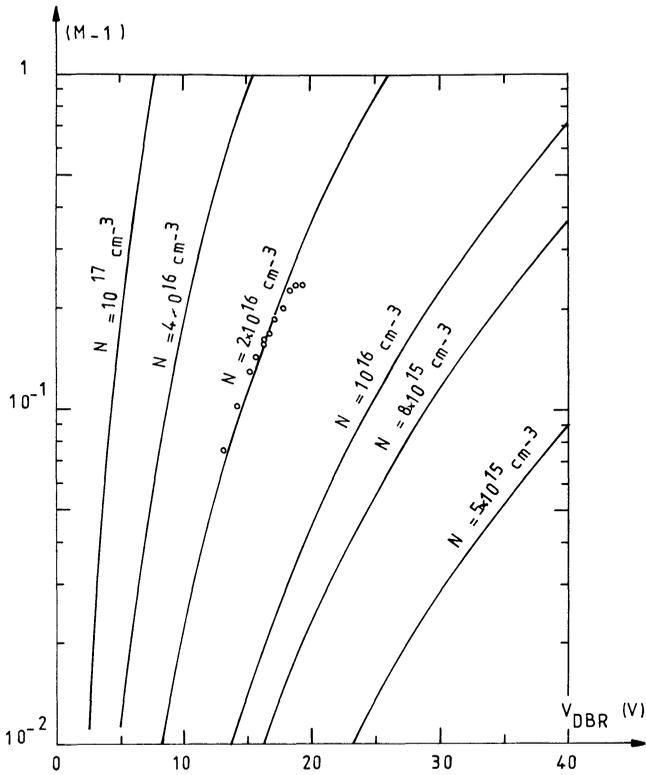


Fig. 16. — \circ Variations expérimentales du coefficient de multiplication au basculement. Transistor SIP264. — Théorie (relation (18)).

[\circ The experimental values of the multiplication coefficient at switch-back.]

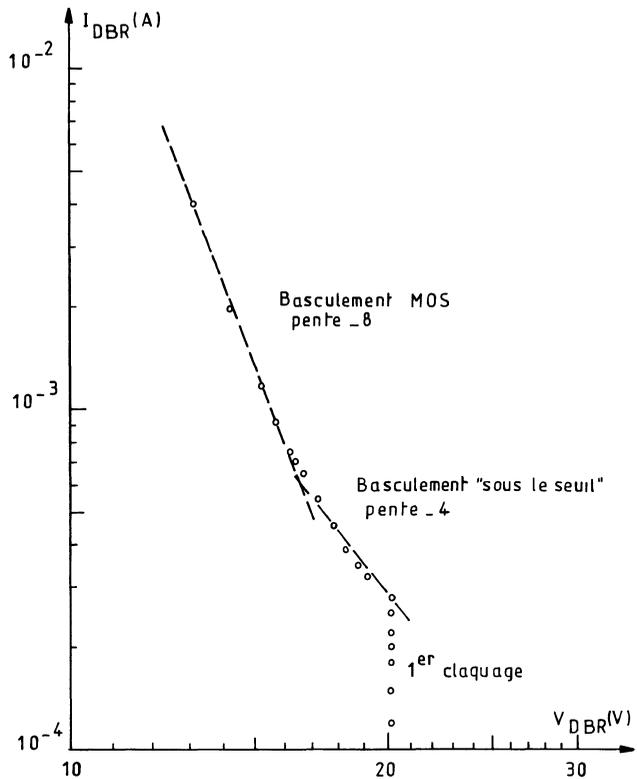


Fig. 18. — \circ Tracé expérimental du lieu de premier claquage et des lieux de basculement par effet du courant M.O.S. et du courant sous le seuil (Transistor SIP264). Report du lieu de basculement théorique (- - -).

[\circ Experimental first breakdown and switch-back locus. Comparison with the theoretical evaluations (- - -) deduced from the channel current (slope-8) and subthreshold current (slope-4) action.]

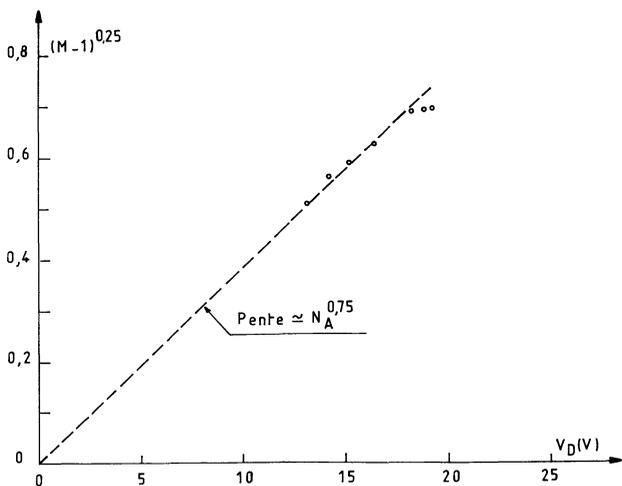


Fig. 17. — Tracé expérimental de $(M - 1)^{1/4}$ en fonction de la tension drain V_D . Transistor SIP264.

[Experimental plot of $(M - 1)^{1/4}$ vs. the drain voltage V_D value.]

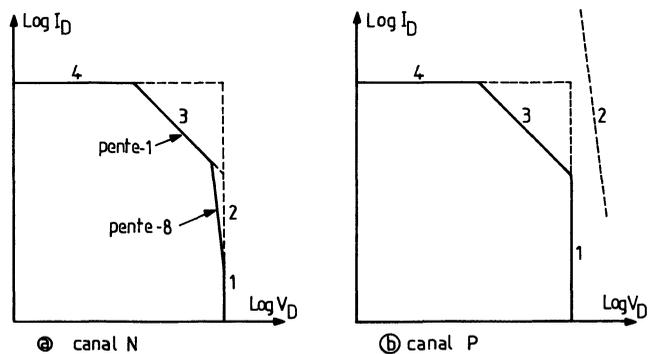


Fig. 19. — Aires de sécurité : cas des canaux N et P. Mise en évidence des positions respectives des 4 limites : ① lieu de 1^{er} claquage, ② lieu de basculement en 2^e claquage par effet M.O.S. au-dessus du seuil, ③ hyperbole de dissipation maximale, ④ courant maximal.

[Safe Operating Area (N and P channels) showing the 4 fundamental limitations : ① first breakdown, ② switch back — 2nd breakdown — locus, ③ maximum power capability, ④ maximum current capability.]

② le lieu de basculement en second claquage : une droite de pente -8 dont les paramètres sont donnés par la relation 26,

③ l'hyperbole de dissipation thermique maximale : une droite de pente -1 ,

④ la valeur maximale du courant drain : une droite horizontale imposée par la valeur maximale admissible de polarisation de grille.

Dans le cas des transistors à canal N, ces limites sont vérifiées, en particulier les lieux de premier et de second claquage comme nous venons de le voir.

Dans le cas des structures complémentaires à canaux P [30], les limites ①, ③ et ④ sont du même ordre de grandeur que précédemment. Du fait que les coefficients d'ionisation des trous sont inférieurs d'une décade à ceux des électrons, la relation (26) compte tenu de la relation (15) laisse présager que le lieu de basculement des canaux P se trouve une décade au-dessus de celui des canaux N, hors des frontières définies par l'intersection des trois limites restantes : elles suffisent à elles trois, à définir l'aire de sécurité d'un canal P (Fig. 19b). La conséquence essentielle de cet état de fait est que les transistors à canal P présentent, de par l'accroissement de leur aire de sécurité, une supériorité intrinsèque vis-à-vis des canaux N, à mettre en balance avec la faible mobilité des trous et la dégradation de leur résistance à l'état passant (R_{ON}).

4.5 INFLUENCE D'UNE RÉSISTANCE DE SUBSTRAT EXTERNE. — Le comportement du transistor en second claquage, en fonction de la résistance de substrat, a été étudié en ajoutant une résistance externe selon la figure 14. A courant de drain constant, les variations de la tension de drain au basculement en fonction de la résistance totale de substrat obéissent bien à une loi en $R_{su}^{-1/4}$ (relation (26), Fig. 20). La conséquence pratique immédiate est que tous les artifices technologiques propres à limiter la valeur de la résistance de substrat seront bénéfiques quant à la protection de la structure : surdopage de la zone P, diminution de la résistance de la zone d'accès entre le canal et le court-circuit métallique source-substrat.

5. Prise en compte des phénomènes du deuxième ordre.

L'analyse précédente a permis de démontrer que, sur le plan conceptuel, l'apparition d'une résistance négative sur les caractéristiques courant-tension d'un transistor à canal N, est liée à l'« effet substrat » avant tout « effet bipolaire parasite ». Cette analyse au premier ordre a été validée par une série d'expérimentations réalisées sur des transistors plans surdopés en surface, à canal N. Dans ce paragraphe, nous nous proposons de décrire les mécanismes du deuxième ordre qui affectent le lieu de maintien en second claquage ; ce sont : i) la possibilité du déblocage de la jonction de source à fort niveau de courant, ii) l'influence des porteurs injectés dans la zone pincée du canal, iii) la prise en compte de la compo-

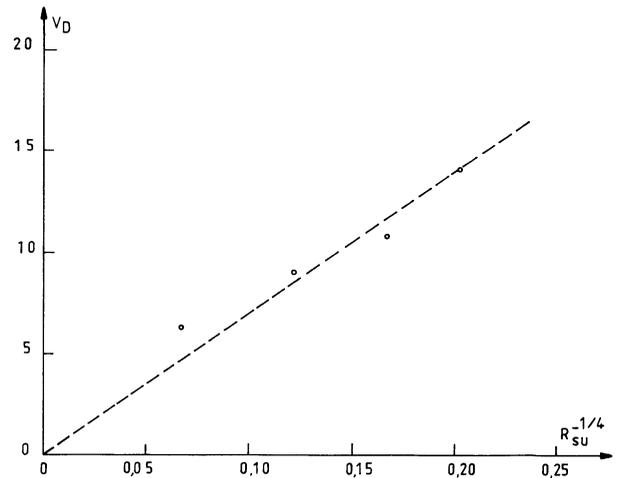


Fig. 20. — Variations expérimentales de la tension de basculement en fonction de la résistance totale du substrat. Transistor SIP264, $I_D = 2$ mA.

[Experimental variations of the drain voltage value at switch-back as a function of the substrate resistance.]

sante du « courant sous le seuil », iv) l'incidence de l'existence d'inhomogénéités locales sur la répartition du courant.

5.1 INJECTION DES PORTEURS PAR LA SOURCE.

5.1.1 Les conditions du déblocage et la conséquence sur l'aire de sécurité. — Lorsque l'auto-polarisation de substrat atteint des valeurs voisines ou supérieures à la tension de diffusion ϕ_D de la jonction de source :

$$V_{su} \geq \phi_D \quad (27)$$

une partie des trous générés par multiplication peut s'écouler par cette jonction. Corrélativement, la source injecte des électrons qui s'ajoutent aux porteurs d'inversion du canal. La condition d'injection de la source peut se produire :

i) avant que le courant n'ait pu atteindre le lieu de basculement précédemment défini ; la condition à satisfaire, compte tenu de (24) et (27), est :

$$V_G - V_{T_0} \geq \left(\frac{\phi_B}{8 \phi_F} \right)^{1/2} \cdot \phi_D \quad (28)$$

ii) après que le courant ait dépassé ce lieu :

$$V_G - V_{T_0} < \left(\frac{\phi_B}{8 \phi_F} \right)^{1/2} \cdot \phi_D \quad (29)$$

Si les caractéristiques du transistor sont telles que le déblocage de la source se produit, il en résultera une limitation supplémentaire de l'aire de sécurité. Compte tenu de la relation (19), la condition (27) sera approchée par :

$$R_{su} \cdot (M - 1) \cdot I_D \simeq \phi_D \quad (30)$$

et le lieu est obtenu en considérant l'expression (18) du facteur de multiplication :

$$V_D \simeq \left[\frac{1}{1,4 \times 10^{18} \cdot N_A^{3/4} \cdot R_{su}^{1/4} \cdot \phi_D^{-1/4} \cdot I_D^{1/4}} \right]^{-1} \quad \text{(MKSA)} \quad (31)$$

Ceci se traduirait par une droite de pente - 4 sur l'aire de sécurité de la figure 21.

5.1.2 Formalisme de l'injection des porteurs par la source. — D'un point de vue théorique, une étude du comportement du transistor M.O.S. lorsque la source injecte des électrons sous l'action du courant de trous générés par avalanche, a été récemment proposée par Hsu [8] qui a mis en place les éléments essentiels du formalisme à utiliser. Sur le schéma équivalent de la figure 22, I_b est la part du courant de trous I_h , injectée dans la source, I_{su} la part s'écoulant par le substrat, et I_e est le courant total à travers la jonction source-substrat. Les équations du réseau sont :

$$V_{su} = I_{su} \cdot (R_{su} + R_{ext}) \quad (32)$$

$$I_{su} = I_h - (1 - \gamma \cdot \alpha_T) \cdot I_e \quad (33)$$

où γ est l'efficacité d'injection de la jonction source, et α_T le facteur de transport dans le substrat. Le courant I_e suit une loi de dépendance exponentielle de la tension V_{su} :

$$I_e = I_0 \cdot \left(\exp \frac{V_{su}}{U_T} - 1 \right) \quad (34)$$

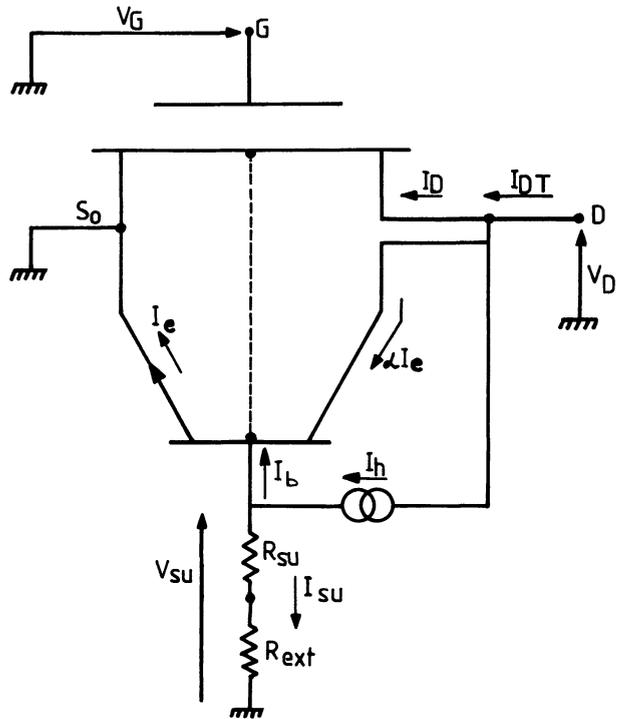


Fig. 22. — Définition des courants lorsqu'il apparaît une injection par la source.

[Currents definition when injection occurs at the source junction.]

où I_0 est le courant de saturation de la jonction et U_T le potentiel thermodynamique.

En admettant que tous les électrons injectés participent à l'ionisation, le courant de trous s'écrit :

$$I_h = (M - 1) \cdot (I_D + \gamma \cdot \alpha_T \cdot I_e) \quad (35)$$

Par suite, le courant total vaut :

$$I_{DT} = M \cdot (I_D + \gamma \cdot \alpha_T \cdot I_e) \quad (36)$$

Quant au facteur de multiplication, nous prendrons dans l'analyse numérique, l'expression classique et précise [21] basée sur la dépendance exponentielle des coefficients d'ionisation (relation (13)) :

$$M = \left[1 - \frac{A_n}{B_n} \cdot \frac{2}{a} \cdot \frac{E_D^2}{1 + 2 E_D/B_n} \cdot \exp - \frac{B_n}{E_D} \right]^{-1} \quad (37)$$

5.1.3 Les composantes de courant « M.O.S. » et « bipolaire ». — Le courant d'inversion I_D du M.O.S. doit être considéré comme étant indépendant de V_{su} pour des valeurs supérieures à $2 \phi_F$ (relation (3)). Un ordre de grandeur de ce courant est obtenu en limitant V_{su} à la valeur $2 \phi_F$ (relation (6)). Ceci se vérifie sur les caractéristiques de la figure 23 où le réseau « M.O.S. » est translaté sans déformation en courant d'une quantité $\gamma \cdot \alpha_T \cdot I_e$ qui est la part de courant « bipolaire » : la partie du réseau qui se conserve

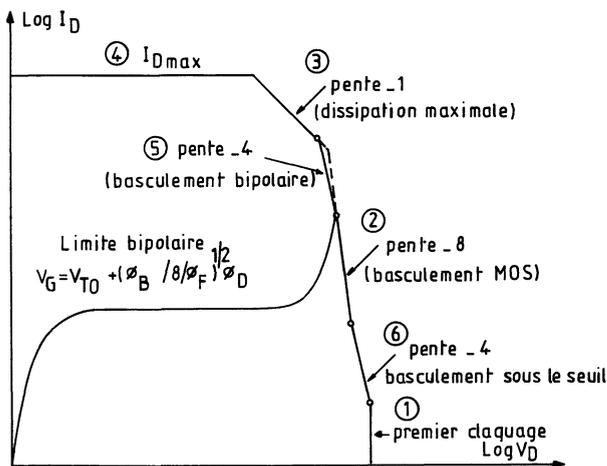


Fig. 21. — Aire de sécurité complète : aux limitations de la Fig. 19 se rajoutent ⑤ le « déblocage bipolaire » lorsque la condition (28) peut être satisfaite et ⑥ le basculement lié aux « courants sous le seuil ».

[S.O.A. limitations due to ⑤ bipolar injection — cond. (28) — and ⑥ snap-back induced by the subthreshold current].

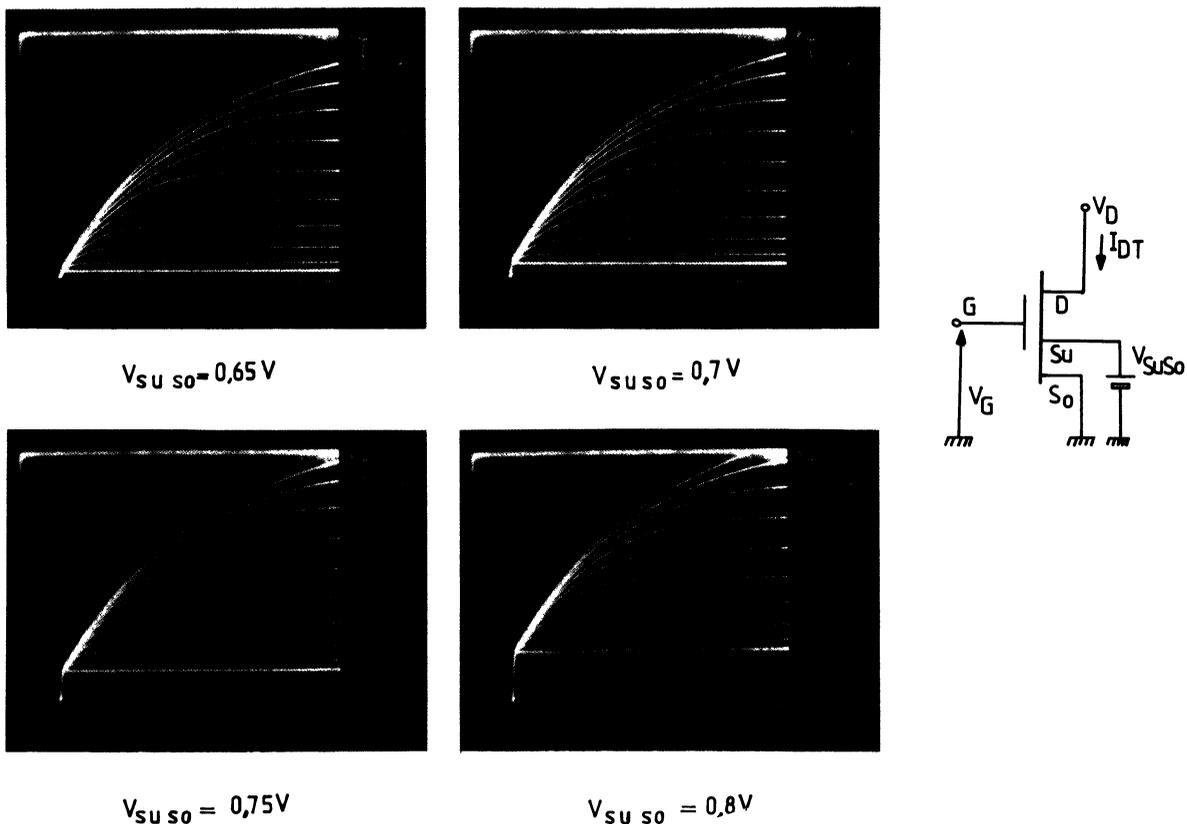


Fig. 23. — Oscillogrammes des caractéristiques $I_{DT}(V_D)$ montrant la translation due au courant « bipolaire » — V.MOS Si-Gate N° 24, $V_{Gmax} = 10 V$.

[Output characteristics $I_{DT} - V_D$ showing the bipolar current effect.]

indépendamment de la valeur de V_{su} , constitue la composante des porteurs de la couche inversée, et la partie basse qui évolue, celle des porteurs injectés par la source.

La composante « bipolaire » peut être mieux caractérisée — évaluation de $\gamma \cdot \alpha_T$ — lorsque le transistor M.O.S. est bloqué. En attaquant le substrat en courant, les caractéristiques « bipolaires » pourront être relevées (Fig. 24). On considérera que le gain $\gamma \cdot \alpha_T$ peut, au premier ordre, être pris comme constant dans la suite de l'exposé.

5.1.4 Analyse au premier ordre. — Le formalisme général exposé au paragraphe 5.1.2 ne peut être traité que numériquement. Une telle procédure ne permet pas de dégager les éléments essentiels, relatifs au comportement observé. Toutefois, si l'on admet les hypothèses très simplificatrices suivantes :

- i) la tension interne source-substrat est prise constante, et égale à $2 \phi_F$;
- ii) le facteur de multiplication ne dépend que du dopage et de la polarisation de drain selon la forme

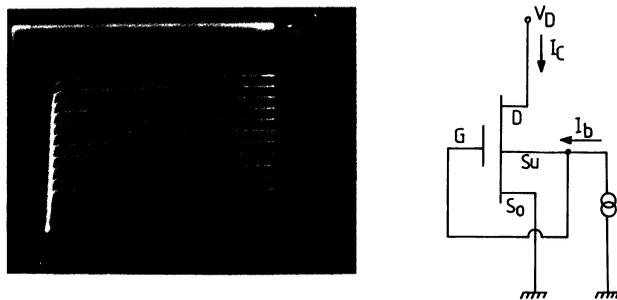


Fig. 24. — Mesure du gain du transistor bipolaire par attaque en courant du substrat. Montage expérimental et caractéristiques électriques. V.MOS Si-Gate N° 24, $I_{bmax} = 66,5 \mu A$.

[Determination of the current gain of the parasitic bipolar transistor.]

polynomiale de la relation (18) et en posant :

$$\alpha = \gamma \cdot \alpha_T \tag{38}$$

$$R_T = R_{su} + R_{ext} \tag{39}$$

les courants I_e , I_{DT} et I_{su} s'écrivent respectivement :

$$I_e = \frac{(M-1) \cdot I_D \cdot R_T - 2 \phi_F}{(M\alpha - 1) \cdot R_T} \quad (40)$$

$$I_{DT} = M \cdot \frac{I_D \cdot R_T \cdot (1 + \alpha - 2 M\alpha) + 2 \phi_F \cdot \alpha}{(1 - M\alpha) \cdot R_T} \quad (41)$$

$$I_{su} = 2 \phi_F / R_T. \quad (42)$$

On constate que, compte tenu de l'expression de I_{su} , le transistor bipolaire parasite fonctionne en mode d'avalanche à courant base « forcé inverse » quasi constant.

Par ailleurs, la dérivation du courant total par rapport à la tension drain :

$$\frac{\partial I_{DT}}{\partial V_D} = \frac{R_T \cdot I_D (1 - 4 M\alpha + \alpha + 2 M^2 \alpha^2) + 2 \phi_F \cdot \alpha}{(1 - M\alpha)^2 \cdot R_T} \cdot \frac{\partial M}{\partial V_D} \quad (43)$$

montre que :

i) sur le lieu « critique bipolaire » défini par la relation (30), la pente de la caractéristique courant-tension, pour $\phi_D = 2 \phi_F$,

$$\frac{\partial I_{DT}}{\partial V_D} = I_D \cdot \frac{1 - 2 M\alpha}{1 - M\alpha} \cdot \frac{\partial M}{\partial V_D} \quad (44)$$

peut être positive — $M \cdot \alpha < 0,5$ — ou négative — $0,5 < M \cdot \alpha < 1$ — selon que le gain en courant satisfait respectivement à :

• pente > 0 si
$$\alpha < \frac{0,5 R_T I_D}{2 \phi_F + R_T I_D} \quad (45)$$

• pente < 0 si
$$\frac{0,5 R_T I_D}{2 \phi_F + R_T I_D} < \alpha < \frac{R_{su} I_D}{2 \phi_F + R_T I_D} \quad (46)$$

ii) dans le premier cas, la caractéristique $I_{DT}(V_D)$ présente un point anguleux à pente positive, et croît au-delà vers la verticale classique définie par $M \cdot \alpha = 1$ (Fig. 25).

iii) Dans le deuxième cas, le phénomène est semblable au basculement par « effet substrat ». Les deux états à résistance négative par effet M.O.S. ou par effet bipolaire peuvent coexister (Fig. 4) ou ne pas exister simultanément.

Enfin, pour terminer, la résolution numérique du système d'équations (3) et (32) à (37), sans les hypothèses simplificatrices citées, permet de retrouver l'allure des deux comportements expérimentaux (Fig. 26).

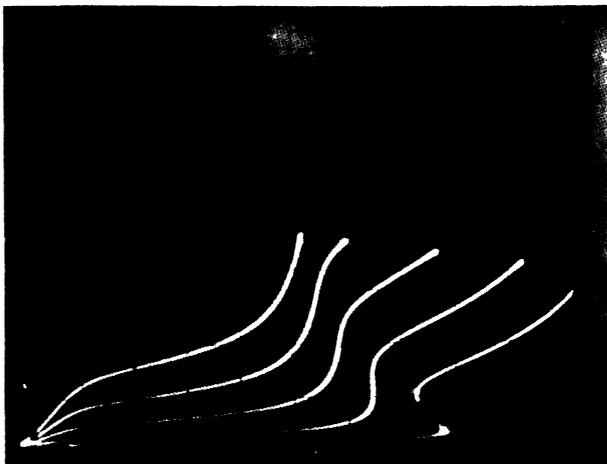


Fig. 25. — Mise en évidence d'un point anguleux à pente positive. Canal N 2N4351 ; $R_{su} = 10 \text{ k}\Omega$; Vert : 0,5 mA/div, Hor : 2V/div, $V_{G_{max}} = 2,8 \text{ V}$ par pas de 0,5 V.

[Case of the existence of an output characteristic with positive slope after the switch-back of the device.]

5.2 INFLUENCE DES PORTEURS LIBRES INJECTÉS DANS LA CHARGE D'ESPACE DE DRAIN. — Jusqu'ici, la charge des porteurs libres dans la zone pincée a été négligée par rapport à celle des impuretés ionisées. Ceci ne s'applique plus aux niveaux de courant de drain élevés [31] : il est alors possible d'atteindre des valeurs de densités locales de courant — du fait en particulier d'inhomogénéités dans la répartition de ce courant —

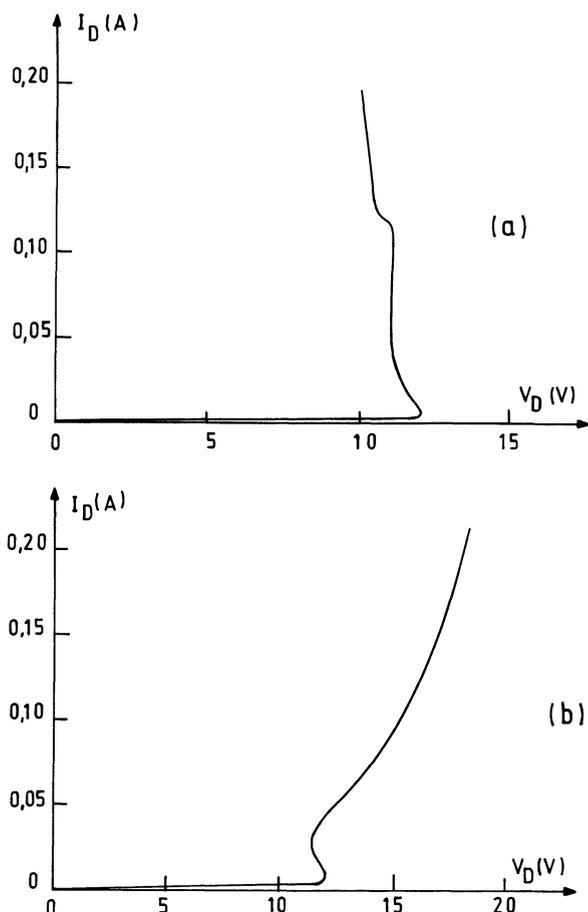


Fig. 26. — Tracés théoriques du deuxième claquage avec « débloqué bipolaire », $\mu_0 \cdot C_{ox} \cdot Z/L = 0,0235 \text{ A/V}^2$, $V_T = 1,16 \text{ V}$, $R_{su} = 600 \Omega$, $B = 0$, $V_G = 1,5 \text{ V}$, (a) $I_0 = 10^{-16} \text{ A}$, $\beta = 100$; (b) $I_0 = 10^{-14} \text{ A}$, $\beta = 10$.

[Theoretical characteristics when the bipolar effect is taken into account.]

pour lesquelles le terme lié aux porteurs $I_D/(Z \cdot v_L \cdot x_a)$ devient prépondérant devant le terme lié au dopage $qN_A/(\epsilon_0 \epsilon_{si})$, dans les relations (7) et (8) qui donnent le champ électrique à la jonction de drain, et par suite, conditionnent l'effet de multiplication. Il peut résulter de cet effet d'injection de porteurs, deux conséquences : une modification des lieux critiques, et une évolution du lieu de maintien après basculement. La première est assez peu sensible sur les transistors actuels, à canal court, le dopage du substrat étant suffisamment élevé — quelque 10^{16} at/cm^3 — pour que la charge des porteurs ne puisse pas perturber la charge nette du drain. Par contre, sur ces mêmes composants, après basculement, l'accroissement du courant est tel que sa répercussion sur la charge nette entraîne une déformation de la zone négative et une diminution de la tension de maintien au fur et à mesure que le courant augmente. La figure 27, toujours obtenue par résolution numérique des équations (32) à (37), illustre ce phénomène.

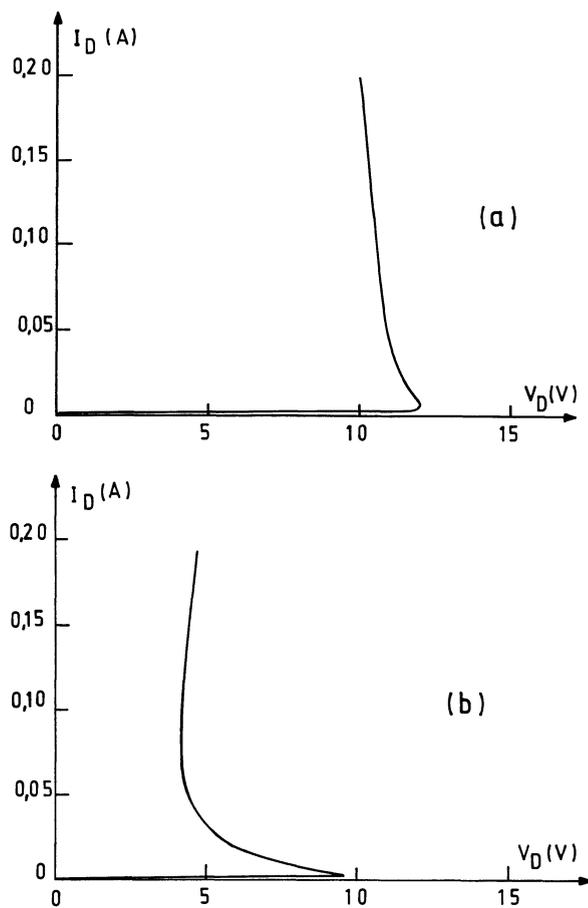


Fig. 27. — Modification du lieu de maintien théorique par la prise en compte de la charge des porteurs libres en zone pincée. $\mu_0 \cdot C_{ox} \cdot Z/L = 0,0235 \text{ A/V}^2$, $V_T = 1,16 \text{ V}$, $R_{su} = 600 \Omega$, $\beta = 0$, $V_G = 1,5 \text{ V}$, (a) $B = 0$; (b) $B = 100$.

[Modification of the switch-back locus and the sustaining voltage by taking into account the excess electronic charge in the pinch-off region.]

Pour ce faire, la contribution des porteurs a été introduite dans la relation (8) sous la forme suivante :

$$a' \equiv \frac{2 q N_A}{\epsilon_0 \epsilon_{si}} \cdot [1 + B \cdot I_D]. \quad (47)$$

La valeur de B utilisée ($B = 100$) correspond à un ordre de grandeur classique pour des transistors M.O.S. plans [17].

5.3 PRISE EN COMPTE DES COMPOSANTES DU « COURANT SOUS LE SEUIL ». — Pour terminer, nous proposons d'analyser la contribution de la composante du courant du T.MOS dite « sous le seuil ». En effet, pour une polarisation de grille inférieure ou égale à la tension de seuil V_T , le courant de drain devient très faible par rapport aux valeurs que le composant peut transiter normalement, sans toutefois s'annuler (Fig. 28). Sa composante principale est due à la diffusion de porteurs entre source et drain dans la région de charge d'espace superficielle dépeu-

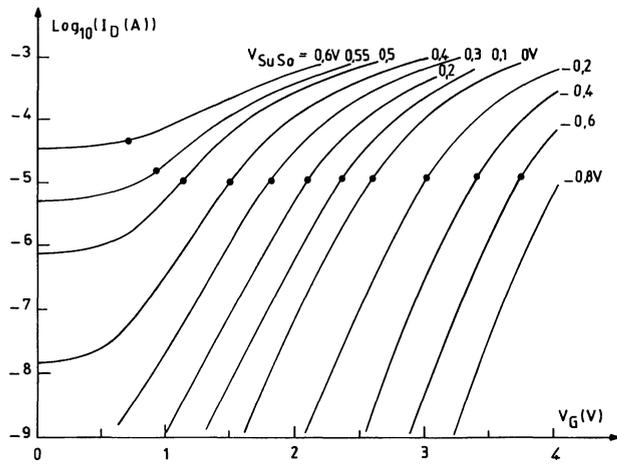


Fig. 28. — Tracé des courants sous le seuil en fonction de la polarisation grille-source. Les points représentent le seuil « extrapolé », V. MOS Si-Gate N° 24, $V_D = 5 \text{ V}$.

[Subthreshold transfer characteristics; the points are the classical threshold values.]

plée, située sous la grille [19, 32-34]. Il peut s'écrire, en première approximation, sous la forme suivante :

$$I_D |_{V_D \gg sU_T} \approx \mu \cdot \frac{Z}{L} \cdot L_D \cdot q \cdot n_i \frac{U_T^2}{V_G'} \cdot \exp \frac{-3 \phi_F}{U_T} \cdot \exp \frac{mV_{su}}{nU_T} \cdot \exp \frac{V_G'}{nU_T}, \quad (48)$$

où U_T est le potentiel thermodynamique, n_i la concentration intrinsèque, L_D la longueur de Debye intrinsèque, q la charge électronique, m et n deux coefficients légèrement supérieurs à l'unité tels que n soit supérieur à m [35].

Compte tenu de l'expression (19) de la polarisation de substrat, la condition (21) de basculement en second claquage appliquée à l'expression (48), se ramène à :

$$\frac{m}{n} \cdot \frac{R_{su}(M - 1) I_{DBR}}{U_T} - 1 = 0. \quad (49)$$

En explicitant l'expression du coefficient de multiplication M suivant (18), on obtient le lieu de basculement « en dessous du seuil » :

$$V_{DBR} = \left[\left(\frac{n}{m} \right)^{-1/4} \cdot \frac{1}{5,5 \times 10^{17}} \cdot N_A^{3/4} \cdot R_{su}^{1/4} \cdot I_{DBR}^{1/4} \right]^{-1} \text{ (MKSA)} \quad (50)$$

où $(n/m)^{1/4}$ peut être considéré comme égal à l'unité. Cette caractéristique courant-tension de pente -4 en coordonnées logarithmiques est, de fait, la première par laquelle transite le transistor lorsqu'il passe du régime bloqué au régime de conduction effectif. Elle constitue un lieu supplémentaire ⑥ situé entre la caractéristique de premier claquage ① et celle correspondant à la conduction effective par porteurs de couche d'inversion ②. La « dynamique » de ce lieu et son existence propre dépendent évidemment de la position relative des deux courbes ① et ②.

Ce type d'évolution précise complètement la dernière limite de l'aire de sécurité du transistor M.O.S. (Fig 21). A titre d'exemple, la plage de tension contrôlée par ce phénomène est illustrée par le cas concret de la figure 18. On notera, pour terminer, que cette caractéristique ne dépend que des paramètres de dopage et de résistance du substrat.

5.4 CAS DES STRUCTURES MULTICELLULAIRES DE PUISSANCE. — Dans les calculs précédents, il est intrinsèquement admis que la structure est homogène : la répartition du courant est uniforme tout le long du périmètre du canal. Dans les structures à grande surface, réalisées sous la forme de bandes parallèles ou d'une multitude de cellules de forme diverse

— hexagones, carrés, triangles... — le courant total est la somme des courants partiels de chaque cellule élémentaire. Il peut exister, par exemple, des inhomogénéités de dopage ou de charges parasites d'oxyde, localisées qui se traduisent par des dispersions sur les tensions de seuil et de claquage au niveau des cellules. Tant que le point de fonctionnement se trouve dans l'aire de sécurité, le dispositif se comporte normalement. De par l'existence de telles inhomogénéités, le point de basculement en second claquage sera plus faible pour les cellules concernées, de sorte que (Fig 29) :

i) en régime normal, le courant total est réparti uniformément dans toutes les cellules,

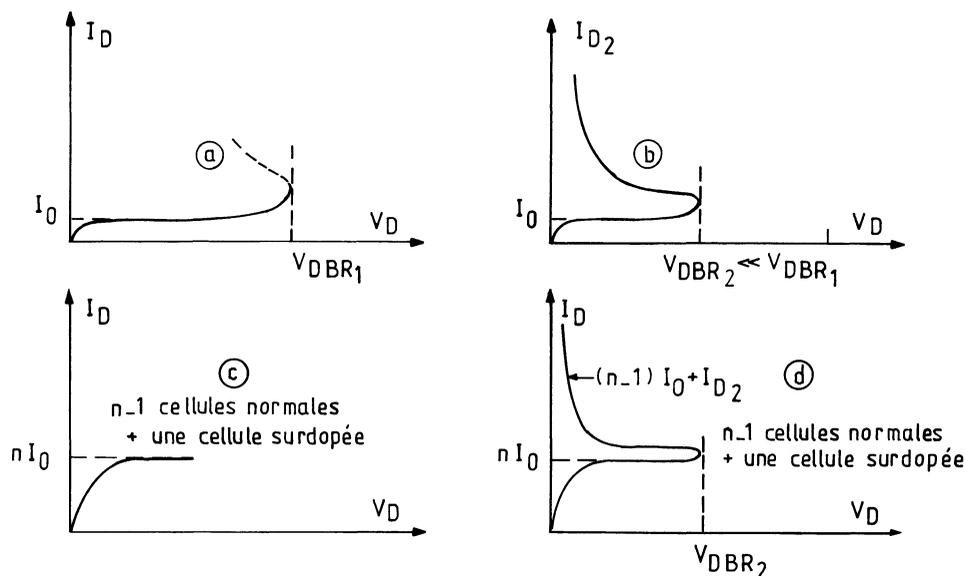


Fig. 29. — Allure des caractéristiques en zone « classique » et « basculée » d'un transistor M.O.S. multi-cellulaires en considérant chaque cellule et leur association. (a) 1 cellule normale, (b) 1 cellule surdopée, (c) transistor complet en régime saturé ($n - 1$ cellules normales + 1 cellule surdopée), (d) transistor complet en basculement ($n - 1$ cellules normales + 1 cellule surdopée).

[Multi-cell MOS'T output characteristics in the normal and switched-back regions for each cell and for its combination, (a) one normal cell, (b) one overdoped cell, (c) the entire device ($n - 1$ normal cells and 1 overdoped cell) under saturation condition, (d) the entire device after switch-back.]

ii) dès que l'on atteint la tension de basculement précoce des cellules précitées, elles sont alors les seules à passer en état de haute conductance, et ont tendance à transiter à elles seules le courant total, et plus particulièrement, la totalité de tout courant en excès par rapport à celui du point de basculement. L'augmentation de la puissance dissipée localement peut entraîner la destruction par point chaud.

Nous pensons que cet effet d'inhomogénéités dans la répartition du courant sous second claquage, est la cause majeure de destruction de la plupart des transistors M.O.S. dont on essaie de relever la caractéristique courant-tension sous ce régime. Cette défaillance est classique, même en mode pulsé, sur un traceur de courbes. La figure 30 représente la localisation de la zone détruite sur une puce de transistor multicellulaire ayant basculé en régime de second claquage.

6. Conclusion.

Dans cet article, nous nous sommes proposés d'expliquer, par une approche analytique au premier ordre, les mécanismes essentiels susceptibles d'induire une résistance négative sur les caractéristiques d'avalanche courant-tension des transistors M.O.S. Il a pu être montré, en tant que principale originalité, que dans le cas du transistor à canal N, le lieu de basculement en second claquage est lié, à bas niveau de courant, uniquement à l'« effet substrat » du transistor M.O.S.



Fig. 30. — Photo d'un transistor multicellulaire après destruction en régime de deuxième claquage (Grossissement X 280). Courtoisie de P. Aloisi (Société Motorola).

[Multi-cell device photography after degradation in the 2nd breakdown operation mode.]

en dehors de tout « effet bipolaire » contrairement à ce qui est admis dans la littérature; dans le cas du transistor à canal P, il n'y a pas lieu de tenir compte de cette limitation fondamentale au fonctionnement du T.MOS, car le lieu critique se trouve alors en

dehors de son aire de sécurité. Ce phénomène n'est pas initié par un processus d'origine thermique; il est dû à une contre-réaction positive entre l'auto-polarisation de la jonction substrat-source due au courant de majoritaires créés par ionisation par choc dans la zone pincée du canal de conduction, et l'augmentation du flux des porteurs d'inversion incidents due à la diminution de tension de seuil induite.

Basée sur le modèle de transistor M.O.S. de Sah [16], et sur une formulation polynomiale du coefficient d'ionisation [13], une expression analytique du lieu de basculement est proposée; il suit une loi en $I_D^{-1/8}$, et dépend des paramètres géométriques et physiques du transistor. En particulier, la tension de drain au second claquage dépend de la résistance volumique du substrat suivant une loi en $R_{su}^{-1/4}$. Le bien-fondé de l'analyse théorique a été validé par des expérimentations sur des dispositifs spéciaux à substrat surdopé en surface avec prise de contact auxiliaire sur ce P⁺.

Dans un deuxième temps, l'incidence de phénomènes du second ordre est prise en compte. Ainsi pour des valeurs plus élevées du courant, les conditions de déblocage de la jonction source-substrat et son effet sur le lieu de basculement, sont étudiés. On a la confirmation de l'analogie avec un transistor bipolaire latéral fonctionnant à courant base forcé inverse généré par auto-polarisation. Le lieu de basculement « à effet bipolaire » varie en $I_D^{-1/4}$; il peut parfois se traduire par l'existence d'une résistance négative distincte de celle due à l'« effet substrat ».

Quant à l'influence de la charge des porteurs libres dans la zone pincée du canal, la résolution numérique du système d'équations complet permet de dégager les points suivants: négligeable au voisinage du lieu de basculement, le poids de cette charge — directement proportionnel au courant — dégrade notablement le lieu de maintien après basculement.

Enfin, l'éventualité de modification de l'aire de sécurité par l'effet de basculement induit par les courants sous le seuil est prise en compte.

Pour terminer quelques considérations sur les possibilités de répartition inhomogène du courant entraînant une destruction par point chaud localisé des structures multicellulaires de puissance, ont été évoquées. Plusieurs idées sur les méthodes propres à protéger le transistor M.O.S. contre ces effets de défaillance en régime de résistance négative, sont proposées dans la littérature. Au vu des résultats de l'analyse précédente, trois démarches sont possibles: éloigner au mieux du possible le lieu de basculement en minimisant la valeur de l'auto-polarisation du substrat, limiter l'aire de sécurité par intégration d'une diode à tension d'avalanche se trouvant à gauche du lieu de basculement, intégrer un « ballast » réparti de source afin de réguler la répartition du courant cellule par cellule [11]. Les deux premières sont utilisées dans les produits commerciaux: elles conduisent respectivement à surdoper localement le substrat P du canal et à réaliser une diffusion P⁺ profonde dans la diffusion N⁺ de source, en particulier, dans les structures de puissance à configuration verticale [36]. Dans les structures planes à drain et source coplanaires, il peut être fait usage de substrats « double épi » P⁻ puis P⁺, ou encore, d'un écran P⁺ entourant la diffusion de source [12].

Remerciements.

Les auteurs remercient, en particulier, Monsieur C. Solano pour la réalisation des masques d'étude et Monsieur P. Aloisi de la Société Motorola pour les discussions relatives à la destruction par point chaud des structures de puissance.

Bibliographie

- [1] ASAKAWA, T., TSUBOUCHI, N., *Second Breakdown in M.O.S. Transistors IEEE Trans. Electron Devices*, ED 13 n° 11 (1966) 811-812.
- [2] SCHÜTZ, A., SELBERHERR, S., PÖTZL, H.W., *A Two-Dimensional Model of the Avalanche Effect in M.O.S. Transistors, Solid State Electron.* 25 n° 3 (1982) 177-183.
- [3] HU, C., CHI, M.H., *Second Breakdown of Vertical Power MOSFET's IEEE Trans. Electron Devices* ED 29 n° 8 (1982) 1287-1293.
- [4] BLANCHARD, R.A., *Optimization of Discrete High Power M.O.S. Transistors Technical Report n° IDEZ 696-2, Stanford University (April 1982) 62-98.*
- [5] YOSHIDA, I., OKABE, T., KATSUEDA, M., OCHI, S., NAGATA, M., *Thermal Stability and Secondary Breakdown in Planar Power MOSFET's IEEE Trans. Electron Devices* ED 27 n° 2 (1980) 395-398.
- [6] TOYABE, T., YAMAGUCHI, K., ASAI, S., MOCK, M., *A Numerical Model of Avalanche Breakdown in MOSFET's IEEE Trans. Electron Devices* ED 25 n° 7 (1978) 825-832.
- [7] SUN, E., MOLL, J., BERGER, J., ALDERS, B., *Breakdown Mechanism in Short-Channel M.O.S. Transistors International Electron Device Meeting, IEDM Technical Digest, Washington D.C. (1978) 478-482.*
- [8] HSU, F.C., KO, P.K., TAM, S., HU, C., MULLER, R.S.,

- An Analytical Breakdown Model for Short-Channel MOSFET's* IEEE Trans. Electron Devices **ED 29** n° 11 (1982) 1735-1740.
- [9] MÜLLER, W., RISCH, L., SCHÜTZ, A., *Short-Channel M.O.S. Transistors in the Avalanche-Multiplication Regime*, IEEE Trans. Electron Devices **ED 29** n° 11 (1982) 1778-1784.
- [10] NAKAGIRI, M., IIDA, K., *Damage Introduced by Second Breakdown in N-Channel M.O.S. Devices*, Japan J. Appl. Phys. **16** n° 7 (1977) 1187-1193.
- [11] TRANDUC, H., ROSSEL, P., *Protection des transistors M.O.S. en régime de deuxième claquage*, Revue Phys. Appl. **17** (1982) 389-391.
- [12] SAKUMA, H., SUZUKI, T., SAITO, M., *Parasitic Effect-Free, High Voltage M.O.S. ICs with Shielded Source Structure*. International Electron Device Meeting, IEDM Technical Digest, San Francisco (1982) 254-257.
- [13] GHANDI, S.R., *Semiconductor Power Devices* (Editions John Wiley and Sons) 1977, p. 42-46.
- [14] GROVE, A.S., *Physics and Technology of Semiconductor Devices* (Editions John Wiley and Sons) 1967.
- [15] VAN NIELEN, J.A., MEMELINK, O.W., *The influence of Substrate upon the D.C. Characteristics of Silicon M.O.S.T.* Philips Research Report **22** (1967) 57-71.
- [16] SAH, C.T., *Characteristics of the Metal-Oxide-Semiconductor Transistors* IEEE Trans. Electron Devices, July (1964) 324-345.
- [17] ROSSEL, P., MARTINOT, H., VASSILIEFF, G., *An Accurate Two Sections Model for M.O.S. Transistors in Saturation*. Solid-State Electron., **19** (1976) 51-56.
- [18] KO, P.K., MULLER, R.S., HU, C., *A Unified Model for Hot-Electron Currents in MOSFETs*, International Electron Device Meeting, IEDM Technical Digest, Washington D.C. (1981) 600-603.
- [19] ROSSEL, P., *Propriétés statiques et dynamiques du transistor à effet de champ à grille isolée*. Thèse de Doctorat d'État, Université Paul Sabatier, Toulouse, n° 529 (1973).
- [20] GAMBOA, M., ROSSEL, P., TRANDUC, H., PHAN PHAM, T., *Le transistor M.O.S. de puissance en régime de saturation : la résistance de saturation et les effets de faible multiplication*. Revue Phys. Appl. **17** (1982) 65-74.
- [21] MARTINOT, H., ROSSEL, P., *Multiplication des porteurs dans la zone de pincement des transistors M.O.S.* Electron. Lett. **7** n° 5/6 (1971) 118-120.
- [22] LEE, C.A., LOGAN, R.A., BATDORF, R.L., KLEIMACK, J. J., WIEGMANN, W., *Ionization Rates of Holes and Electrons in Silicon*. Phys. Rev. **134** (1964) 761-773.
- [23] OGAWA, T., *Avalanche Breakdown and Multiplication in Silicon PIN Junctions*. Japan. J. Appl. Phys. **4** (1965) 473-484.
- [24] CROWELL, C.R., SZE, S.M., *Temperature Dependence of Avalanche Multiplication in Semiconductors*. Appl. Phys. Lett. **9** (1966) 242-244.
- [25] VAN OVERSTRAETEN, R., DE MAN, H., *Measurement of the Ionization Rates in Diffused Silicon p-n Junctions*. Solid State Electron. **13** (1970) 583-608.
- [26] SAYLE II, W.E., LAURITZEN, P.O., *Avalanche Ionization Rates Measured in Silicon and Germanium at Low Electric Fields*. IEEE Trans. Electron Devices **ED 18** n° 1 (1971) 58-66.
- [27] GRIS, Y., MERCKEL, G., SUAT, J.P., *Etude du transistor M.O.S. à canal N sur silicium sur corindon : caractérisations physique et électrique*. Note Technique LETI/MEA n° 1132, décembre 1975, Grenoble.
- [28] LEGUERRE, J.R., *Etude du comportement des jonctions PN à semiconducteurs en régime de multiplication par avalanche*. Thèse de Doctorat d'État, Université Paul Sabatier, Toulouse, n° 727 (1976).
- [29] ROSSEL, P., TRANDUC, H., SANCHEZ, J.L., BELLAOUAR, A., *Détermination expérimentale des paramètres des transistors M.O.S.* Revue Phys. Appl. **18** (1983) 487-493.
- [30] ALOISI, P., *Power MOSFET Safe Operating Areas*. Power Conversion, Proceedings of the PCI, Munich (1982) 111-125.
- [31] KRISHNA, S., *Second Breakdown in High Voltage M.O.S. Transistors*. Solid State Electron. **20** (1977) 875-878.
- [32] BARRON, M.B., *Low Level Currents in Insulated Gate Field Effect Transistors* Solid-State Electron. **15** (1972) 293-302.
- [33] VAN OVERSTRAETEN, R.J., DECLERCK, G., BROUX, G.L., *Inadequacy of the Classical Theory of the M.O.S. Transistor Operating in Weak Inversion*. IEEE Trans. Electron Devices **ED 20** n° 12 (1973) 1150-1158.
- [34] KOOMEN, J., *M.O.S. Transistor Properties Near Threshold*. These, Technische Hogeschool, Twente, Hollande (Dec. 1973).
- [35] MERCKEL, G., *Surface Characterization — Weak Inversion — in Process and Device Modelling for I.C. Design*. Nato Advanced Study Institutes Series — Ed. by F. Van de Wiele and col. (Noordhoff Int. Publishing) 1977.
- [36] TIHANYI, J., *A Qualitative Study of the DC Performance of SIPMOS Transistors* (Siemens Forsch. — u. Entwickl. Ber. Bd.) **9** n° 4 (1980) 181-189.