UTILISATION D'UN ÉLÉMENT BISTABLE SYMÉTRIQUE POUR LA RÉALISATION D'UN PHASEMÈTRE LINÉAIRE

Par JEAN-PIERRE GIRARD et PIERRE BAÉ,

Laboratoire d'Électronique et de Physique du Solide, E.N.S.E.M., B.P. n° 850, Nancy.

(Reçu le 6 décembre 1968.)

Résumé. — On décrit un circuit simple permettant de mesurer le déphasage entre deux signaux périodiques carrés. La tension de sortie est proportionnelle au déphasage et indique son sens. Il existe trois modes de fonctionnement permettant de choisir l'origine des mesures à l'une des trois valeurs de déphasage 0, $\pi/2$ ou π .

Abstract. — A simple circuit is described, which allows one to measure the phase difference between two square periodic signals. Output voltage is proportional to phase difference with its sign. Three triggering modes are available with the origine of the measurements at 0, $\pi/2$ or π .

Introduction. — La réalisation la plus courante d'un phasemètre ou d'un comparateur de phase à réponse linéaire fait appel à une bascule ou « flip-flop » dont on provoque le changement d'état au moyen d'impulsions provenant des deux signaux d'entrée [1], [2], [3] : on obtient après filtrage une caractéristique en dent de scie.

Le dispositif que nous décrivons utilise un élément bistable dont les deux niveaux de la tension de sortie sont symétriques par rapport à zéro.

Il présente les deux avantages suivants : d'une part,

on obtient directement après filtrage, outre une réponse linéaire en fonction du déphasage entre deux tensions, le signe de ce déphasage; d'autre part, on peut placer l'origine des mesures à 0, $\pi/2$ ou π simplement en choisissant l'un des trois modes de déclenchement.

L'attaque du dispositif doit être faite par des signaux périodiques carrés. Pour des signaux périodiques différents, on fera précéder les entrées du dispositif par des circuits de mise en forme (limiteurs, comparateurs, etc.).

FIG. 1. — $E = 12 \text{ V}$; $V = 9 \text{ V}$; $T_1, T_3, T_2', T_4' = 2\text{N } 2906$; $T_2, T_4, T_1', T_3' = 2\text{N } 2221$; $R = 1,5 \text{ k}\Omega$; $R_1 = 4,7 \text{ k}\Omega$; $R_2 = 12 \text{ k}\Omega$; $R_E = 370 \text{ }\Omega$; $R' = 5,6 \text{ k}\Omega$; $C = 10 \text{ nF}$; $C_2 = 220 \text{ pF}$; $C_E = 0,1 \text{ }\mu\text{F}$; $C' = 200 \text{ pF}$.

Description du circuit. — Le circuit est composé principalement de deux bascules T_1, T_3 et T_2, T_4 qui sont complémentaires et interconnectées [4], l'ensemble fonctionnant comme un élément bistable (schéma, fig. 1). Un des deux états stables correspond à T_1 et T_4 conducteurs avec T_2 et T_3 bloqués. La sortie est prise aux bornes d'une résistance commune à deux collecteurs, soit T_1 et T_2 pour S_1 , soit T_3 et T_4 pour S_2 . Les deux niveaux de sortie sont symétriques par rapport au zéro.

Le circuit de déclenchement est constitué des quatre transistors T'_1 à T'_4 , attaquant chacun un des quatre transistors de l'élément bistable. Il comprend un couplage par les capacités C entre les bases des transistors T_1, T_2 d'une part, et T_3, T_4 d'autre part. On dispose ainsi de quatre entrées de déclenchement notées A, B, C et D.

Une des sorties est reliée à un filtre actif passe-bas de gain unité délivrant la composante continue du signal de sortie de l'élément bistable.

Fonctionnement. — Suivant la manière dont les deux tensions carrées U_1 et U_2 dont on veut mesurer le déphasage sont appliquées aux différentes entrées A, B, C et D, il est possible d'obtenir trois types de réponses :

1. ATTAQUE PAR A ET B (photographie 1). — U_1 est appliqué en A, U_2 en B. Le transistor T'_1 passe les

Les traces représentent, de haut en bas, les tensions U_1 , U_2 et S_1 avec la composante continue.

Photographie 1 : la tension U_1 attaque A et la tension U_2 attaque B.

fronts positifs de U_1 , provoquant la conduction de T_1 et T_4 , conjointement au blocage de T_2 et T_3 : l'élément bistable est alors dans l'état P (la sortie S_1 est au niveau positif $+V$). Le changement d'état $P \rightarrow N$ est provoqué par le front négatif de U_2 sur l'entrée B transmis au bistable par T'_2 (la sortie S_1 vient au niveau négatif $-V$).

Par conséquent, si les deux tensions U_1 et U_2 sont en phase, la composante continue U du signal de sortie en S_1 est nulle. U varie linéairement avec le déphasage φ entre U_1 et U_2 suivant la loi :

$$U = \frac{2\tau}{T} V = \frac{\varphi}{\pi} V$$

où T : est la période des signaux,

τ : le retard ($\tau > 0$) ou l'avance ($\tau < 0$) de U_2 sur U_1 ,

V : la valeur absolue du niveau de sortie en S_1 .

La figure 2 donne la courbe de réponse du phase-mètre pour des signaux carrés connectés en A et B.

FIG. 2.

Le fonctionnement est identique si U_1 attaque C et U_2 , D.

2. ATTAQUE PAR A ET C (photographie 2). — Les fronts positifs de U_1 connecté en A amènent le bistable

Les traces représentent, de haut en bas, les tensions U_1 , U_2 et S_1 avec la composante continue.

Photographie 2 : la tension U_1 attaque A et la tension U_2 attaque C.

dans l'état P , les fronts positifs de U_2 connecté en C le ramènent dans l'état N . De la sorte, la composante continue U de la tension de sortie en S_1 est nulle si les deux signaux sont en opposition de phase. Comme

précédemment, U varie linéairement avec le déphasage suivant la loi (fig. 3) :

$$U = \frac{2\tau - T}{T} V = \frac{\varphi - \pi}{\pi} V.$$

FIG. 3.

Le fonctionnement est identique si U_1 attaque D et U_2 attaque B.

3. ATTAQUE PAR A-D ET B-C (photographie 3). — Dans ce mode de fonctionnement, les fronts positifs

Les traces représentent, de haut en bas, les tensions U_1 , U_2 et S_1 avec la composante continue.

Photographie 3 : la tension U_1 attaque A et D et la tension U_2 attaque B et C.

des signaux agissent aussi bien que les fronts négatifs : il en résulte une sensibilité deux fois plus grande du phasemètre. Le front positif de U_1 , passant par T'_1 , amène le bistable dans l'état P et le front positif de U_2 , par l'intermédiaire de T'_3 , le ramène dans l'état N . Le front négatif suivant de U_1 , passant par T'_4 , amène le bistable dans l'état P , et le front négatif de U_2 , par l'intermédiaire de T'_3 , le ramène dans l'état N . Par conséquent, la composante continue U de la tension de sortie en S_1 est nulle pour $\varphi = (2K + 1)\pi/2$, et varie linéairement avec le déphasage (avec une discontinuité pour $\varphi = K\pi$) suivant la loi (fig. 4) :

$$U = \frac{4\tau - T}{T} V = \frac{2\varphi - \pi}{\pi} V.$$

FIG. 4.

Remarque : Dans le cas du premier mode de fonctionnement (attaque par A et B), il est nécessaire que les signaux d'entrée soient rigoureusement symétriques par rapport à la demi-période ($T_1 = T_2$). S'il n'en est pas ainsi, la composante U résulte de la superposition d'une part de la tension due au déphasage,

FIG. 5.

d'autre part d'une tension d'erreur provenant de la dissymétrie des signaux appliqués aux entrées (fig. 5).

Ainsi :

$$U = \frac{2\tau}{T} V + \frac{T_1 - T_2}{T} V.$$

Ce décalage à l'origine peut être annulé par une méthode de zéro en superposant une tension continue à la sortie ou par compensation en utilisant un montage double symétrique ou encore en divisant la fréquence des signaux d'entrée par deux. Dans ce dernier cas, toutefois, la tension de sortie est alors :

$$U = \frac{\tau}{T} V = \frac{\varphi}{2\pi} V.$$

Dans les deux autres modes de fonctionnement, une dissymétrie éventuelle des signaux d'entrée n'entraîne aucun décalage.

Conclusion. — Le dispositif décrit constitue de manière simple un phasemètre à réponse linéaire dont l'origine des mesures peut être choisie pour $\varphi = 0$, π ou $\pi/2$. Avec les valeurs actuelles des éléments du circuit, le système fonctionne correctement jusqu'à 100 kHz. Le temps de montée des signaux en S_1 est de l'ordre de 50 ns. La sensibilité est de 50 mV par

degré pour les deux premiers modes de fonctionnement, et de 100 mV par degré pour le troisième. La sujétion pour les entrées d'être attaquées par des signaux carrés bien symétriques peut être satisfaite en faisant précéder les entrées d'une mise en forme convenable (comparateur).

BIBLIOGRAPHIE

- [1] Terman (F. E.) et Pettit (J. M.), « Electronic Measurements », p. 273, McGraw-Hill, 1952.
 - [2] Byrne (C. J.), *Bell System Techn. J.*, mars 1962, **41**, 2, 559.
 - [3] Gill (W. L.) et OGDEN (A. D.), « Use ICs in your phase locked loop », *Electronic Design*, 11 avril 1968, **8**, 76.
 - [4] Shea (R. F.), « Technique des circuits à transistors », p. 353, Dunod, 1960.
-