

Conception d'un CAN $\Sigma\Delta$ passe-bandè a temps continu pour la linéarisation d'amplificateurs de puissance

Kelly Tchambake, Patricia Desgreys, Patrick Loumeau

► To cite this version:

Kelly Tchambake, Patricia Desgreys, Patrick Loumeau. Conception d'un CAN $\Sigma\Delta$ passe-bandè a temps continu pour la linéarisation d'amplificateurs de puissance. Journées Nationales du Réseau Doctoral en Micro-nanoélectronique , May 2015, Bordeaux, France. <hal-01612056>

HAL Id: hal-01612056

<https://hal.archives-ouvertes.fr/hal-01612056>

Submitted on 6 Oct 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conception d'un CAN $\Sigma\Delta$ passe-bande à temps continu pour la linéarisation d'amplificateurs de puissance

Kelly Tchambake, Patricia Desgreys, Patrick Loumeau
Télécom ParisTech - CNRS LTCI UMR 5141 Paris

E-mail: kelly.tchambake@telecom-paristech.fr

Résumé

Ce papier présente un nouveau dimensionnement d'un Convertisseur Analogique Numérique (CAN) ayant une architecture MSNBC (Multi Stage Noise Band Cancellation) pour des signaux LTE de 20MHz de bande. Les simulations du modulateur MSNBC passe bande à temps continu fonctionnant à une fréquence d'échantillonnage de 640 MHz donnent un rapport signal à bruit (SNR) de 80 dB sur 40MHz de bande avec une architecture constituée de deux modulateurs d'ordre 4 et 6, et des quantificateurs de 5 bits.

1. Introduction

La prédistorsion numérique est une technique utilisée pour corriger les non-linéarités des amplificateurs de puissance. Une des contraintes les plus importantes de la mise en oeuvre de cette technique est la numérisation des non-linéarités de l'amplificateur de puissance faite par le CAN. L'information sur ces non-linéarités permet d'identifier le modèle de prédistorsion. Le CAN doit ainsi avoir une grande dynamique et une large bande passante afin que le signal numérisé contienne les produits d'intermodulation.

Habituellement, le convertisseur de type pipeline est utilisé pour répondre à ces spécifications. Cependant, sa consommation d'énergie est élevée. De part sa précision, sa faible consommation d'énergie et grâce aux nouvelles technologies CMOS, le convertisseur $\Sigma\Delta$ est un excellent candidat pour palier au problème d'énergie du convertisseur pipeline. Les modulateurs de ce type peuvent être implémentés en temps discret avec les filtres à capacités commutés, ou en temps continu avec des filtres LC, RC ou GmC. Les convertisseurs à temps continu ont entre autre l'avantage d'être plus rapides que ceux à temps discrets.

L'architecture MSNBC introduite par [1] a été dimensionnée en temps discret pour des signaux WCDMA ayant 15MHz de bande. Ce papier permet de faire évoluer cette architecture vers un nouveau dimensionnement pour des signaux LTE avec 20MHz de bande et aller vers une réalisation physique avec la technologie CMOS 65nm.

Ce papier est organisé comme suit: la section 2 décrit

l'architecture et le fonctionnement du convertisseur $\Sigma\Delta$ utilisé. Les résultats de simulations en temps continu sont présentés dans la section 3. La section 4 aborde les choix de conception du modulateur en temps continu et la section 5 conclut ce travail.

2 L'architecture MSNBC

L'architecture MSNBC en temps discret est présentée en Figure 1. Cette architecture a l'avantage d'alléger les contraintes de SNR dans les bandes adjacentes du CAN. En effet, l'obtention de 80dB de SNR dans une bande de 40MHz représente deux contraintes: 60dB dans une première moitié de bande et 20dB dans la seconde.

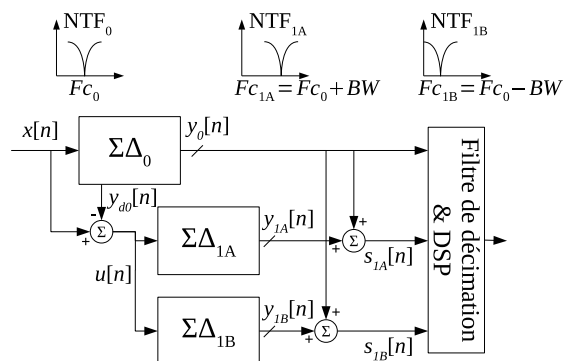


Figure 1. Architecture générale du MSNBC en temps discret

Ce convertisseur est constitué de plusieurs modulateurs $\Sigma\Delta$ passe-bandes, chacun centré sur une fréquence spécifique. Le modulateur primaire $\Sigma\Delta_0$, centré à la fréquence F_{c_0} , numérise uniquement le signal compris dans la bande $[F_{c_0} - BW/2; F_{c_0} + BW/2]$. Les modulateurs secondaires $\Sigma\Delta_{1A}$ et $\Sigma\Delta_{1B}$ sont centrés dans les bandes comprenant des non-linéarités. Ils reçoivent en entrée le signal $u[n] = x[n] - y_{d0}[n]$, $x[n]$ étant le signal d'entrée du convertisseur, et $y_{d0}(t)$ la sortie du CNA (Convertisseur Analogique Numérique) de retour du modulateur $\Sigma\Delta_0$. Pour un modulateur primaire ayant une fonction de transfert du signal (STF) unitaire, le signal $u[n]$ correspond au bruit de quantification contenu dans $y_0(t)$:

$$\begin{aligned}
y_0[n] &= x[n] + n_0[n] \\
u[n] &= x[n] - y_{a0}[n] = x[n] - x[n] - n_0[n] = -n_0[n] \\
y_{1A}[n] &= u[n] + n_{1A}[n] \\
s_{1A}[n] &= y_0[n] + y_{1A}[n] \\
&= x[n] + n_0[n] + u[n] + n_{1A}[n] \\
&= x[n] + n_{1A}[n].
\end{aligned}$$

$n_0[n]$ et $n_{1A}[n]$ sont les bruits de quantification des modulateurs $\Sigma\Delta_0$ et $\Sigma\Delta_{1A}$ multipliés par les fonctions de transfert de bruit (NTF) respectives.

Dans le cas où $STF_{\Sigma\Delta_{1A}} = 1$, l'addition des signaux $y_0[n]$ et $y_{1A}[n]$ donne un signal dont le bruit de quantification du modulateur primaire est supprimé. Des résultats similaires sont obtenus en additionnant $y_0[n]$ et $y_{1B}[n]$.

Cas d'une STF non unitaire Lorsque le modulateur est implémenté en temps discret, l'obtention d'une STF unitaire est simple. Ceci n'est plus le cas lors d'une implémentation en temps continu. Dans ce cas, des filtres de suppression de bruit (NCF) sont ajoutés aux sorties des modulateurs, comme indiqué en Figure 2.

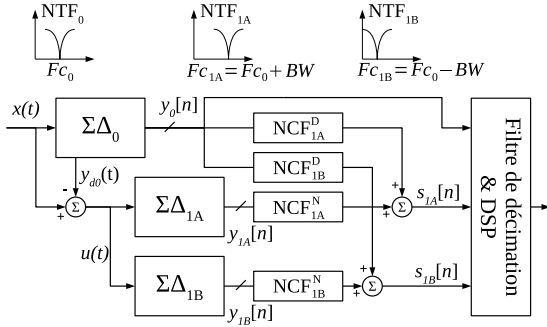


Figure 2. Architecture temps continu du modulateur principal.

Cette architecture est celle à laquelle font référence les simulations faites dans la Section 2. Les filtres de suppression de bruits sont calculés grâce à l'équation (1) obtenue dans [2] :

$$\frac{NCF_{1A}^N(z)}{NCF_{1A}^D(z)} = \frac{1 + \mathcal{Z}[\mathcal{L}^{-1}\langle H_{1A}(s)\mathcal{R}_{DAC}(s) \rangle_{|t=kT_s}]}{\mathcal{Z}[\mathcal{L}^{-1}\langle H_{1A}(s)G_{1A}(s)\mathcal{R}_{DAC}(s) \rangle_{|t=kT_s}]} \quad (1)$$

$H_{1A}(s)$, $R_{DAC}(s)$ et $G_{1A}(s)$ désignent respectivement les transformées de Laplace du filtre de boucle, de la réponse du CNA et du filtre G dans $\Sigma\Delta_{1A}$. Z est la transformée en Z et L^{-1} est la transformée inverse de Laplace en temps continu de fonctions échantillonnées aux instants $t=kT_s$.

Les signaux reconstitués sont ensuite envoyés au filtre de décimation pour le traitement numérique.

3. Résultats de simulations

L'architecture MSNBC a été simulée en temps continu sous Matlab à l'aide d'une version modifiée de la *DeltaSigmaToolbox* de Richard Shreier [3]. La synthèse d'un modulateur dans cette toolbox débute avec la fonction *synthesizeNTF()* qui prend comme paramètres le facteur de sur-échantillonnage (OSR), l'ordre du modulateur, sa forme, la fréquence centrale et le gain hors-bande. Ces paramètres ont un effet direct sur le SNR.

Les simulations ont été faites dans un premier temps avec les modulateurs $\Sigma\Delta_0$ et $\Sigma\Delta_{1A}$ de type CIFB (Cascade of Integrators FeedBack form) représentés en Figure 3. Les blocs constitués de deux intégrateurs et d'un coefficient de retour simulent le comportement d'un résonateur. Le signal $x(t)$ utilisé est constitué de deux

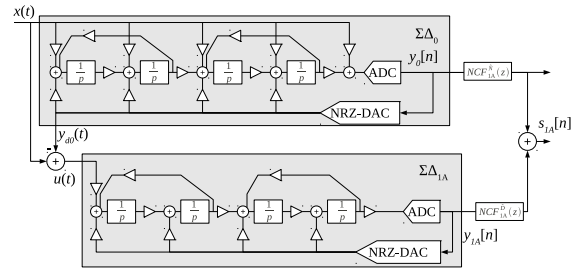


Figure 3. Structure des modulateurs CIFB

signaux sinusoïdaux dont la différence d'amplitude est de 60dB: l'un centré à $F_{c0} = 140MHz$ représentant la puissance du signal dans la bande principale, et le deuxième centré à $F_{c1A} = 160MHz$ correspondant à la puissance du signal dans la bande adjacente. La bande utile est de 20MHz et la fréquence d'échantillonnage $F_s = 640MHz$. Le modulateur $\Sigma\Delta_0$ est d'ordre 4, il a un quantificateur de 3 bits, un convertisseur numérique analogique de type non retour à zéro (NRZ-DAC) et un gain hors-bande de $H_{in f_0} = 2,4$. Le modulateur $\Sigma\Delta_{1A}$ est d'ordre 6, a un quantificateur 5 bits, un NRZ-DAC et un gain hors-bande $H_{in f_{1A}} = 1,8$. Les STF des modulateurs ne sont pas unitaires dans la bande de travail.

La Figure 4 représente les signaux d'entrée et de sortie du modulateur primaire. Le SNR obtenu dans la bande principale est de 62,15dB. Dans la bande adjacente, le niveau de bruit est supérieur à celui du signal, ce qui donne un SNR de -18dB. Les signaux S_{1A} avec et sans les filtres de suppression de bruit sont présentés à la Figure 5. Sans filtres de suppression de bruit, le SNR dans la bande adjacente vaut -12,7dB. Cette valeur est améliorée de 34,7dB avec les filtres NCFs.

Les figures 6 (a) et (b) illustrent l'effet de l'ordre du modulateur, du nombre de bits du quantificateur et du gain hors-bande sur le SNR. Pour obtenir un rapport signal sur bruit de 60dB dans la bande principale et 20dB dans la bande secondaire, le modulateur $\Sigma\Delta_0$ peut être d'ordre 4 avec au moins 3 bits de quantification, ou

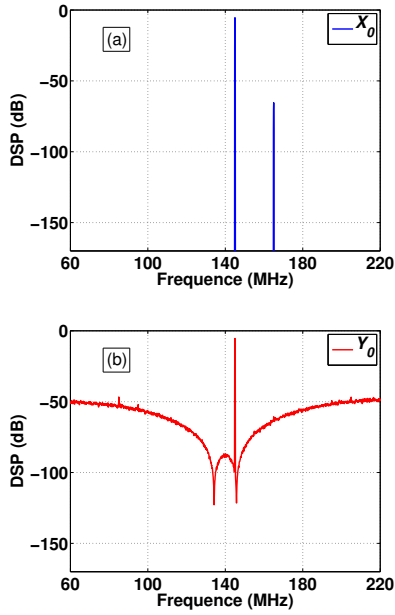


Figure 4. Spectres d'entrée (a) et de sortie (b) de $\Sigma\Delta_0$

d'ordre 6 avec au moins 2 bits de quantification. Le modulateur $\Sigma\Delta_{1A}$ doit être d'ordre 6 et avoir au moins 3 bits de quantification pour atteindre 20dB de SNR en bande adjacente.

Nous choisissons d'utiliser un modulateur d'ordre 6 et un quantificateur 5 bits comme modulateur secondaire afin d'avoir assez de marge par rapport à l'objectif de SNR visé et d'éviter des problèmes d'instabilité. Cette marge permettrait de compenser des problèmes de fabrication du circuit ou de bruit de certains composants. Un modulateur d'ordre 6 n'étant pas nécessaire pour le modulateur primaire, nous optons pour un modulateur d'ordre 4 afin d'optimiser la consommation d'énergie, et un quantificateur 5 bits.

4. Implémentation des modulateurs

L'implémentation de l'architecture MNSBC se fera avec les deux modulateurs $\Sigma\Delta_0$ et $\Sigma\Delta_{1A}$. Les résultats de simulations ont permis de fixer certains paramètres des modulateurs. Cependant des considérations de conception doivent être pris en compte.

Le filtre de boucle Les modulateurs $\Sigma\Delta$ passe-bande à temps continu peuvent être conçus avec des résonateurs (LC [4], Gm-LC [5]) ou des intégrateurs (GmC [6] ou RC [7],[8]) comme dans le cas de l'architecture CIFB.

Les implémentations les plus fréquentes de modulateurs $\Sigma\Delta$ à temps continu utilisent soit des filtres RC actifs ou des GmC, soit une combinaison des différents types d'intégrateurs[9]. Les intégrateurs de type RC ont une linéarité élevée tandis que les filtres GmC consomment peu d'énergie. Afin de bénéficier des avantages des

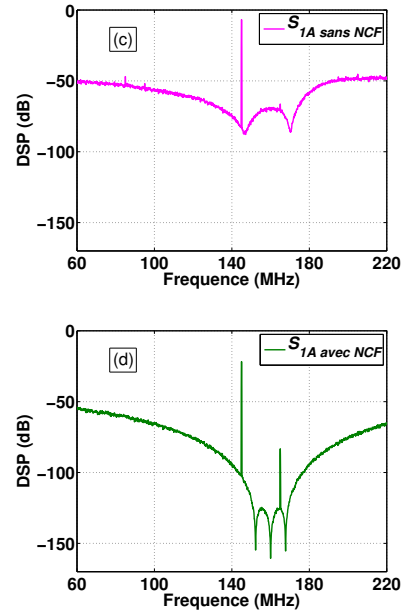


Figure 5. Signal S_{1A} avec (d) et sans (c) filtres NCFs

différents types d'intégrateurs, une solution consisterait à concevoir le premier intégrateur en RC et les intégrateurs restants avec la technique GmC. Cette méthode est celle envisagée pour la conception du filtre de boucle.

Le quantificateur Le quantificateur est un convertisseur analogique numérique Flash de 5 bits. Le nombre de bits élevé du quantificateur choisi entraîne une faible linéarité, et donc un besoin linéarisation. Les CNA ont aussi des problèmes de décalage qui sont résolus avec des techniques de calibration.

Les CNA Etant donné que le filtre de boucle contient des coefficients de retour, plusieurs CNA sont nécessaires. Le NRZ-DAC convertit le signal de sortie du modulateur en signal analogique et, par conséquent, a de hautes exigences sur la linéarité et les performances en bruit. Les convertisseurs $\Sigma\Delta$ à temps continu ont des problèmes de synchronisation entre autres dus à la métastabilité du quantificateur, à l'excès du délai de boucle et à la gigue d'horloge [10]. Les CNAs de retour lorsqu'ils sont bien calibrés permettent de compenser l'excès de délai de boucle.

5. Conclusions

L'architecture MSNBC est un bon candidat pour les signaux larges bandes et haute résolution comme dans le contexte de linéarisation d'amplificateurs de puissance des signaux LTE. De plus, elle consommerait moins d'énergie que des convertisseurs pipeline ayant des performances équivalentes.

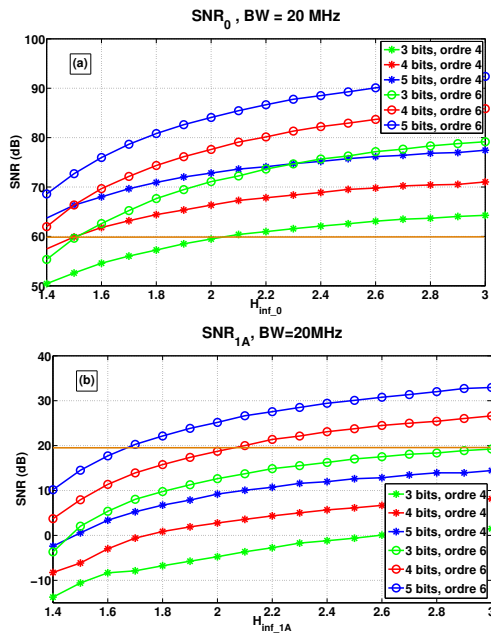


Figure 6. Simulations en temps continu

Cette architecture permet d'alléger les contraintes de SNR pour des signaux larges bandes. Nous nous sommes limités dans ce papier à une architecture constituée de deux modulateurs, mais ceci peut être étendu à 3 voire 5 modulateurs.

Des travaux sur les simulations système du $\Sigma\Delta$ MSNBC à temps continu en prenant en compte les imperfections des blocs ainsi que l'implémentation du convertisseur en technologie CMOS 65nm feront partie de la poursuite des travaux.

Remerciements

Ces travaux bénéficient du soutien du projet Nanodesign supporté par l'IDEX Paris-Saclay, ANR-11-IDEX-0003-02.

Références

- [1] D.-K.G. Pham, P. Desgreys, P. Loumeau, and T. Ridgers. "Multi-stage noise band cancellation Sigma Delta modulator for digitisation of distorted signals". *Electronics Letters*, 48(10):560–562, 2012.
- [2] Pham Dang-Kiên Germain. "Conversion Analogique-Numérique Sigma-Delta Large-Bande Appliquée à la Mesure des Non-Linéarités des Amplificateurs de Puissance". PhD thesis, Télécom ParisTech, 2013.
- [3] R. Schreier. "THE DELTA-SIGMA TOOLBOX v. 7.3", 2009.

- [4] Hyungil Chae, Jaehun Jeong, G. Manganaro, and M.P. Flynn. "A 12 mW Low Power Continuous-Time Bandpass $\Delta\Sigma$ Modulator With 58 dB SNDR and 24 MHz Bandwidth at 200 MHz IF". *Solid-State Circuits, IEEE Journal of*, 49(2):405–415, Feb 2014.
- [5] J. Ryckaert, J. Borremans, B. Verbruggen, L. Bos, C. Armiento, J. Craninckx, and G. Van der Plas. "A 2.4 GHz Low-Power Sixth-Order RF Bandpass $\Delta\Sigma$ Converter in CMOS". *Solid-State Circuits, IEEE Journal of*, 44(11):2873–2880, Nov 2009.
- [6] Y. Aiba, K. Tomioka, Y. Nakashima, K. Hamashita, and Bang-Sup Song. "A Fifth-Order GmC Continuous-Time $\Delta\Sigma$ Modulator With Process-Insensitive Input Linear Range". *Solid-State Circuits, IEEE Journal of*, 44(9):2381–2391, Sept 2009.
- [7] Cho-Ying Lu, J.F. Silva-Rivas, P. Kode, J. Silva-Martinez, and Sebastian Hoyos. "A Sixth-Order 200 MHz IF Bandpass Sigma-Delta Modulator With Over 68 dB SNDR in 10 MHz Bandwidth". *Solid-State Circuits, IEEE Journal of*, 45(6):1122–1136, June 2010.
- [8] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani. "A 20-mW 640-MHz CMOS Continuous-Time $\Sigma\Delta$ ADC With 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB". *Solid-State Circuits, IEEE Journal of*, 41(12):2641–2649, Dec 2006.
- [9] H. Shibata, R. Schreier, Wenhua Yang, A. Shaikh, D. Paterson, T.C. Caldwell, D. Alldred, and Ping Wing Lai. "A DC-to-1 GHz Tunable RF $\Delta\Sigma$ ADC Achieving DR=74 dB and BW=150 MHz at $f_0=450$ MHz Using 550 mW". *Solid-State Circuits, IEEE Journal of*, 47(12):2888–2897, Dec 2012.
- [10] J.M. de la Rosa. "Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey". *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 58(1):1–21, Jan 2011.