



HAL
open science

Origines et influences des contraintes mécaniques dans le fonctionnement et la durée de vie des composants de la microélectronique

Stéphane Orain, Vincent Fiori, Charles Populaire, Fabrice Payet, David Villanueva, Frédéric Boeuf

► To cite this version:

Stéphane Orain, Vincent Fiori, Charles Populaire, Fabrice Payet, David Villanueva, et al.. Origines et influences des contraintes mécaniques dans le fonctionnement et la durée de vie des composants de la microélectronique. 8e Colloque national en calcul des structures, CSMA, May 2007, Giens, France. hal-01509268

HAL Id: hal-01509268

<https://hal.science/hal-01509268>

Submitted on 16 Apr 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Public Domain

Origines & Influences des Contraintes Mécaniques dans le Fonctionnement et la Durée de Vie des Composants de la Microélectronique

Stéphane Orain* — **Vincent Fiori**** — **Charles Populaire***** — **Fabrice Payet**** — **David Villanueva*** — **Frédéric Boeuf****.

*NXP, 860 rue Jean Monnet, 38920 Crolles, France

stephane.orain@nxp.com

** STMicroelectronics, 850 rue Jean Monnet, F-38926 Crolles, France

*** Freescale, 870 rue Jean Monnet, F-38926 Crolles, France.

RÉSUMÉ. Les innovations technologiques (téléphone et ordinateur portable, internet...) issues du monde de la microélectronique révolutionnent chaque jour un peu plus la vie de chacun d'entre nous. L'acteur de cette révolution se cache au cœur de ces « boîtiers noirs » renfermant une puce électronique, elle-même composée de millions de transistors connectés entre eux. Depuis ses débuts, le monde de la microélectronique s'est engagé dans une course à la miniaturisation des transistors dans le but d'augmenter leur nombre et donc les fonctionnalités de la puce tout en optimisant leur consommation et leur vitesse. Durant cette course vers l'infiniment petit dans un secteur jusqu'alors réservé aux micro-électroniciens, les premiers problèmes mécaniques sont apparus. L'objectif de ce papier est d'expliquer l'origine des problèmes mécaniques et de présenter quelques uns des challenges thermomécaniques caractéristiques rencontrés en microélectronique.

ABSTRACT. The innovations coming from microelectronic devices contribute to change our way of life (transmobile phone, internet...) day after day. This revolution has been achieved thanks to cleverer chips made of billions of always smaller transistors. Indeed since its beginning, the microelectronics industry is engaged in a competition towards the infinitely small motivated by electrical performance enhancement. Nowadays, the introduction of new materials plays also a great role in this performance achievement. The aim of this paper is to depict the history of material evolution during microelectronic history and also to point out the link with the mechanical challenge emergence.

MOTS-CLÉS : microélectronique, transistor, interconnexion, contrainte.

KEYWORDS: microelectronic, transistor, interconnection, stress

1. Introduction

Les innovations technologiques issues du monde de la microélectronique révolutionnent chaque jour un peu plus la vie de chacun d'entre nous. Si certaines sont visibles comme l'incroyable développement des technologies nomades comme les ordinateurs portables toujours plus performants et compacts ou comme les téléphones portables qui permettent désormais d'écouter de la musique, de prendre des photos et de regarder la télévision, la plupart de ces innovations se font plus discrètes mais bouleversent tout autant des pans entiers de plusieurs secteurs industriels. Prenons l'exemple de la photo numérique qui supprime désormais la photo argentique ou l'automobile avec sa multitude de systèmes de sécurité et d'aide à la conduite...

L'acteur de cette révolution se cache au cœur de ces « boîtiers noirs » que l'on peut découvrir par exemple lorsque que l'on démonte son PC ou la majorité des nouveaux appareils domestiques (cf. figures 1, 2). Ces composants, dont la taille est de quelques centimètres, renferment une ou plusieurs puces électroniques (d'environ 1cm^2), elle-même composée de millions de transistors connectés entre eux par des pistes métalliques noyées dans une matrice diélectrique. Les fonctionnalités de la puce sont modulées selon le nombre et l'agencement des transistors. Plus une puce contient de transistors, plus elle sera « savante ». A titre d'exemple, la puce d'une clé USB de 512Mo contient environ 800 millions de transistors occupant une surface totale de moins d'un 1cm^2 ! Ceci a été possible grâce à l'incroyable et frénétique course à la miniaturisation dans laquelle s'est engagé le monde de la microélectronique depuis ses débuts. Ainsi, la taille d'un transistor MOS est divisée par 2 tous les 36 mois environs et cela depuis trente ans. Aujourd'hui sa taille n'est plus que de quelques dizaines de milliardièmes de mètre soit l'équivalent de 1000 transistors dans l'épaisseur d'un cheveu ! C'est cette miniaturisation qui est à l'origine de la révolution.

Durant cette course vers l'infiniment petit dans un secteur jusqu'alors réservé aux micro-électroniciens, les premiers problèmes mécaniques sont apparus. Les mécaniciens font désormais partie intégrante des équipes de développement des produits de la micro électronique. L'objectif de cet article est de présenter quelques uns des challenges thermomécaniques les plus caractéristiques rencontrés en microélectronique de l'échelle du transistor MOS à celle du boîtier en passant par les interconnexions métalliques.



Figure 1. Exemples d'applications

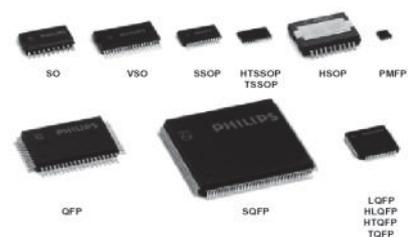


Figure 2. Exemples de boîtiers

2. Influence des contraintes

L'objectifs des paragraphes suivants est de présenter quelques uns des challenges thermomécaniques aux échelles du transistor MOS, des interconnexions et du boîtier (figure 3).

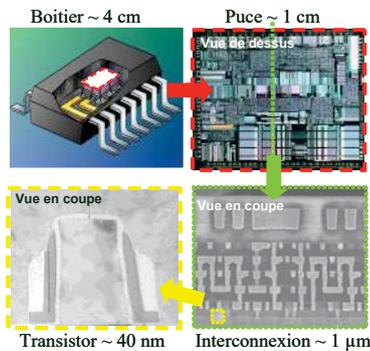


Figure 3. Zoom sur les différents éléments contenus dans un composant de la microélectronique

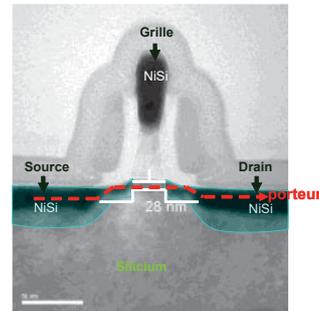


Figure 4. Vue d'un transistor par microscopie électronique à balayage

2.1. A l'échelle nanométrique d'un transistor MOS

Intéressons nous tout d'abord aux challenges mécaniques à l'échelle d'un MOS. Un transistor MOS est composé d'une grille, d'une source et d'un drain réalisés dans une tranche (wafer) de silicium monocristallin (cf. figure 4). La source et le drain sont reliés par une étroite bande de silicium située sous la grille (appelé canal) dans laquelle circulent les porteurs majoritaires. Ces derniers peuvent être respectivement des électrons (notés n) ou des trous (notés p) pour un nMOS ou pMOS en fonction de la nature des dopants de la source et du drain. Le fonctionnement d'un transistor MOS peut être assimilé à un interrupteur laissant passer ou non les électrons en fonction de la tension appliquée à la grille. L'ensemble des fonctionnalités d'une puce est programmé grâce à cette logique binaire basée sur des 1 (les électrons circulent) et des 0 (les électrons sont bloqués). Depuis toujours la diminution de la longueur du canal s'est traduite par une augmentation de la mobilité des porteurs et donc des performances des transistors. Or, à la fin des années 90, un effet jusqu'alors négligeable vient briser momentanément l'équation «réduction de la taille des MOS = gain en performance». Le responsable n'est autre que la contrainte mécanique, induite sur le canal du transistor et liée à l'utilisation de plusieurs matériaux ayant chacun des propriétés mécaniques et des contraintes intrinsèques différentes. Dans un premier temps, on a cherché à minimiser cette contrainte, puis on s'est rendu compte qu'en fonction du type de contrainte (compressive ou tensile), de son orientation

(uniaxiale, biaxiale) et du type de transistors (nMOS, pMOS), les performances des transistors pouvaient être améliorées ou diminuées. Ceci s'explique par une déformation de la maille cristalline du silicium par cette contrainte qui va affecter la mobilité des porteurs par modifications des structures de bandes de conduction et de valence. Aujourd'hui cette spécificité du silicium est largement utilisée ; mieux des matériaux fortement contraints sont spécifiquement introduits pour induire une contrainte contrôlée dans le canal. L'ingénierie des contraintes est désormais l'un des leviers d'augmentations des performances de MOS au même titre que la réduction des dimensions. Cette dernière est même devenue essentielle suite à la survenue d'effets électriques parasites liés à la dimension ultime du canal compromettant les gains de performances attendues. L'augmentation de performance passant par un contrôle très précis de l'orientation de la contrainte dans le canal, la modélisation par éléments finis est alors un atout incontestable quant à l'optimisation des nouveaux procédés ou matériaux précontraints. Il existe plusieurs techniques d'ingénierie des contraintes, l'une d'elles consiste à déposer sur le transistor une couche de nitrure précontrainte (CESL), qui va induire dans le canal une contrainte biaxiale permettant une augmentation de performance électrique de près de 15% par rapport à une situation de référence sans stress (cf. figure 5). Ainsi à l'échelle des transistors, la contrainte mécanique peut avoir un effet bénéfique si celle-ci est parfaitement maîtrisée.. La modélisation par éléments finis est alors un atout incontestable pour tester l'efficacité de nouvelles techniques ou pour optimiser les procédés d'ingénierie déjà existants.

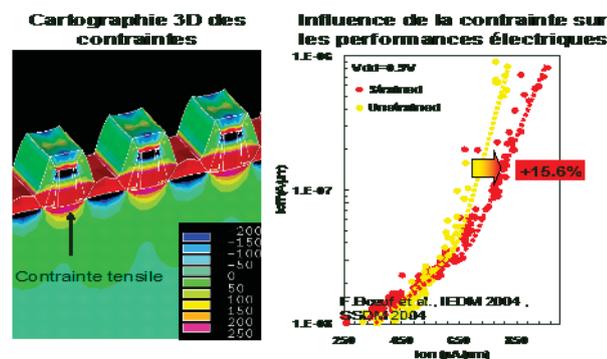


Figure 5. Augmentation de la performance d'un MOS obtenu par ingénierie des contraintes

2.2. A l'échelle micrométrique des interconnexions

Voyons à présent les challenges mécaniques à l'échelle des interconnexions métalliques. Ces interconnexions situées à la verticale des transistors sont constituées de lignes et de vias noyés dans une matrice diélectrique (cf. figure 6). Ces lignes courent au-dessus des transistors sur plusieurs niveaux (jusqu'à 10) et les vias, de petits cylindres de cuivre, connectent deux lignes situées à des niveaux

différents. Ces interconnexions permettent de relier plusieurs transistors MOS entre eux créant ainsi les fonctions logiques de la puce. Etant donné le nombre de transistors, l'agencement des MOS entre eux est quasi infini. Ainsi à partir d'un élément de base identique à savoir le MOS, l'organisation de ces interconnexions permet d'obtenir des puces aux fonctionnalités très diverses. Outre la taille des transistors, les performances d'une puce sont également dépendantes du temps de propagation du signal, τ , dans ces lignes métalliques reliant 2 ou plusieurs transistors. τ est proportionnel à la résistance électrique des lignes métalliques multipliée par la capacité électrique du matériau isolant deux lignes juxtaposées. Ainsi afin de réduire τ , de nouveaux matériaux ont été utilisés ; l'aluminium a été remplacé par le cuivre plus conducteur et la silice a été remplacée par des diélectriques nanoporeux ayant une plus faible capacité électrique. Ces interconnexions métalliques sont réalisées à l'aide d'une multitude de dépôts de matériaux et de gravures. Ces matériaux présentent des propriétés mécaniques très différentes et sont de plus déposés à des températures variées. Or, si à l'échelle des MOS, la contrainte est bénéfique, il n'en est pas de même à l'échelle des interconnexions métalliques.

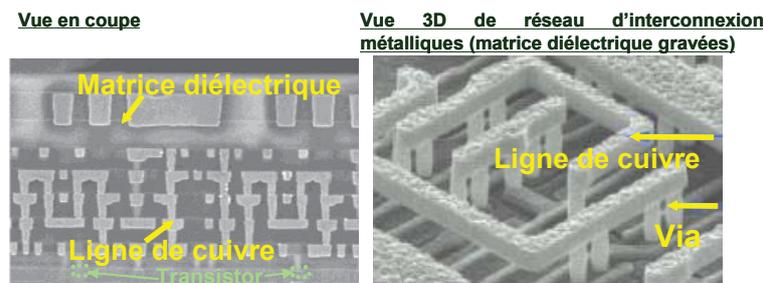


Figure 6. Vues (en coupe et après retrait du matériau diélectrique) des niveaux d'interconnexion métallique

Au sein des interconnexions, les contraintes peuvent conduire à la formation de cavité dans le cuivre. Ces cavités ou « voids » apparaissent dans les endroits les plus en tension et croissent grâce à un flux de lacunes selon le gradient de pression hydrostatique. Ce phénomène est connu sous le nom de « stress-voiding ». Ces cavités vont dans un premier temps augmenter la résistance électrique des lignes puis dans un second rompre totalement la ligne dès lors que le void est aussi large que la ligne. La modélisation permet de localiser les endroits critiques et d'évaluer le risque de croissance du void, notamment en fonction des cycles en température.

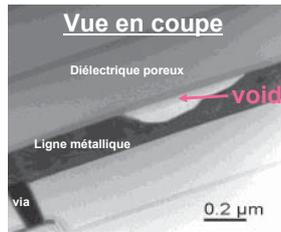


Figure 8. *Cavités au sein d'une ligne métallique.*

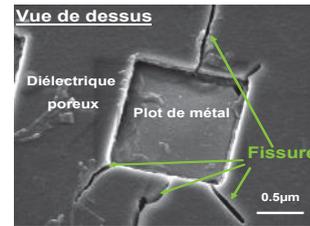


Figure 9. *Fissure dans le diélectrique*

Au sein de la matrice diélectrique excessivement fragile depuis l'utilisation de diélectriques nano-poreux, il est courant de rencontrer des fissures ou des délaminations à l'interface de différents matériaux. Dans le pire scénario, ces fissures ou délaminations une fois nucléées vont continuer à se propager et détruire l'intégralité de la puce. L'utilisation de la mécanique de la rupture et de critère de type énergétique semble l'approche la plus adaptée pour une estimation précise du risque encouru.

2.3. A l'échelle centimétrique d'un boîtier

Finissons cette revue des challenges mécaniques à l'échelle de la microélectronique en discutant ceux rencontrés à l'étape de mise en boîtier encore appelée « packaging ». Une fois la puce terminée, le wafer, sur lequel se trouvent des centaines de puces identiques, est découpé puis chaque puce est placée dans un boîtier. Il ne reste plus qu'à relier la puce au boîtier. Ceci peut-être réalisé à l'aide d'un fil d'or reliant les entrées/sorties de la puce aux pattes du boîtier (figure 3). Ces entrée/sorties sont situées tout autour de la puce et se présentent sous la forme de « petits carrés » appelés « pads », dont la partie visible à la surface de la puce est constituée d'une fine couche d'aluminium soutenue par une architecture comprenant un enchevêtrement de lignes et de vias sur plusieurs niveaux (les vias peuvent être assimilés aux pilonnes reliant deux niveaux d'un immeuble). Le fil d'or est soudé sur la couche d'aluminium par soudure thermo-sonique. Le procédé de soudage doit être suffisamment performant pour réussir les différents tests de qualification tout en préservant l'intégrité mécanique du pad. Il n'est pas rare toutefois de constater une fissuration du pad suivi de sa destruction pendant le soudage et/ou lors des tests. L'optimisation du procédé de soudage ainsi que de l'architecture du pad sont les deux éléments clés du succès. Là encore, la simulation mécanique est très utile.

3. Conclusions

Cet article a présenté les principales sources de contraintes et les techniques capables de mesurer ces dernières à l'échelle des dispositifs de la microélectronique.

Il a également montré quelques uns des challenges thermomécaniques auxquels est désormais confronté le monde de la microélectronique. Le principal challenge pour le futur sera de concilier deux objectifs antagonistes, d'une part une augmentation des contraintes dans les transistors tout en diminuant d'autre part celles-ci à l'échelle des interconnexions !