



**HAL**  
open science

## Automatisation de la vérification du réseau ESD sur silicium : un enjeu majeur pour les circuits intégrés en technologies CMOS avancées

Benjamin Viale, Bruno Allard, Philippe Galy, Mathieu Fer

### ► To cite this version:

Benjamin Viale, Bruno Allard, Philippe Galy, Mathieu Fer. Automatisation de la vérification du réseau ESD sur silicium : un enjeu majeur pour les circuits intégrés en technologies CMOS avancées. Symposium de Génie Electrique (SGE'14), Jul 2014, Cachan, France. hal-01065226

**HAL Id: hal-01065226**

**<https://hal.archives-ouvertes.fr/hal-01065226>**

Submitted on 18 Sep 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Automatisation de la vérification du réseau ESD sur silicium : un enjeu majeur pour les circuits intégrés en technologies CMOS avancées

Benjamin VIALE, [benjamin.viale@st.com](mailto:benjamin.viale@st.com)

Bruno ALLARD, [bruno.allard@insa-lyon.fr](mailto:bruno.allard@insa-lyon.fr)

Philippe GALY, [philippe.galy@st.com](mailto:philippe.galy@st.com)

Mathieu FER, [mathieu.fer@st.com](mailto:mathieu.fer@st.com)

**RESUME** – La diminution des dimensions de gravure, la hausse de la fréquence de fonctionnement ainsi que la baisse des tensions d'alimentation des circuits intégrés en technologies CMOS avancées ont conduit les fabricants majeurs de semi-conducteurs à modifier leurs méthodes d'assemblage boîtier pour minimiser les éléments parasites RLC sur les chemins d'alimentation. Cette amélioration de performances fonctionnelles s'est cependant avérée être une nouvelle source de danger pour la robustesse des circuits intégrés, en créant des points d'injection possibles dans le cœur des circuits intégrés lors d'un événement ESD. La stratégie classique de protection ESD, embarquée directement sur le silicium, a également dû être modifiée en conséquence. Il n'existe toutefois pas d'outils commerciaux d'analyse rapide systématique de ce nouveau type de réseau ESD, disséminé dans le cœur et plus uniquement dans la couronne d'entrées/sorties. Ce document expose les difficultés auxquelles devra faire face l'outil que nous projetons de concevoir : ESD IP Explorer.

**MOTS-CLES** – Protection ESD, Technologies CMOS avancées, Automatisation, Vérification, Réseau ESD, Graphe.

## 1. Introduction

Les circuits intégrés sur silicium en technologies CMOS avancées conçus par STMicroelectronics suivent la tendance générale du monde du semi-conducteur. Celle-ci est caractérisée par une diminution des dimensions de gravure (« More-Moore ») ainsi que par l'intégration d'un nombre toujours plus grand de fonctionnalités sur une même surface de silicium, qui grandit en conséquence (« More-than-Moore »). Les performances globales des circuits intégrés tendent également vers une amélioration constante grâce à une augmentation de la fréquence de fonctionnement des composants et à une diminution des tensions d'alimentation.

Ces évolutions contraignent les concepteurs de circuit intégrés à adopter de nouvelles méthodes d'assemblage boîtier de manière à réduire du mieux possible les problèmes de chute de tension. La robustesse des circuits intégrés soumis à des événements de type ESD en est alors impactée, les composants étant de plus en plus sensibles, du fait du rapprochement des valeurs de tension de claquage d'oxydes et/ou de jonction vers la tension nominale de fonctionnement (Tableau 1).

**Tableau 1. Evolution des tensions maximales avant destruction pour différents nœuds technologiques.**

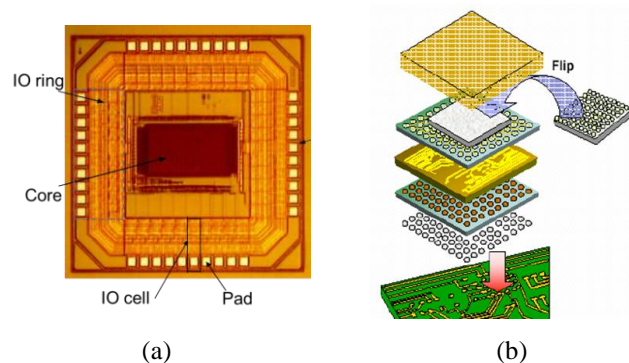
Nœud technologique	Tension de claquage	
	GO1	GO2
NMOS 40nm	100% ( $V_{REF1}$ )	100% ( $V_{REF2}$ )
NMOS 28nm Bulk	88%	75%
NMOS 28nm FDSOI	76%	44%

La problématique ESD constitue donc actuellement un des principaux défis des fabricants de semi-conducteurs et des laboratoires de recherche. Il est important de souligner qu'elle touche tous les facteurs d'échelle, de la cellule d'entrée/sortie au PCB, et que les méthodes de protection ESD appliquées sur silicium peuvent l'être au niveau du circuit imprimé sur lequel est soudé le circuit intégré.

## 2. Implémentation de type « Flip-Chip »

L'architecture traditionnelle d'un circuit intégré se décompose en un cœur abritant les fonctions électroniques à réaliser, entouré d'un anneau de cellules d'entrée/sortie, servant d'interfaces, abutées les unes à côté des autres (Figure 1 (a)). Celles-ci sont constituées d'éléments passifs et actifs. Les composants passifs sont les rails de propagation des alimentations et les plots d'E/S. La partie active, quant à elle, assure la fonction d'interfaçage entre le cœur et le monde extérieur (conditionnement et acheminement des signaux) ainsi que la protection contre d'éventuels événements ESD.

Cependant, les progrès réalisés sur les techniques de lithographie impliquent que la largeur des cellules d'E/S décroît moins rapidement que le périmètre de silicium nécessaire à la conception du cœur, à fonctionnalité constante. En conséquence, le nombre de cellules d'E/S devient un facteur limitant. De plus, des règles strictes sont appliquées sur leurs dimensions et leur placement, car la hausse de la fréquence de fonctionnement des circuits intégrés impose de très fortes contraintes sur la longueur maximale des signaux et des chemins d'alimentation (typiquement la distance entre les plots d'E/S et les composants fonctionnels du cœur).



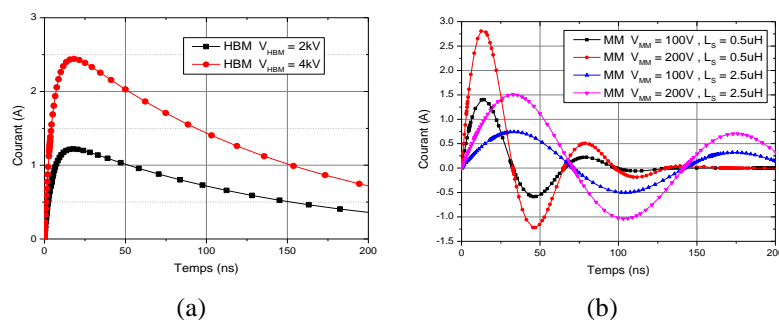
**Figure 1 : (a) Structure traditionnelle d'un circuit intégré en dehors de son boîtier. (b) Facteur d'échelle d'interconnexion entre le monde extérieur et le silicium pour la méthode d'assemblage « Flip-Chip ».**

Afin de se dispenser de ces freins techniques, une nouvelle technique d'assemblage boîtier du circuit intégré, appelée « Flip-Chip », a été adoptée (Figure 1 (b)). Celle-ci consiste à retourner le silicium sur lequel est gravé le circuit intégré de manière à avoir un accès direct aux éléments du cœur depuis l'extérieur. Ainsi la longueur des chemins d'accès sont minimaux, diminuant drastiquement les valeurs parasites R et L d'accès aux composants centraux. Le revers de cette nouvelle stratégie d'alimentation au plus près est son risque envers la robustesse contre les phénomènes ESD, car elle offre des portes d'entrées directes vers les structures sensibles internes du circuit. Une nouvelle approche de protection ESD doit être élaborée en conséquence.

## 3. Stratégies de protection ESD

### 3.1 Modèles de décharges électrostatiques

Il existe différents standards permettant de caractériser les décharges électrostatiques pouvant se produire au niveau d'un circuit intégré. Les courbes de courant typiques lors d'une décharge électrostatique à partir des modèles du corps humain (« Human Body Model » – un individu ne portant pas un équipement adapté de mise à la masse touchant une broche du circuit) et de la machine (« Machine Model » – matériel non correctement mis à la masse manipulant le circuit) chargés sont représentées dans la Figure 2. Ces modèles permettent de caractériser un stress ESD conduit deux points. Généralement, le courant traversant le circuit victime d'une décharge HBM/MM atteint quelques ampères sur une durée totale d'environ 100ns pour une décharge de type HBM (1 à 3A pour 1 à 4kV) et d'environ 10ns pour une décharge de type MM (1 à 4A pour 100 à 200V).

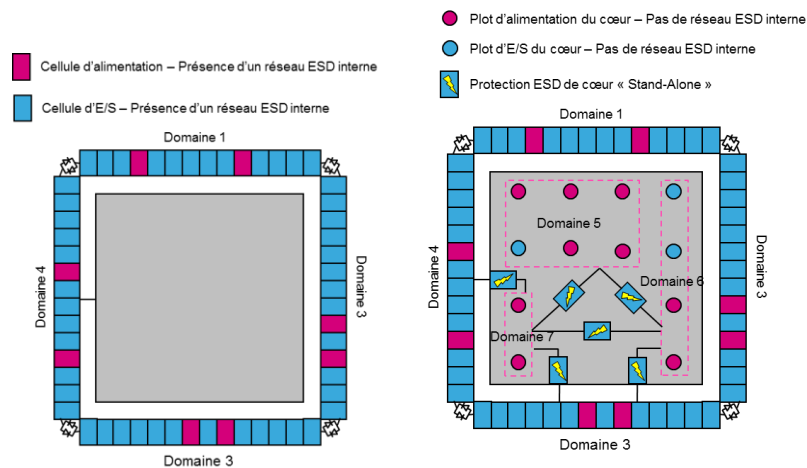


**Figure 2 : (a) Décharges typiques d'un événement HBM. (b) Décharges caractéristiques d'un événement MM [1].**

Par ailleurs, les événements de type CDM (« Charged Device Model ») proviennent d'une accumulation de charges électriques par le circuit-même, par exemple sous l'effet d'un champ électrique environnant. Typiquement pour quelques centaines de volts, il se dégage un stress atteignant 10A en moins de 1ns. Cette catégorie de phénomènes ESD a la particularité de ne nécessiter qu'un seul point de conduction avec le monde extérieur. Cet événement agresseur atypique n'est donc pas adressé dans cette étude pour l'instant.

### 3.2 Structure du réseau ESD

Pour protéger un circuit avec une configuration classique de cellules d'E/S en couronne, on utilise des éléments de protection (ou composants ESD) disposés à l'intérieur de celles-ci. Par construction, ces éléments de protection forment un réseau continu, parallèle au circuit utile, offrant un chemin de faible résistance permettant à l'énergie produite lors d'un événement ESD de s'évacuer à travers le réseau ESD plutôt qu'à travers les composants sensibles internes (Figure 3). STMicroelectronics a mis en place des méthodes et outils propriétaires de vérification afin de s'assurer que la structure linéaire périphérique d'un réseau ESD sous configuration classique est suffisante pour supporter les hautes valeurs de courant lors d'un événement ESD HBM/MM tout en protégeant correctement les composants sensibles internes du circuit.



**Figure 3 : (a) Configuration classique d'un circuit intégré. Le cœur est entouré d'un anneau de cellule d'E/S. (b) Configuration « Flip-Chip ». Des éléments de protection ESD sont disséminés dans le cœur.**

Au contraire, la stratégie d'assemblage « Flip-Chip » nécessite de placer des composants de protection au plus près des points d'injection du circuit, c'est-à-dire dans le cœur [2]. Il est alors bien plus difficile de vérifier la cohérence de ce nouveau type de réseau, de par sa dissémination à travers l'ensemble du circuit intégré (cœur et périphérie). Un des premiers tests à effectuer sera notamment la vérification de la tolérance à un événement ESD entre deux domaines d'alimentation<sup>1</sup>, qui n'est plus garantie par simple accolage de plots d'E/S. Le concepteur se devra alors d'assurer la connexité du réseau ESD pour tout couple de domaines d'alimentation distincts.

## 4. ESD IP Explorer

La capacité à estimer la validité du réseau ESD et à optimiser ce nouveau placement de composants de protection est devenue un verrou pour la qualification des circuits intégrés [3]. Afin de répondre à cette problématique, une phase d'étude a débuté. L'aboutissement de cette démarche sera l'implémentation d'un outil automatisé d'analyse du réseau ESD d'un circuit intégré : ESD IP Explorer.

### 4.1 Méthode d'analyse alternative

Le nombre actuel de transistors présents à l'intérieur des circuits intégrés les plus puissants est supérieur au milliard. Les tailles de la liste d'interconnexions (« netlist ») et du masque physique (« layout ») associés sont telles que même après reconnaissance et extraction du réseau ESD, il est impossible d'envisager une analyse par simulation électrique en un temps raisonnable. Ceci est particulièrement vrai lorsqu'il s'agit de reproduire cette analyse pour un grand nombre de paires de plot d'E/S<sup>2</sup>. Utiliser des méthodes alternatives et innovantes devient donc nécessaire. Une possibilité réside

<sup>1</sup> Dans un circuit intégré, plusieurs domaines d'alimentation avec plusieurs masses sont présents. Ces masses sont isolées les unes des autres au moyen d'éléments de protection ESD placés entre elles (typiquement des diodes placées tête-bêche). Lorsqu'un événement ESD est détecté, les composants ESD s'activent et se comportent comme un court-circuit reliant les masses entre elles.

<sup>2</sup> Certains circuits peuvent comporter jusqu'à mille plots d'E/S.

dans la mise à profit des algorithmes utilisés en théorie des graphes, très efficaces pour l'exploration et l'analyse de réseaux complexes. Leur utilisation trouvera son lien naturel dans l'exploration et la reconnaissance du réseau ESD dans la topologie 3D (pile pouvant atteindre 10 niveaux de métaux) du SOC (« System On Chip ») [4].

Une première vérification aura pour but de s'assurer de la connexité du réseau ESD au sein de chaque domaine d'alimentation puis entre chaque paire possible de domaines d'alimentation (Figure 4). Il s'agira ensuite de proposer une méthode d'analyse capable de déterminer la validité ou non des chemins ESD et de quantifier leurs similarités d'après des paramètres extraits des éléments ESD actifs (ex : tension de déclenchement, résistance équivalente après déclenchement, courant maximal avant défaut). Par la suite, d'autres critères pertinents de caractérisation de l'adéquation du réseau ESD vis-à-vis des composants sensible à protéger devront être identifiés et mis à profit pour une analyse plus fine des possibles défaillances induites en cas de sous-dimensionnement des chemins ESD.

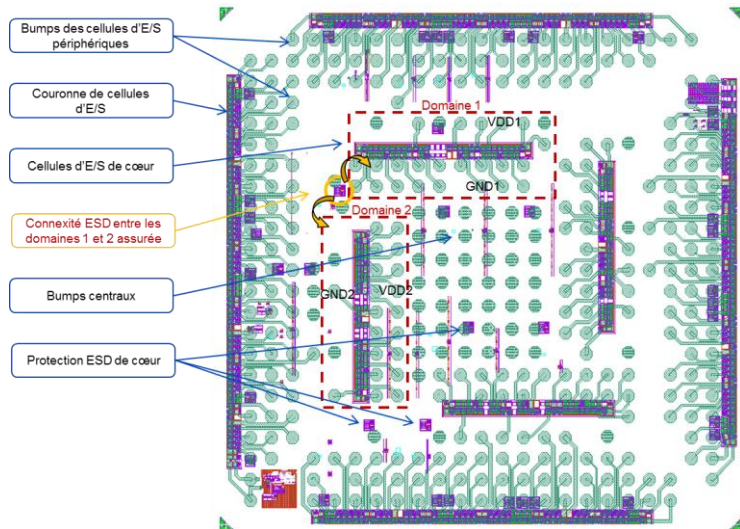


Figure 4 : Circuit « Flip-Chip » en technologie CMOS 45nm.

## 4.2 Perspectives

L'objectif principal est l'intégration d'ESD IP Explorer dans le flot de conception interne à STMicroelectronics. Ce changement permettra la prise en compte de la problématique ESD dès le début de la conception d'un circuit intégré, diminuant la probabilité d'aboutir à un réseau ESD déséquilibré, voire non fonctionnel [5]. Cependant, nos ambitions ne doivent pas se réduire au développement d'une solution d'analyse prédictive. Il est en effet primordial de renforcer les échanges entre les concepteurs de circuits intégrés et les personnes en charge des tests physiques. Optimiser la procédure de tests physiques en dressant une liste non exhaustive et pertinente de groupements de plots d'E/S à tester est un exemple de points à améliorer. Enfin, l'apport d'une heuristique de placement générique des protections ESD de cœur sera un moyen d'accélérer significativement la mise en place du réseau ESD d'un circuit intégré, et donc *de facto*, le temps de mise sur le marché (« time-to-market »).

## 5. Conclusion

Des procédés d'ingénierie inversée (« reverse engineering ») ont permis de déduire que la concurrence a d'ores et déjà adopté une stratégie de dissémination des protections ESD. Pour garantir sa compétitivité et sa place de pionnier face aux acteurs mondiaux du monde des semi-conducteurs, STMicroelectronics se doit de développer une solution permettant une pré-qualification de ses circuits intégrés sur silicium au plus tôt dans son flot de conception. Un partenariat avec le laboratoire Ampère (UMR5005) a été mis en place afin de bénéficier de l'expertise en caractérisation électrique et en qualification physique de ses membres, et de créer un effet de synergie. A termes, il sera possible d'éviter aussi bien le surdimensionnement du réseau ESD, coûteux en surface de silicium, en courant de fuite et perturbateur de la partie utile du circuit (capacité parasite), que le sous-dimensionnement, préjudiciable à la performance des produits STMicroelectronics vis-à-vis de la tolérance aux décharges électrostatiques.

## 6. Références bibliographiques

- [1] Johan Bourgeat, « Etude du thyristor en technologies CMOS avancées pour implémentation dans des stratégies locale et globale de protection contre les décharges électrostatiques », 2011.
- [2] N. Chang, Youlin Liao, Ying-Shiun Li, P. Johari, A. Sarkar, « Efficient multi-domain ESD analysis and verification for large SoC designs », EOS/ESD Symposium 2011, pp 1 – 7.
- [3] M.G. Khazhinsky, S. Cao, H. Gossner, G. Boselli, M. Etherton, « Electronic design automation (EDA) solutions for ESD-robust design and verification », Custom Integrated Circuits Conference (CICC) 2012, pp. 1 – 8.
- [4] C.-H. Liu, H.-Y. Liu, C.-W. Lin, S.-J. Chou, Yao-Wen Chang, Sy-Yen Kuo, Shih-Yi Yuan, Y.-W. Chen, « An Efficient Graph-Based Algorithm for ESD Current Path Analysis », Computer-Aided Design of Integrated Circuits and Systems, IEEE 2008, pp. 1363 – 1375.
- [5] M. Muhammad, R. Gauthier, Junjun Li, A. Ginawi, J. Montstream, S. Mitra, K. Chatty, A. Joshi, K. Henderson, N. Palmer, B. Hulse, « An ESD design automation framework and tool flow for nano-scale CMOS technologies », EOS/ESD Symposium 2010, pp. 1 – 6.