Convertisseur phase/amplitude sinusoïdal et gaussien pour synthétiseur digital direct basse consommation ultra rapide

Teddy Borr, Julien Juyon, Éric Tournier

▶ **To cite this version:**

Teddy Borr, Julien Juyon, Éric Tournier. Convertisseur phase/amplitude sinusoïdal et gaussien pour synthétiseur digital direct basse consommation ultra rapide. 17e Journées Nationales Microondes, May 2011, Brest, France. 4 p. hal-00714107

HAL Id: hal-00714107
https://hal.science/hal-00714107

Submitted on 3 Jul 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

17e Journées Nationales Microondes
18-19-20 Mai 2011 - Brest

Convertisseur phase/amplitude sinusoïdal et gaussien pour synthétiseur digital direct basse consommation ultra rapide

T. Borr[1,2], J. Juyon[1,2] et É. Tournier[1,2]

[1] *CNRS ; LAAS ; 7 avenue du colonel Roche, F-31077 Toulouse, France*
[2] *Université de Toulouse ; UPS ; F-31077 Toulouse, France*

Résumé
Un étage différentiel capable de mettre en forme des signaux gaussiens aussi bien que sinusoïdaux est proposé comme alternative dans les architectures de DDS basse consommation ultra rapides. Il a permis la conception d'un DDS fonctionnant jusqu'à 20 GHz, avec une résolution de 9 bits en fréquence et de 8 bits en amplitude, sur une technologie SiGe BiCMOS 0,13 µm de f_t/f_{max} égal à 200/250 GHz. Il conduit à un SFDR de −44,5 dBc en mode sinusoïdal et un SLRR de −43,5 dBc en mode gaussien.

1. Introduction

La synthèse digitale directe (DDS) est une technique numérique de génération de signaux arbitraires à partir d'un signal d'horloge de fréquence fixe et d'une consigne de programmation de la fréquence souhaitée. De manière classique, le DDS est composé de trois blocs comme représenté sur la fig. 1 [1]. Un accumulateur de phase (PA) génère tout d'abord une rampe de phase à partir d'un incrément $\Delta\varphi$, ce qui permet d'adresser une ROM contenant les échantillons du signal à générer, et donc jouant le rôle de convertisseur phase/amplitude (PAC). Au final, un convertisseur numérique analogique (DAC) convertit la forme d'onde générée dans le domaine analogique. Le DDS se caractérise entre autre par un temps d'établissement très rapide (typiquement une période d'horloge), un fonctionnement sur une large gamme fréquentielle, et il autorise une implémentation simplifiée de systèmes de modulation [2]. Ces propriétés font du DDS un candidat majeur pour les systèmes de télécommuncation du futur. Cependant, dans les déclinaisons habituelles, la ROM est connue pour fonctionner lentement, consommer beaucoup, et réclamer une surface d'intégration importante, rendant par exemple son utilisation inadaptée pour les systèmes embarqués. Pour corriger ces problèmes, un compromis a par exemple été trouvé afin de supprimer la ROM, et donc les problèmes qu'elle induit, mais au détriment de la diversité des formes d'onde pouvant être créées. Des DDS ne générant plus que des sinusoïdes ont ainsi soit permis d'atteindre des fréquences de fonctionnement très élevées [3, 4, 5], soit permis de diminuer considérablement la consommation à seulement quelques centaines de mW sur des technologies bas coût silicium germanium [6, 7].

Dans cet article, nous proposons un nouvel étage de mise en forme reconfigurable qui, couplé à un DDS basse consommation, rend ce dernier capable de générer une forme d'onde gaussienne en plus de la forme sinusoïdale habituelle. Un tel DDS peut alors être utilisé dans le cadre d'émetteur ultra large bande (UWB) afin de générer des impulsions gaussiennes.

2. Architecture de DDS sans ROM

Une architecture de DDS sans ROM exploitant le comportement en tangente hyperbolique d'un étage différentiel bipolaire [8, 9] a déjà été publiée [6]. Cette architecture, montrée fig. 2 et comparée à la version classique de la fig. 1 utilise un simple inverseur entre le PA et le DAC, tandis que le PAC a été déplacé du domaine numérique au domaine analogique, après le DAC. L'inverseur, commandé par le bit de poids fort (MSB) du PA, transforme la rampe de sortie du PA en un signal triangulaire. Ce dernier est ensuite converti dans le domaine analogique par le DAC, et ce n'est qu'ensuite que ce triangle est formaté à la forme d'onde souhaitée (dans ce cas une simple sinusoïde) par un PAC analogique très simple. Cette architecture sans ROM, par sa technique de mise en forme analogique, a l'avantage de diminuer la complexité du circuit et sa consommation, et d'autoriser une montée importante en fréquence.

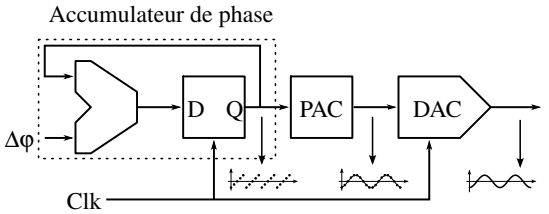

FIGURE 1 – Architecture de DDS classique.

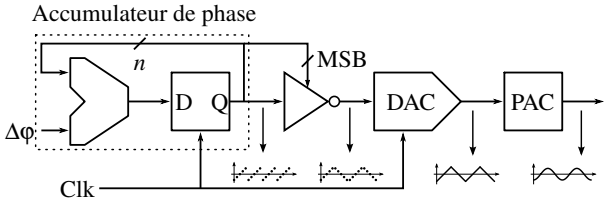

FIGURE 2 – Architecture de DDS sans ROM.

Le PAC présenté dans cet article, dans une approche similaire, ajoute la possibilité de générer une forme d'onde gaussienne en plus de la forme sinusoïdale, à travers une technique simple de reconfiguration. Un DDS possédant un PA de 9 bits, un DAC linéaire de 8 bits, et ce nouveau PAC a ainsi été conçu dans une logique ECL à 3 étages.

3. Convertisseur phase/amplitude gaussien/sinus

Le PAC Gaussien/Sinus (G/S-PAC) que nous proposons est celui de la fig. 3. Il est composé de deux paires différentielles bipolaires (Q_1, Q_2) et (Q_3, Q_4), chacune polarisée sous un même courant (I_p) et avec une même référence de tension (V_a).

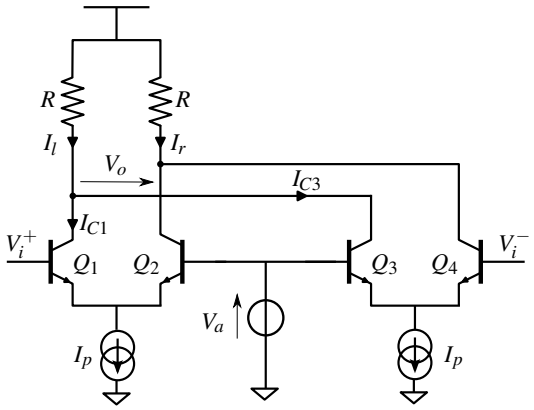

FIGURE 3 – Schématique du G/S-PAC.

Le G/S-PAC fonctionne en mode large signal, avec en entrée un signal triangulaire $(V_i^+ - V_i^-)$. Le circuit est polarisé de telle manière qu'une impulsion gaussienne positive (négative) est générée sur la partie positive (négative) du signal triangulaire (fig. 4).

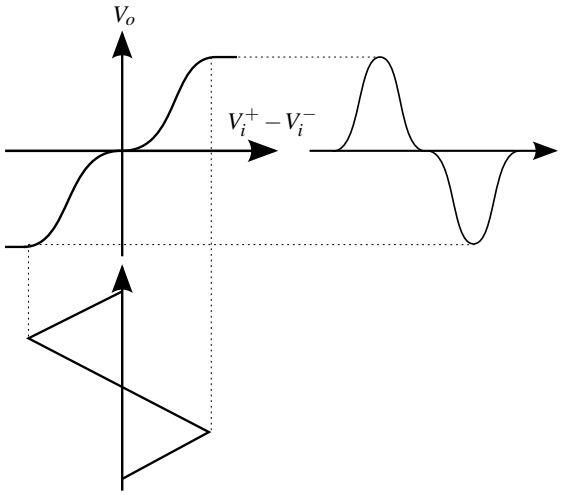

FIGURE 4 – Principe de la conversion triangle-gaussienne.

Selon la loi des nœuds, le courant I_l dans la branche de gauche de l'étage différentiel est :

$$I_l = I_{C1} + I_{C3} \qquad (1)$$

En adoptant le modèle Ebers-Moll avec un gain direct $\alpha_F = 1$ comme première approximation du comportement du transistor bipolaire, l'équation (1) devient :

$$I_l = \frac{I_p}{2}\left[2 + \tanh\left(\frac{V_i^+ - V_a}{2U_T}\right) + \tanh\left(\frac{V_a - V_i^-}{2U_T}\right)\right] \qquad (2)$$

De la même manière, le courant I_r dans la branche de droite est :

$$I_r = \frac{I_p}{2}\left[2 - \tanh\left(\frac{V_i^+ - V_a}{2U_T}\right) - \tanh\left(\frac{V_a - V_i^-}{2U_T}\right)\right] \qquad (3)$$

En considérant le potentiel différentiel de sortie V_o comme le produit entre la résistance de charge R et le courant différentiel $I = I_l - I_r$, les équations (2) et (3) donnent le comportement large signal suivant :

$$V_o = RI_p\left[\tanh\left(\frac{V_i^+ - V_a}{2U_T}\right) + \tanh\left(\frac{V_a - V_i^-}{2U_T}\right)\right] \qquad (4)$$

En définissant les variables
- $V_i = V_i^+ - V_i^-$: tension différentielle en entrée,
- $V_c = \frac{V_i^+ + V_i^-}{2}$: tension de mode commun en entrée,
- $a = 2(V_a - V_c)$,

l'équation (4) devient alors :

$$V_o = RI_p\left[\tanh\left(\frac{V_i - a}{4U_T}\right) + \tanh\left(\frac{V_i + a}{4U_T}\right)\right] \qquad (5)$$

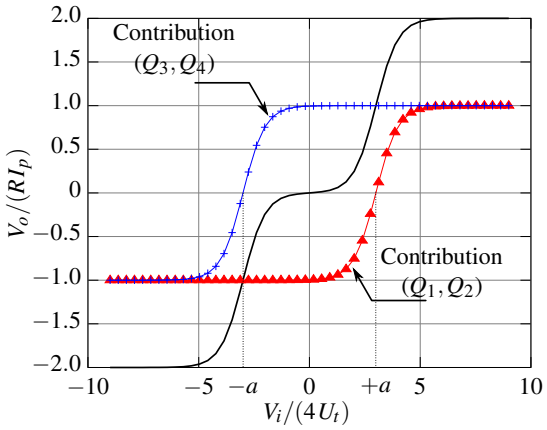

FIGURE 5 – Caractéristique de transfert normalisée du G/S-PAC.

L'équation (5) et chacune de ses composantes tanh exhibant deux potentiels de saturation différents est donnée sur la fig. 5. Le paramètre « a » est alors utilisé comme offset de $\pm a$ pour chaque tanh, le long de l'axe $\frac{V_i}{4U_T}$. Convenablement choisi, « a » permet soit de positionner (Q_3, Q_4) en saturation *positive* tandis que (Q_1, Q_2) impose son comportement en tanh, soit de positionner (Q_1, Q_2) en saturation *négative* tandis que (Q_3, Q_4) impose son comportement en tanh. Dès lors, en appliquant un signal différentiel triangulaire en entrée, la partie positive (ou négative) en tanh donne une bonne approximation d'une impulsion gaussienne. Enfin, si $a = 0$ (c.-à-d. $V_a = V_c$), V_o se réécrit :

$$V_o = 2RI_p \tanh\left(\frac{V_i}{4U_T}\right) \qquad (6)$$

En choisissant une amplitude de V_i appropriée, le potentiel de sortie est incurvé selon la loi tanh, et permet de se rapprocher d'un sinus.

4. Simulations et résultats

Afin de connaître l'amplitude du triangle à l'entrée du G/S-PAC conduisant à une forme d'onde optimale à sa sortie, un générateur parfait a d'abord été utilisé dans les simulations pour piloter le G/S-PAC. Les spectres des impulsions gaussiennes générées sont tracés fig. 6 pour différentes amplitudes du signal triangulaire en entrée du G/S-PAC.

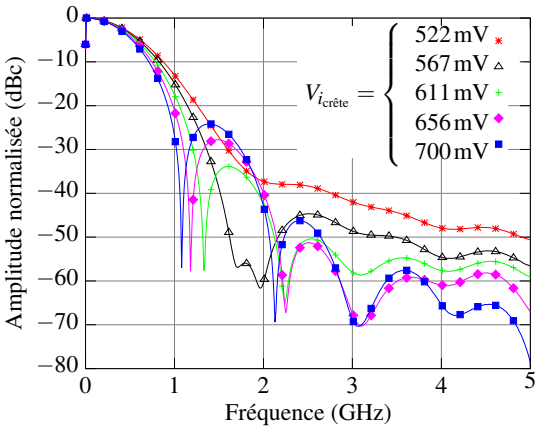

FIGURE 6 – Spectres des impulsions gaussiennes en fonction de la tension crête en entrée du G/S-PAC.

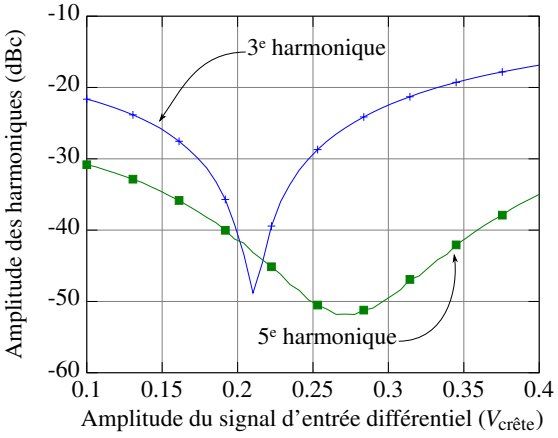

FIGURE 7 – Harmoniques du sinus en fonction de la tension crête en entrée du G/S-PAC.

L'approximation par tanh introduit des lobes secondaires qui peuvent être minimisés jusqu'à un SLRR (Side Lobes Rejection Ratio) de $-43{,}5$ dBc, correspondant à un signal d'entrée triangulaire de tension crête de 567 mV, de tension de mode commun $V_c = 1{,}59$ V, et pour lequel $V_a = 1{,}77$ V. La même optimisation a été effectuée pour le mode sinusoïdal. Les troisième et cinquième harmoniques du sinus généré sont tracés sur la fig. 7 en fonction de l'amplitude du signal d'entrée. Un SFDR (Spurious Free Dynamic Range) de $-44{,}5$ dBc peut être obtenu pour une tension crête de 217 mV et $V_c = V_a = 1{,}79$ V. Pour atteindre des performances optimales dans le DDS complet final, le DAC a été conçu avec un contrôle de l'amplitude de sortie.

Le G/S-PAC proposé dans cet article a servi à la conception d'une première version de DDS 9 bits en technologie IBM BiCMOS SiGe 0,13 µm. Cette technologie propose des transistors bipolaires haute performance avec $f_t/f_{max} = 200/250$ GHz. Ce DDS a été simulé à partir de modèles BSIM4 et VBIC pour les transistors MOS et bipolaires respectivement, disponibles dans le kit de conception BiCMOS8HP sous Cadence 5.10.41. Il fonctionne à une fréquence d'entrée de 20 GHz et consomme seulement 638 mW (228 mA sous 2,8 V), consommation que des optimisations futures devraient encore améliorer. Ces résultats sont bien sûr à rapprocher des autres DDS de la littérature, ainsi que le montre le tab. 1, dans lequel notre DDS figure en très bonne place.

Le signal triangulaire crée par le DDS pour un incrément de phase de 1 ainsi que le signal correspondant en sortie du G/S-PAC sont tracés fig. 8 (mode gaussien) et fig. 9 (mode sinus).

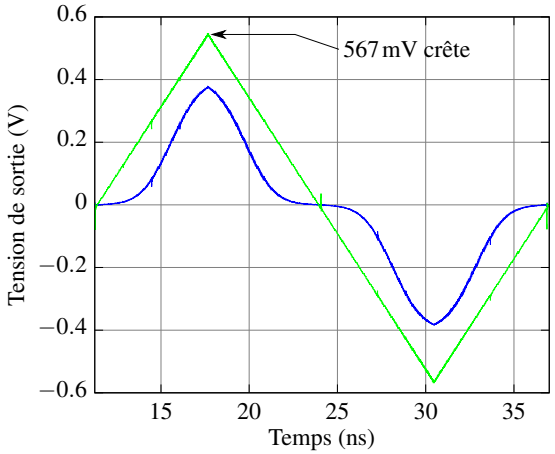

FIGURE 8 – Simulation temporelle du G/S-PAC en mode gaussien.

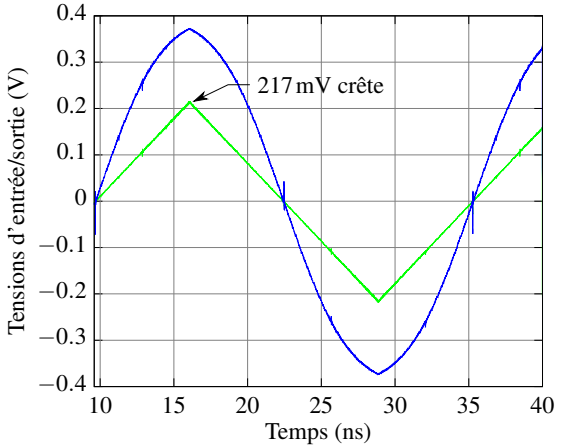

FIGURE 9 – Simulation temporelle du G/S-PAC en mode sinus.

TABLEAU 1 – Comparaison des différents DDS ultra rapides de la littérature.

Réf.	Technologie	f_t NPN (GHz)	Fréq. (MHz)	Nbre de bits de l'acc.	Décomposition de l'accumulateur	Conso (mW)	Surface (mm^2)	Coeff. de qualité $\frac{MHz \times bit}{mW \times mm^2}$
[10]	0,35 µm SiGe	60	1700	32		3000	24	0,76
[11]	0,35 µm CMOS		2000	8		820	3,99	4,89
[12]	1 µm bipolaire	22	2500	31	1×32	5000	20	0,78
[13]	0,35 µm SiGe	47	5000	8	8×1	2000	2	10
[14]	Bipolar InP	137	9200	8	8×1	15000	40	0,12
[5]	Bipolar InP	300	13000	8	1×8	5420	3,92	4,90
[15]	Bipolar InP	300	32000	8	4×2	9450	3,92	6,91
[6]	0,25 µm SiGe	70	6000	9	1×9	308	1	175,32
[16]	0,35 µm SiGe	200	15000	8	4×2	366	1,16	282,76
Ce travail	0,13 µm SiGe	200	20000	9	$1+2 \times 4$	638	1,32	213,74

5. Conclusion

Un nouveau convertisseur phase/amplitude ajoutant une mise en forme gaussienne à la forme plus habituelle sinusoïdale a été conçu. Il permet d'étendre les formes d'onde disponibles dans les DDS basse consommation ultra rapides ne disposant habituellement que de la forme sinusoïdale. Il offre un SLRR optimisé de −43,5 dBc en mode gaussien, et un SFDR de −44,5 dBc en mode sinus, et a permis la conception d'un DDS basse consommation ultra rapide à 20 GHz sous 638 mW, avec des résolutions en phase et en amplitude de 9 et 8 bits respectivement, sur une technologie IBM BiCMOS SiGe 0,13 µm.

Bibliographie

[1] J. TIERNEY, C. RADER et B. GOLD. « A digital frequency synthesizer ». Dans : *Audio and Electroacoustics, IEEE Transactions on* 19.1 (1971), p. 48 –57 (cf. p. 1).

[2] Xueyang GENG, F.F. DAI, J.D. IRWIN et R.C. JAEGER. « 24-Bit 5.0 GHz Direct Digital Synthesizer RFIC With Direct Digital Modulations in 0.13 μm SiGe BiCMOS Technology ». Dans : *Solid-State Circuits, IEEE Journal of* 45.5 (2010), p. 944 –954 (cf. p. 1).

[3] Xueyang GENG, Xuefeng YU, F.F. DAI, J.D. IRWIN et R.C. JAEGER. « An 11-bit 8.6GHz direct digital synthesizer MMIC with 10-bit segmented nonlinear DAC ». Dans : *Proc. 34th European Solid-State Circuits Conference ESSCIRC 2008*. 2008, p. 362–365 (cf. p. 1).

[4] Gaopeng CHEN, Danyu WU, Zhi JIN et Xinyu LIU. « An ultra-high-speed direct digital synthesizer MMIC ». Dans : *Microwave and Millimeter Wave Technology (ICMMT), 2010 International Conference on*. 2010, p. 217 –220 (cf. p. 1).

[5] S.E. TURNER et D.E. KOTECKI. « Direct Digital Synthesizer With Sine-Weighted DAC at 32-GHz Clock Frequency in InP DHBT Technology ». Dans : 41.10 (2006), p. 2284–2290 (cf. p. 1, 4).

[6] S. THURIES, E. TOURNIER, A. CATHELIN, S. GODET et J. GRAFFEUIL. « A 6-GHz Low-Power BiCMOS SiGe :C 0.25 μm Direct Digital Synthesizer ». Dans : *Microwave and Wireless Components Letters, IEEE* 18.1 (2008), p. 46–48 (cf. p. 1, 4).

[7] B. LAEMMLE, C. WAGNER, H. KNAPP, H. JAEGER, L. MAURER et R. WEIGEL. « A Differential Pair-Based Direct Digital Synthesizer MMIC With 16.8-GHz Clock and 488-mW Power Consumption ». Dans : *Microwave Theory and Techniques, IEEE Transactions on* 58.5 (2010), p. 1375 –1383 (cf. p. 1).

[8] R.G. MEYER, W.M.C. SANSEN et S. PEETERS. « The differential pair as a triangle-sine wave converter ». Dans : *Solid-State Circuits, IEEE Journal of* 11.3 (1976), p. 418–420 (cf. p. 1).

[9] J.F.M. GERRITS et J.R. FARSEROTU. « Wavelet generation circuit for UWB impulse radio applications ». Dans : *Electronics Letters* 38.25 (mai 2002), p. 1737 –1738 (cf. p. 1).

[10] K.-H. BAEK, E. MERLO, M.-J. CHOE, A. YEN et M. SAHRLING. « A 1.7GHz 3V direct digital frequency synthesizer with an on-chip DAC in 0.35 μm SiGe BiCMOS ». Dans : *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*. 2005, 114–587 Vol. 1 (cf. p. 4).

[11] Xuefeng YU, F.F. DAI, Yin SHI et Ronghua ZHU. « 2 GHz 8-bit CMOS ROM-less direct digital frequency synthesizer ». Dans : 2005, 4397–4400 Vol. 5 (cf. p. 4).

[12] P. H. SAUL et D. G. TAYLOR. « A high-speed direct frequency synthesizer ». Dans : *Solid-State Circuits, IEEE Journal of* 25.1 (1990), p. 215–219 (cf. p. 4).

[13] F.F. DAI, L.S.J. CHIMAKURTHY, D. YANG, J. HUANG et R.C. JAEGER. « A low power 5 GHz direct digital synthesizer designed in SiGe technology ». Dans : *Proc. Digest of Papers Silicon Monolithic Integrated Circuits in RF Systems 2004 Topical Meeting on*. 2004, p. 21–24 (cf. p. 4).

[14] A. GUTIERREZ-AITKEN, J. MATSUI, E.N. KANESHIRO, B.K. OYAMA, D. SAWDAI, A.K. OKI et D.C. STREIT. « Ultrahigh-speed direct digital synthesizer using InP DHBT technology ». Dans : 37.9 (2002), p. 1115–1119 (cf. p. 4).

[15] S.E. TURNER et D.E. KOTECKI. « Direct digital synthesizer with ROM-Less architecture at 13-GHz clock frequency in InP DHBT technology ». Dans : 16.5 (2006), p. 296–298 (cf. p. 4).

[16] B. LAEMMLE, C. WAGNER, H. KNAPP, L. MAURER et R. WEIGEL. « A 366mW direct digital synthesizer at 15GHz clock frequency in SiGe Bipolar technology ». Dans : *Proc. IEEE Radio Frequency Integrated Circuits Symp. RFIC 2009*. 2009, p. 415–418 (cf. p. 4).