Etude des interactions dans un circuit de puissance monolithique

Alexandre Dartigues

▶ **To cite this version:**

Alexandre Dartigues. Etude des interactions dans un circuit de puissance monolithique. Sciences de l'ingénieur [physics]. Institut National Polytechnique de Grenoble - INPG, 2001. Français. NNT : . tel-00598768

HAL Id: tel-00598768

https://theses.hal.science/tel-00598768

Submitted on 7 Jun 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque
/__/__/__/__/__/__/__/__/__/__/

THESE

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : Génie Electrique

préparée au **Laboratoire d'Electrotechnique de Grenoble**
dans le cadre de **l'Ecole Doctorale « Electronique, Electrotechnique, Automatique, Télécommunications, Signal »**

présentée et soutenue publiquement

par

Alexandre DARTIGUES

le 29 novembre 2001

Titre :

Etude des interactions dans un circuit de puissance monolithique

---

Directeur de thèse : Robert PERRET

JURY

M. J. JALADE	, Président, Rapporteur
M. B. ALLARD	, Rapporteur
M. R. PERRET	, Directeur de thèse
M. B. GIFFARD	, Examinateur
M. L. GONTHIER	, Examinateur
M. C. SCHAEFFER	, Examinateur

AVANT PROPOS ET REMERCIEMENTS

Compte tenu de l'intérêt industriel de ces travaux, certaines valeurs numériques ont été omises ; je me suis efforcé de les remplacer en justifiant les résultats par une approche qualitative.

Au terme de ce travail, c'est tout d'abord à ma famille que vont mes remerciements, pour son soutien moral ainsi que toute l'aide qu'elle m'a apportée durant mes années d'étude, et sans qui cette thèse n'aurait pas été possible.

Je tiens à remercier également :

Messieurs BRUEL et BICHON, pour m'avoir accueilli au sein du Service Recherche et Développement du LETI.

Monsieur Benoît GIFFARD, responsable du laboratoire LSOI, pour sa disponibilité de tous les instants, pour toute l'attention portée à mes travaux ainsi que pour ses petites remarques pertinentes qui ont le don de générer un surcroît de travail non négligeable.

Monsieur Robert PERRET, pour son accueil dans l'équipe Electronique de Puissance du LEG, pour avoir accepté d'être mon directeur de thèse, de m'avoir sorti quelque fois la tête de l'eau, mais également pour tout le soin qu'il a porté à la lecture du manuscrit.

Monsieur Christian SCHAEFFER, pour avoir déniché ce sujet de thèse des plus intéressants, et pour m'avoir encadré durant ces trois années dans la bonne humeur tout en me laissant les coudées franches pour déterminer mes propres objectifs. Merci également pour avoir accepté de faire partie de mon jury.

Monsieur Jean JALADE, professeur au LAAS, pour avoir accepté d'être à la fois rapporteur et président de mon jury.

Monsieur Bruno ALLARD, maître de conférences au CEGELY, pour avoir accepté d'être rapporteur de ce manuscrit.

Monsieur Laurent GONTHIER, ingénieur chez STMicroelctronics à Tours et membre de mon jury, qui représentait le partenaire industriel. Par la même occasion je remercie également madame Christine ANCEAU et monsieur Mathieu ROY de l'équipe de recherche et développement de ST Tours.

Enfin je voudrais adresser des remerciements chaleureux à toutes les personnes que j'ai côtoyé durant ces trois années et qui ont su m'écouter, me conseiller m'épauler et quelquefois même me supporter. Je pense notamment à :

- Laurent vers qui j'ai toujours pu me tourner pour discuter, réfléchir, voire philosopher.
- Christel (de Frontignan) pour sa bonne humeur communicative et ses conseils.
- Pierre l'opticien, l'électronicien de puissance, le photovoltaïque… (je ne sais plus), pour sa manière bien à lui de percevoir les choses, et pour m'avoir fait découvrir la stéréoscopie.
- Barbara, pour sa gentillesse et ses spécialités culinaires venues de l'est.
- Stéphane, pour sa gentillesse et sa disponibilité à trouver le matériel dont j'avais besoin ou à dépanner mes manipes.
- Bruno, qui n'hésitait pas à venir me changer les idées lorsque je restais trop longtemps devant mon oscillo.
- David, qui m'a montré la voie à ne pas suivre et avec qui j'ai partagé de nombreux moments de rigolade, sauf le lundi matin.
- Pascal, le pourvoyeur de blagues et autres petites choses, et de qui j'attends toujours le dernier score…

Enfin un grand merci à tous les gens du LETI, les thésards et les permanents du LEG qui, ils se reconnaîtront, ont contribué par quelque manière que se soit à ce que ma thèse se déroule pour le mieux.

Un grand merci aussi aux copains du rugby, Ben et Dudu en tête, qui ont su me ménager des moments de détente.

Et pour finir, je remercie une nouvelle fois mes parents et ma sœur pour tout leur soutient, et j'adresse une mention toute particulière à ma puce Gäelle.

Table des matières

TABLE DES MATIERES

Table des matières 1

Introduction générale 4

Bibliographie de l'introduction générale 6

CHAPITRE I : ETUDE STATIQUE DES INTERACTIONS 7

I.1 Introduction 7

I.2 Filière composant réversible en tension et commande intégrée 7
I.2.1 un nouveau composant : le MBS 7
I.2.1.1 Structure silicium du MBS 7
I.2.1.2 Caractéristiques du MBS 8
I.2.2 Une structure monolithique : le MBS et sa commande 9
I.2.3 Etude du comportement statique en mode bloqué du MBS 13
I.2.3.1 Définition du mode bloqué 13
I.2.3.1.1 Mise en évidence des perturbations 13
I.2.3.1.2 Détermination de la source perturbatrice 16
I.2.3.2 Modélisation 17
I.2.3.2.1 Mise en place du modèle 17
I.2.3.2.2 Description du modèle 20
I.2.3.2.3 Détermination des paramètres du modèle 22
I.2.3.2.4 Résultats 32
I.2.3.2.5 Les limites du modèle 35
I.2.4 Etude du comportement statique en régime de conduction du MBS 37
I.2.4.1 Définition du mode de conduction 37
I.2.4.1.1 Banc de mesure 37
I.2.4.1.2 Mise en évidence des perturbations 38
I.2.4.2 Modélisation 40
I.2.4.2.1 Mise en place du modèle 40
I.2.4.2.2 Détermination des paramètres R_L et C_G 43
I.2.4.2.3 Détermination du système résistif 44
I.2.4.2.4 Calcul de R_{canal} et R_{accu} 48
I.2.4.2.5 Résultats 50
I.2.5 Conclusion 51

I.3 Filière composants de puissance sur SOI **52**
I.3.1 Description de l'isolation 52
I.3.1.1 Le SOI 52
I.3.1.2 L'isolation verticale 53
I.3.1.3 L'isolation horizontale 53
I.3.2 Les composants 54

I.3.3 Schéma équivalent capacitif 56
I.3.3.1 Caractéristiques statiques 56
I.3.3.2 Caractéristiques dynamiques 57
I.3.4 Mode bloqué, mode de conduction 61

I.4 Conclusion 62

I.5 Références bibliographiques du premier chapitre 63

CHAPITRE II : ETUDE DYNAMIQUE DES INTERACTIONS 66

II.1 Introduction 66

II.2 Filière composant réversible en tension et commande intégrée 66
II.2.1 Description de l'étude transitoire 66
II.2.1.1 Banc expérimental 66
II.2.1.2 Commutation de la logique. 67
II.2.1.3 Commutation du MBS 68
II.2.1.3.1 Ouverture 68
II.2.1.3.2 Fermeture 70
II.2.2 Mise en évidence des perturbations 71
II.2.2.1 Logique connectée 71
II.2.2.2 Paramètre thermosensible 72
II.2.2.3 Logique non connectée 73
II.2.3 Origine des perturbations à l'ouverture 75
II.2.3.1 Origine capacitive 75
II.2.3.2 Mise en évidence de l'effet thermique 75
II.2.3.3 Evolution du dV_{DS}/dt 76
II.2.3.4 Evolution du courant en sortie de la logique non connectée I_{LNC} 78
II.2.3.5 Synthèse 81
II.2.4 Origine des perturbations à la fermeture 81
II.2.4.1 Origine capacitive 81
II.2.4.2 Evolution de dV_{DS}/dt 82
II.2.4.3 Evolution du courant en sortie de la logique non connectée I_{LNC} 82
II.2.4.4 Synthèse 84
II.2.5 Limites de fonctionnement de l'association puissance commande intégrée 85
II.2.5.1 Régimes statiques 85
II.2.5.1.1 Le mode bloqué 85
II.2.5.1.2 Mode de conduction 89
II.2.5.2 Régime dynamique 90
II.2.6 Conclusion 91

II.3 Filière composants de puissance sur SOI 92
II.3.1 Etude des perturbations 92
II.3.1.1 Banc expérimental 92
II.3.1.2 Origine capacitive du courant parasite 94
II.3.1.3 Résultats du modèle 95
II.3.1.4 Mesure du courant de gâchette 96

II.3.2 Etude des conséquences des courants parasites 98
II.3.2.1 Déclenchement parasite 98
II.3.2.2 Immunité aux dV/dt 99
II.3.3 Limites du modèle 102
II.3.3.1 Hypothèse sur le mécanisme de déclenchement parasite des thyristors. 102
II.3.3.2 Influence des potentiels FAV et FAR 105

II.4 Analyses et conclusion 108
II.4.1 Comparaison des niveaux de perturbations 109
II.4.1.1 Isolation en régime statique 109
II.4.1.2 Isolation en régime transitoire 109
II.4.2 Comparaison de la densité d'intégration 111
II.4.3 Performances des composants monolithiques 113

I.5 Références bibliographiques du second chapitre 116

Conclusion générale 119

Bibliographie de la conclusion générale 123

Annexe 1 125

Annexe 2 126

Annexe 3 127

Annexe 4 130

Annexe 5 131

Annexe 6 132

Annexe 7 134

Introduction générale

INTRODUCTION GENERALE

L'électronique de puissance a connu un fort développement à la fin du siècle passé. L'apparition de l'IGBT (Insulated Gate Bipolar Transistor) au cours des années 1980 a dynamisé ce secteur d'activité. Son utilisation dans les convertisseurs de puissance s'est traduite par une augmentation des fréquences de fonctionnement tout en maintenant une puissance de conversion élevée. Une part importante de l'évolution des composants de puissance réside actuellement dans l'amélioration et l'optimisation des interrupteurs. C'est ainsi qu'est apparu dernièrement le transistor CoolMos, évolution d'un transistor MOS de puissance, dont la chute de tension à l'état passant est diminuée d'un facteur quatre par rapport à un MOS classique pour le calibre 600 V [1]. En parallèle avec cette amélioration constante, arrive un nouveau matériau comme le carbure de silicium (SiC) qui va amener des progrès significatifs dans des dispositifs de structure simple (diode, transistor)[2].

A l'heure actuelle, les fabricants de composants électroniques de puissance concentrent leurs efforts sur une meilleure adaptation de leur produits aux demandes des clients constructeurs de systèmes. Ainsi, que ce soit en faible, moyenne ou forte puissance, on assiste depuis une dizaine d'années à l'augmentation des fonctionnalités des dispositifs de puissance qui renferment dans leur boîtier une commande rapprochée, leurs protections et parfois un retour d'informations [3]. Les besoins et les solutions techniques diffèrent selon le niveau de puissance auquel on se trouve, mais globalement l'intégration des composants de puissance va faire évoluer le domaine de l'électronique de puissance. En effet elle permet, en combinant plusieurs fonctions électriques, de créer des objets nouveaux. Le concepteur de convertisseurs se présente désormais comme un architecte qui doit assembler et faire fonctionner un ensemble de systèmes. Dans ces conditions, une partie du savoir faire est transférée du fabricant d'équipements au fabricant de composants.

Aujourd'hui les composants intégrés commencent en faible puissance (<1 kVA) par des circuits monolithiques (également appelés Smartpower) et se terminent en très forte puissance (quelques MVA) par des modules hybrides. Le marché de l'intégration monolithique en petite puissance est considérable et concerne notamment la bureautique, l'automobile et les équipements portables. Il s'ajoute à cela le remplacement quasi systématique dans les appareils électroménagers des systèmes électromécaniques par le "tout électrique". Les fabricants d'électroménagers se tournent vers les semi-conducteurs pour augmenter ou améliorer les fonctionnalités de leurs produits. Ce choix est guidé par le souci d'une gestion plus fine de la consommation d'énergie qu'autorisent les dispositifs électroniques, et sont également intéressés par des gains en compacité, en simplicité de mise en œuvre, en fiabilité et en coût de fabrication qui découlent de l'intégration des composants de puissance.

L'intégration monolithique voit s'ouvrir à elle un vaste marché qui tire vers le haut son développement. Mais des problèmes spécifiques dus à l'intégration des composants de puissance retardent son évolution. Le transit de la puissance à travers ces composants génère des dV/dt, des dI/dt, des champs électriques et des échauffements qui perturbent le fonctionnement de certains composants. L'interaction de la partie puissance avec des parties logiques est notamment un point crucial qu'il faut maîtriser afin de définir la zone de sécurité d'un circuit monolithique.

Ainsi les travaux présentés dans ce mémoire, réalisés au Laboratoire d'Electronique de Technologie et d'Instrumentation au sein du groupe LSOI (anciennement groupe Electronique de Puissance) et au Laboratoire d'Electrotechnique de Grenoble au sein de l'équipe

Electronique de Puissance, s'inscrivent-ils dans le cadre général de l'intégration monolithique des composants de puissance, et concernent plus particulièrement un point fondamental de ce domaine : les techniques d'isolation électrique des différents éléments d'un composant monolithique.

Dans le domaine des moyennes tensions (600 V), il existe principalement deux types d'isolation. La première solution consiste à isoler du substrat les différentes fonctions électriques de la puce monolithique par des jonctions PN en inverse. Cette solution est généralement destinée aux applications dont la tension n'excède pas la centaine de volt. Dans notre étude, nous la caractériserons pour des niveaux supérieurs (600 V), qui correspondent à la gamme de tension d'un nouveau composant à grille isolée : le MBS (Mos Bidirectional Switch). La seconde solution concerne une technologie du monde de la microélectronique qui est en plein essor : il s'agit de la technologie "silicium sur isolant" plus connue sous l'abréviation anglo-saxonne SOI (Silicon On Insulator). Cette technologie, qui doit permettre d'augmenter les possibilités d'intégration des composants de puissance haute tension, consiste à réaliser des caissons dans le silicium, isolés les uns des autres par un diélectrique (SiO_2). On réalise ensuite les composants désirés dans ces caissons.

Dans le premier chapitre, nous présenterons les deux composants monolithiques étudiés, ainsi que les caractéristiques techniques de leur isolation. Puis l'étude statique de leur comportement sera abordée. Nous mettrons alors en évidence l'existence de perturbations que nous modéliserons. Nous poursuivrons dans le deuxième chapitre par l'étude dynamique des dispositifs avec une caractérisation des nouvelles perturbations et la mise en place d'un nouveau modèle. Nous terminerons ce chapitre par une analyse des différents résultats expérimentaux afin de confronter les potentialités de ces deux types d'isolation. Cela permettra d'aborder la conclusion générale de ce travail avec le point de vue de l'utilisateur qui désire connaître la technologie adaptée à son cahier des charges.

Nous tenons ici à remercier la société STMicroelectronics et plus particulièrement l'équipe de recherche et développement de TOURS qui est à l'origine de ces travaux.

Bibliographie de l'introduction générale

[1] L. Lorenz, I. Zverev, A. Mittal, J. Hancock, *"CoolMos – a new approach towards system miniaturization and energy saving"*, Proceedings 2000 IEEE Industry Applications Society Conference.

[2] M. Coyaud, J. P. Ferrieux, C. Schaeffer, E. Collard, A. Lhorte, J. B. Quoirin, *"Etude comparative de diodes rapides en silicium et carbure de silicium"*, EPF'2000, Lille, pp177-181.

[3] O. Guillemet, R. Berriane, J. Jalade, J. L .Sanchez, J. P. Laur, *"Monolithic integration of MOS gated optically triggered thyristor and over temperature protection circuit"*, Proceedings of the 7th European Conference on Power Electronics and Applications (EPE), 1997.

Chapitre I
Etude statique des interactions

CHAPITRE I : ETUDE STATIQUE DES INTERACTIONS

I.1 INTRODUCTION

L'intégration monolithique de composants de puissance soulève des problèmes d'interaction entre eux et les différentes fonctions électriques présentes sur la puce de silicium. Les niveaux de courant, de tension, les dV/dt, les dI/dt et l'élévation de température sont des paramètres susceptibles de générer des perturbations vers les autres composants qui constituent, par exemple, la partie logique du dispositif. La caractérisation de ces perturbations est nécessaire afin de connaître les éléments perturbateurs du composant monolithique, de comprendre les phénomènes qui interviennent et, par la suite, de les contrôler pour assurer le bon fonctionnement de l'ensemble. Cela passe par la connaissance des différents composants et de la façon dont est réalisée l'isolation entre eux.

Ainsi, dans un premier temps, nous allons décrire l'association monolithique d'un nouveau composant à grille isolée, le MBS (Mos Bidirectional Switch), et de sa logique de commande. Une fois les caractéristiques électriques et technologiques établies, une étude statique des interactions puissance-commande sera menée. Nous décrirons en mode bloqué puis en mode de conduction, l'existence de perturbations qui seront modélisées à partir des caractéristiques physiques et géométriques des composants.

Ensuite, dans un second temps, nous analyserons la structure d'un autre dispositif monolithique. Il s'agit de composants bipolaires réalisés sur substrat SOI (Silicon On Insulator). Tout d'abord, nous nous attarderons sur cette technologie développée au LETI, qui permet d'intégrer des composants moyenne tension (600 V). Ensuite nous proposerons une modélisation capacitive du couplage qui existe entre chaque composant et qui débouchera sur les conditions expérimentales nécessaires à la mise en évidence de perturbations.

I.2 FILIERE COMPOSANT REVERSIBLE EN TENSION ET COMMANDE INTEGREE

I.2.1 Un nouveau composant : le MBS

I.2.1.1 Structure silicium du MBS

Le MBS, Mos Bidirectional Switch (figure I.1), est un composant commandé à l'amorçage et au blocage par une grille MOS. C'est en fait un IGBT dont la particularité est d'être bidirectionnel en tension [1][2] tout en assurant une chute de tension directe inférieure à celle engendrée par la mise en série d'un IGBT et d'une diode. Le MBS est réalisé dans une filière silicium homogène quatre couches de type thyristor, sa tenue en tension inverse est obtenue par un caisson d'isolation qui traverse l'épaisseur de la plaquette pour rejoindre la couche P+ face arrière du dispositif (figure I.2).

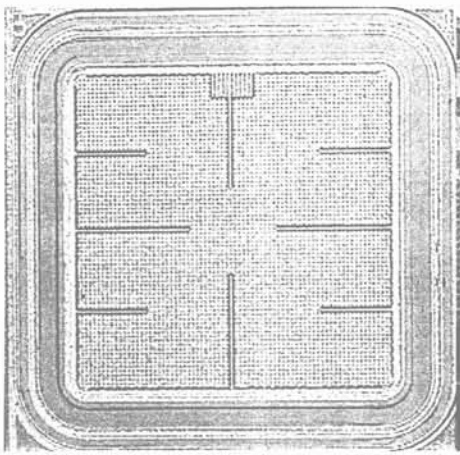


Figure I.1 : Le MBS.

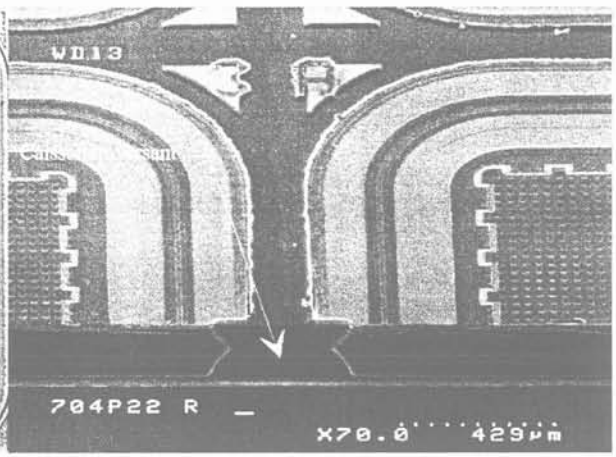


Figure I.2 : Vue en coupe du MBS.

Ce nouveau composant, dont le symbole est donné figure I.3 comporte trois électrodes. La grille correspond bien entendu à l'électrode de commande, sa tension étant référencée comme pour les MOS par rapport à la source. Le drain représenté par un trait sur le symbole rappelle la présence de la diode qui assure la tenue en tension inverse.

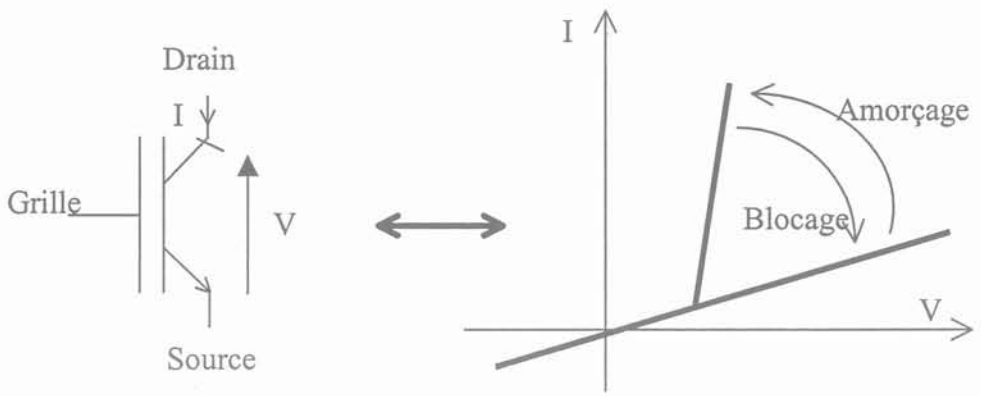


Figure I.3 : Symbole et caractéristiques du MBS.

I.2.1.2 Caractéristiques du MBS

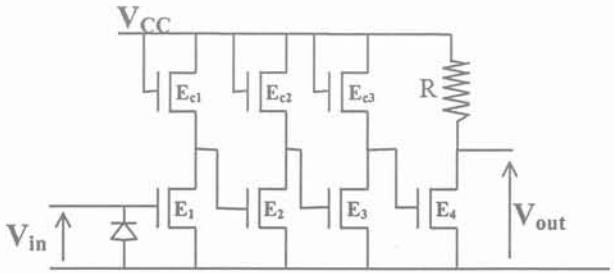
Les prototypes actuels du MBS sont dédiés à la conversion de puissance à partir des réseaux de tension 110 V / 60 Hz ou 230 V / 50 Hz [3][4]. L'objectif visé est la conversion AC / AC avec le remplacement des triacs dans les structures gradateurs, par l'association de deux MBS montés en antiparallèles. Le cahier des charges de ce composant est le suivant :

- Fréquence de commutation faible (quelques centaines de Hertz).
- Chute de tension à l'état passant faible, afin de réduire les pertes qui seront majoritairement de conduction plutôt que de commutation.
- Tenue en tension supérieure à 600 V (pour les applications sur secteur 230 V).
- Courant efficace inférieur à la dizaine d'ampères.

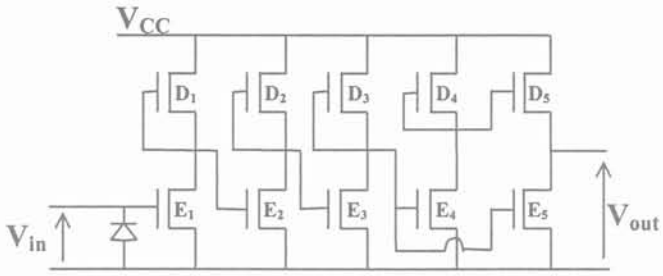
I.2.2 Une structure monolithique : le MBS et sa commande

Les composants disponibles sont basés sur la commande du MBS par une logique NMOS basse tension. Cette logique, qui s'apparente à une commande rapprochée, doit permettre, à partir d'un signal logique évoluant entre 0 V et 5 V, de charger l'électrode de grille tantôt à 0 V et tantôt à 10 V.

Deux types de logique peuvent être utilisés pour la commande de la grille. La première (commande 1) est constitués de quatre étages d'inverseurs réalisés avec des transistors NMOS enrichis (figure I.4). La seconde (commande 2) comprend cinq étages d'inverseurs à pilotes NMOS enrichis et à charges NMOS déplétés. Cette variante au niveau de la conception de la logique de commande est un outil d'analyse des perturbations puissance-commande. La vitesse de basculement des chaînes d'inverseurs a été déterminée en fonction des caractéristiques électriques souhaitées pour le composant de puissance. Les temps de commutations visés sont de l'ordre de la microseconde, ce qui est suffisant pour les applications secteur.



Logique de type 1
(E_i) : NMOS enrichi
(E_{ci}) : NMOS enrichi



Logique de type 2
(E_i) : NMOS enrichi
(D_i) : NMOS déplété

Figure I.4 : Description de la logique de commande du MBS.

Lors de son implantation sur les puces, la logique est dans les deux cas entièrement réalisée dans un caisson de type P. On crée ainsi une jonction PN entre la logique et le substrat ν. Le potentiel du caisson est ramené au potentiel de la masse logique par des connexions en surface de puce. Cela permet de polariser en inverse la jonction et ainsi d'assurer l'isolation électrique entre la partie logique et le substrat de la puce.

En plus de ce caisson de protection de la logique, tous les composants disposent d'une isolation supplémentaire entre la partie puissance et la partie commande : il s'agit d'ajouter soit un caisson traversant, soit une zone tampon (figure I.5).

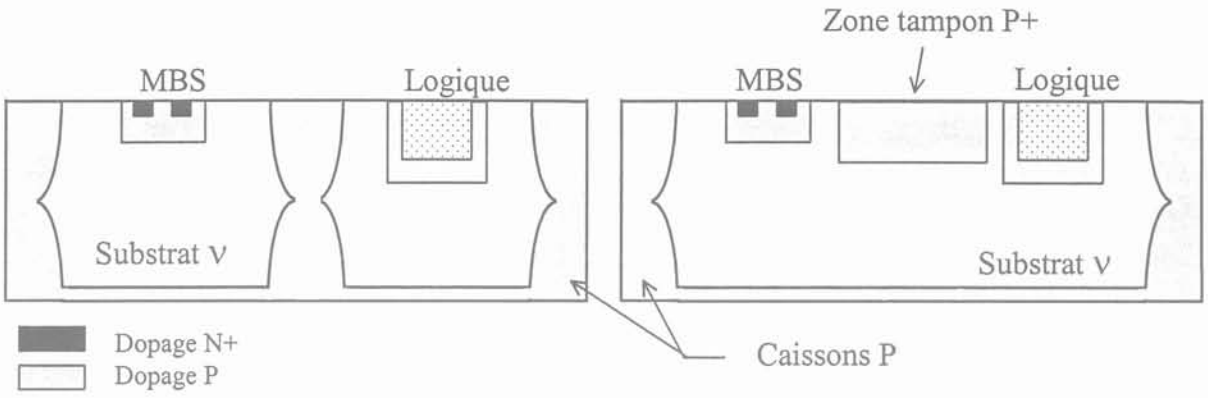


Figure I.5 : Les différents mode d'isolation
(à gauche isolation par caisson traversant, à droite par zone tampon).

Dans le premier cas, on réalise un caisson entre la partie logique et la partie puissance semblable à ceux qui assurent la tenue en tension inverse du MBS. La logique associée est de type 2, et l'ensemble {MBS + logique} constitue le premier motif de test. Il s'agit de la puce D1 dont le dessin est proposé figure I.6 ; on reconnaît sur la droite de la puce le composant de puissance avec ses plots de grille et de source. Sur la gauche, on distingue deux logiques. Une seule est connectée au MBS via une métallisation de surface qui connecte la sortie de la logique à l'électrode de grille en passant au dessus du caisson d'isolement. L'autre logique, quant à elle, est opérationnelle mais elle n'est pas connectée à la partie puissance ; elle servira pour des tests de perturbations.

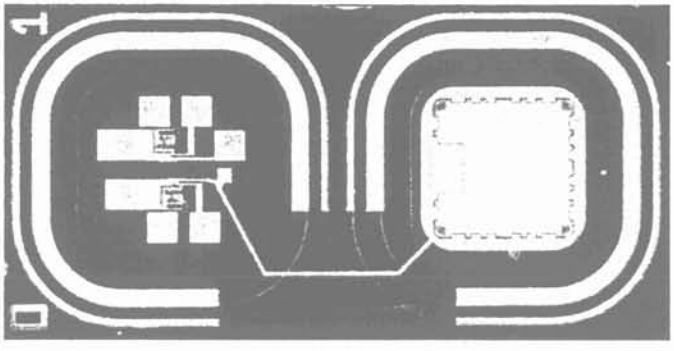


Figure I.6 : Dessin de la puce D1.

Dans le second cas, l'isolation puissance-commande est synonyme d'éloignement des deux parties. En effet, seul le caisson P+ entourant la logique et la distance le séparant de la région où se trouve le MBS assurent l'isolation électrique. L'espace entre les parties puissance et logique est occupé par une couche P+ dont le rôle est d'empêcher le déplacement de charges au niveau de la surface de la puce. Cette dernière, comme les caissons entourant les logiques, est connectée à la masse logique. Il en découle le motif des puces D2, D3 et D4 (figure I.7), où l'on retrouve deux logiques et un MBS dans une configuration différente de D1. Pour étudier l'influence de la distance logique-MBS sur la fonction isolation électrique, les deux logiques ont été placées à des distances différentes de la partie puissance.

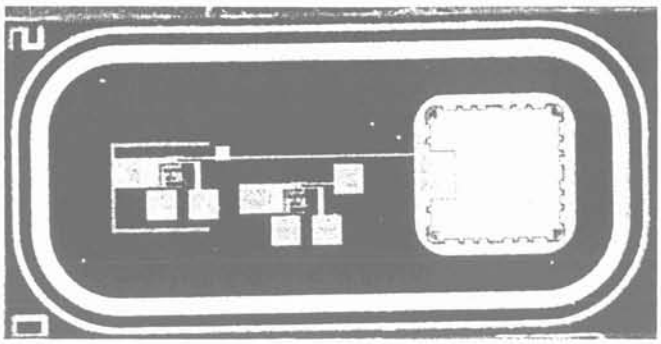


Figure I.7 : Dessin des puces D2 et D3.

Le tableau I.1 ci-dessous récapitule sommairement les différentes caractéristiques des quatre puces.

Puce	D1	D2	D3	D4
Type d'isolation	Caisson	Zone tampon	Zone tampon	Zone tampon
Type de logique	Type 2	Type 2	Type 1	Type 2
Distance MBS-logique connectée	1840 µm	1840 µm	1840 µm	840 µm

Tableau I.1 : Récapitulatif des véhicules tests.

Quelle que soit la puce utilisée par la suite, la schématisation de l'ensemble {logique + MBS} est celle représentée figure I.8.

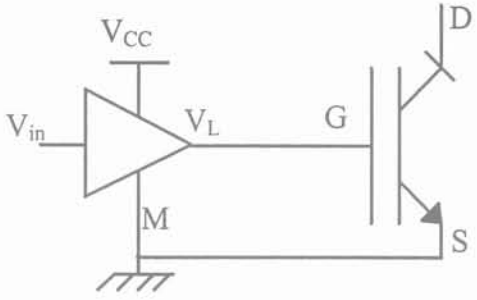


Figure I.8 : Symbole du composant monolithique.

On remarque sur le schéma précédent que la masse de la logique est au même potentiel que l'électrode de source du MBS. Cette liaison est réalisée en surface de puce au niveau de la métallisation de source qui est connectée à la masse logique. Les caissons et la zone tampon sont au potentiel de l'électrode de source. Cela signifie que si la jonction entre un îlot P+ de source et le substrat ν est en inverse, la jonction entre le caisson P+ qui sert d'isolation à la logique et le substrat ν est elle aussi en inverse. De manière plus générale, on peut considérer le caisson d'isolation de la logique comme un îlot de source supplémentaire. Ainsi lorsque le potentiel de substrat est positif, il se crée autour de chaque îlot P+ une Zone de Charge d'Espace (ZCE) dont l'extension varie avec le potentiel de la région ν. Au delà de quelques volts, les ZCE de deux îlots voisins se chevauchent et forment une seule et même ZCE, c'est le phénomène de perçage latéral (figure I.9)[5], qui entre autre, protège l'oxyde de grille vis à vis de la haute tension appliquée au drain. La tension à laquelle se produit ce chevauchement des zones de charge d'espace, dépend de la géométrie des cellules, ainsi que des niveaux de

dopage. Elle avoisine en général la dizaine de volts. Par la suite le terme jonction 1 (figure I.10) désignera l'ensemble des jonctions entre les îlots P+ de source (y compris le caisson P+ d'isolation de la logique) et le substrat ν ; la jonction 2 désignant la jonction entre la couche P+ face arrière, les caissons traversants et le substrat ν.

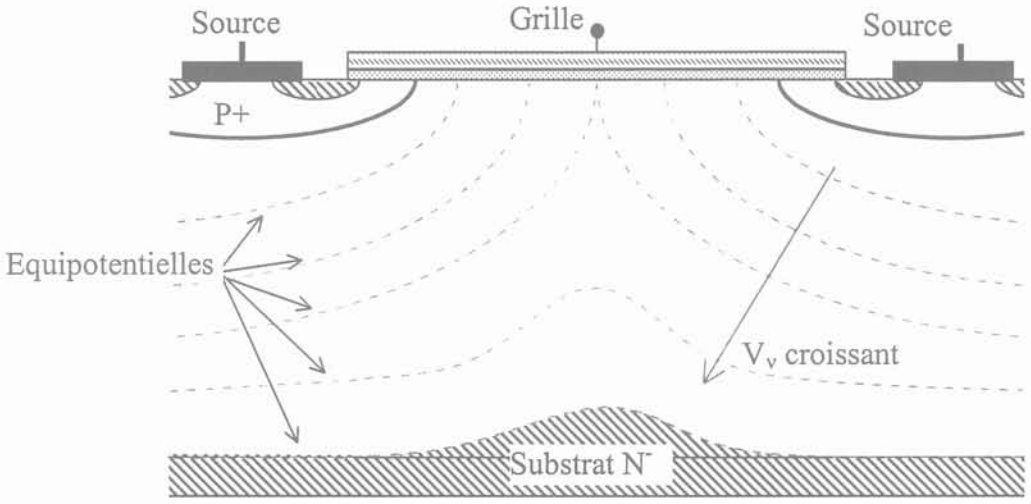


Figure I.9 : Mise en évidence du perçage latéral.

Dans un premier temps, afin de comprendre de manière qualitative le fonctionnement du composant monolithique, on raisonnera en ne considérant qu'une seule ZCE.

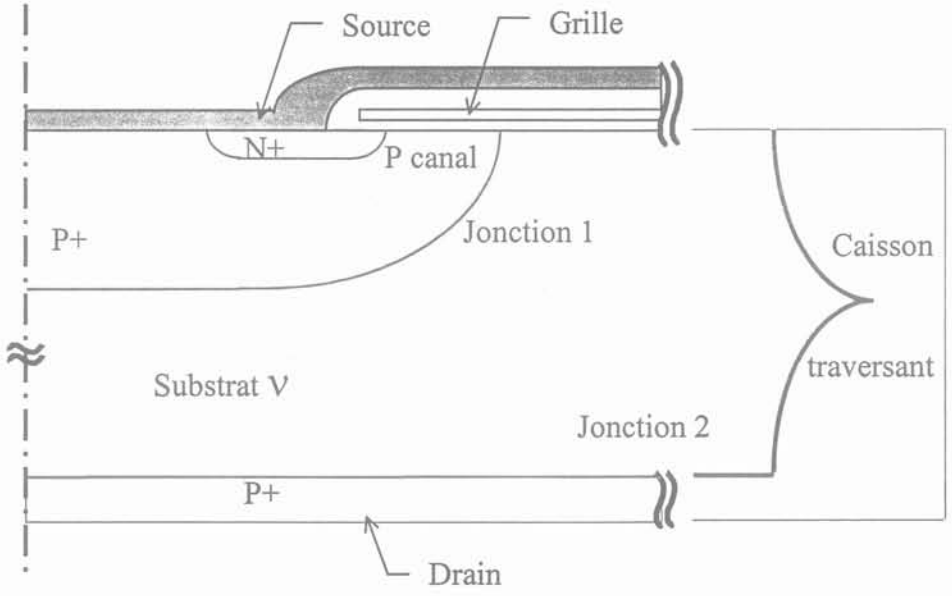


Figure I.10 : Localisation des jonctions.

I.2.3 Etude du comportement statique en mode bloqué du MBS

I.2.3.1 Définition du mode bloqué

Les premiers tests effectués sur les composants monolithiques ont été réalisés en mode bloqué, référence faite à l'état dans lequel se trouve le MBS. Pour cela, on applique en entrée une tension V_{in} nulle, la logique étant alimentée par $V_{CC} = 10$ V (figure I.11). La tension de sortie de la logique à l'état bas vaut $V_L = 0{,}5$ V. Le seuil de mise en conduction du MBS est quant à lui de 5,2 V; la tension $V_L = 0{,}5$ V est donc suffisante pour imposer le blocage du transistor. Dans la plupart des convertisseurs classiques en électronique de puissance, la tension V_{GS} utilisée pour imposer le blocage des composants à grille est négative (-5 V voire -15 V), ceci afin que la région P canal soit en accumulation. C'est pour des raisons de conception (connexion de la masse logique à la source du MBS) qu'il n'est pas possible d'alimenter la commande avec un bus continu négatif. La valeur de la tension de sortie de la logique à l'état bas (appelée également tension de déchet) dépend de paramètres technologiques qu'il est possible d'optimiser afin de diminuer au maximum sa valeur [6].

I.2.3.1.1 Mise en évidence des perturbations

Afin d'installer le MBS dans un circuit, il faut tout d'abord l'encapsuler. Pour avoir accès aux différents potentiels de la structure monolithique, le boîtier du MBS, qui possède 11 sorties, doit également permettre d'évacuer de la puissance, ce qui nécessite un compromis entre les boîtiers classiques de l'électronique de puissance (pas assez de connexions) et ceux de la microélectronique (pas assez de puissance dissipable). D'un point de vue pratique, l'installation et le remplacement d'un composant par un autre doivent être relativement aisés vu le nombre de tests envisagés (quatre structures différentes de puces, ...) ; enfin, il est intéressant d'avoir la possibilité d'ouvrir le boîtier (pour des diagnostics suite à des défaillances). Le choix du boîtier s'est porté sur le modèle TO8-12 (annexe 1) qui possède 12 sorties.

La puce étant en mode bloqué, on applique un signal perturbateur entre les électrodes de puissance du MBS. Il s'agit d'une sinusoïde que l'on ajoute à la polarisation continue drain-source ; de manière à tester le MBS sur toute sa gamme de fonctionnement (de $-V_{BR}$ à $+V_{BR}$). Le banc de tests décrit sur la figure I.11 a pour but de caractériser les perturbations du signal de grille. Le signal alternatif est caractérisé par l'amplitude Va de la tension alternative et la fréquence f, ce qui définit des dV/dt_{max} qui correspondent au produit $2.\pi.f.V_a$.

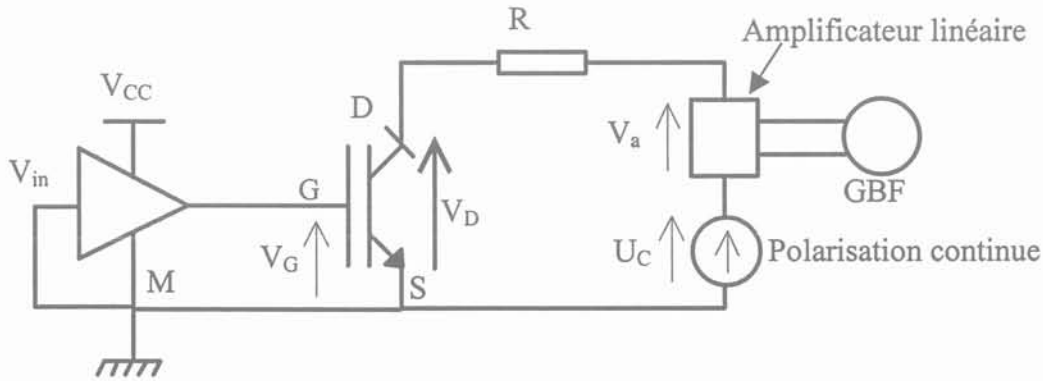


Figure I.11 : Banc expérimental de mesure.

La figure I.12 montre que le signal de grille, au lieu de rester constant à 0,46 V, subit des variations de potentiel dues aux dV/dt du signal drain-source, pour une polarisation continue U_C = -20 V.

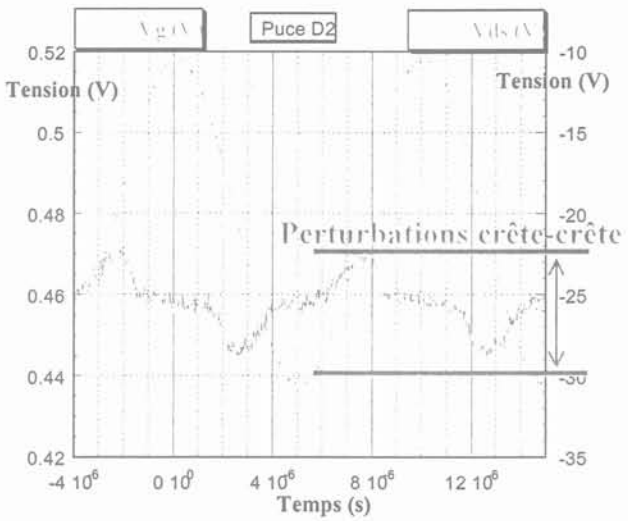


Figure I.12 : Perturbations du signal de grille
(dans le cas d'une puce D2 et pour des dV_D/dt_{max} de 6 V/µs pour U_C = -20 V et f = 100 kHz).

La figure I.13 est obtenue en changeant la polarisation continue qui cette fois ci est positive (U_C = +20 V). On constate que le niveau de perturbations est faible (quelques millivolts).

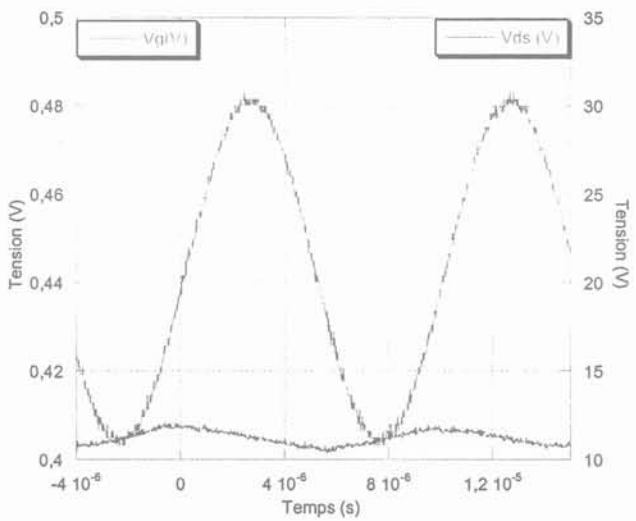


Figure I.13 : Perturbations du signal de grille
(dans le cas d'une puce D2 et pour des dV_D/dt_{max} de 6 V/µs pour U_C = +20 V et f = 100 kHz).

Nous avons tracé (figure I.14) la perturbation crête-crête pour différentes valeurs de polarisation et pour des dV_D/dt_{max} de 7 V/µs (sachant que le réseau 50 Hz, auquel le MBS est initialement destiné, génère des dV/dt_{max} de 0,07 V/µs). On constate que les perturbations apparaissent pour $V_{DS} < 0$ V. En polarisation positive il existe des perturbations, mais leur amplitude crête-crête décroît très rapidement (figure I.13) au delà de V_D = 20 V.

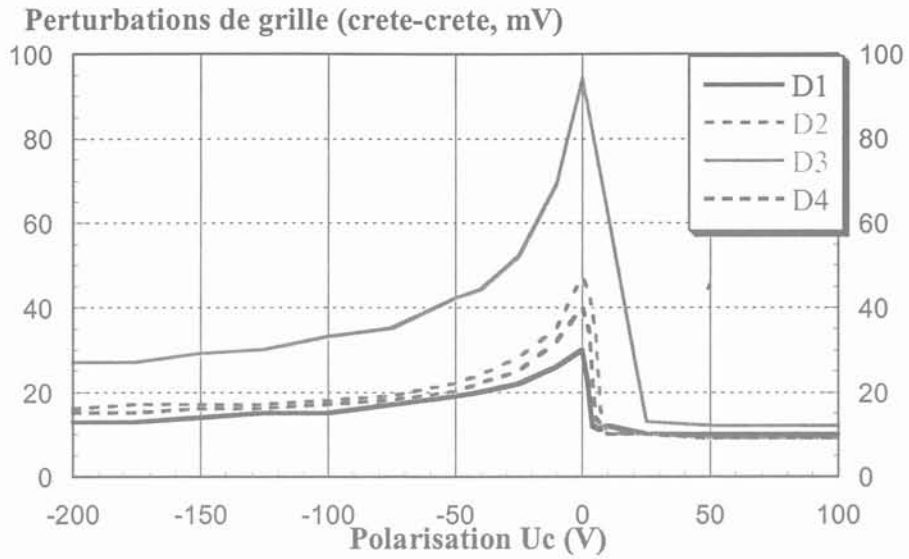


Figure I.14 : Influence de la polarisation continue U_C sur les perturbations de grille.

Le niveau de perturbation diminue lorsque la polarisation négative augmente en valeur absolue, et les niveaux de perturbation ne sont pas identiques pour toutes les puces. Le type de logique ainsi que la géométrie de la puce ont un rôle non négligeable sur l'amplitude des perturbations.

On note aussi sur la figure I.15 que la sortie de la logique non connectée à la grille du MBS n'est pas parasitée.

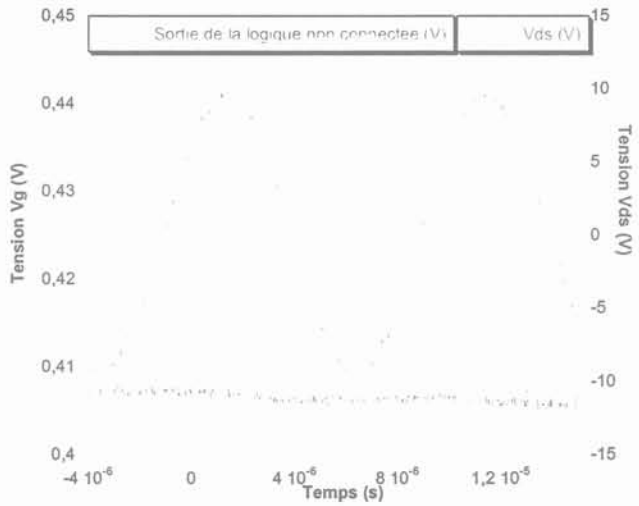


Figure I.15 : Tension de sortie V_L de la logique non connectée
(dans le cas d'une puce D2 et pour des dV_D/dt_{max} de 6 V/µs pour $U_C = 0$ V et f = 100 kHz).

Les deux seules différences entre les logiques présentes sur la puce sont la distance qui les sépare de la partie puissance, et l'étage de sortie qui est connecté ou non à la grille du MBS. Les courbes de la figure I.16 montrent que la distance logique-puissance n'intervient pas dans le niveau des perturbations. Cette dernière observation est importante car elle signifie que les perturbations sont issues du MBS via son électrode de grille, et se propagent par la connexion puissance-commande.

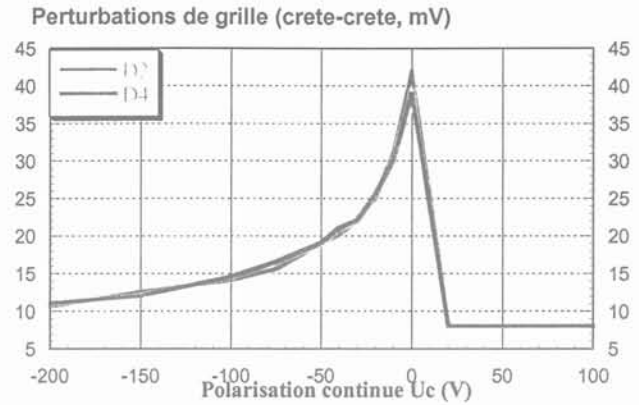


Figure I.16 : Influence de la distance logique-puissance sur les perturbations de grille pour les puces D2 et D4.

I.2.3.1.2 Détermination de la source perturbatrice

Le même test effectué sur un MBS seul a été réalisé (figure I.17). Il consiste à remplacer la logique de commande par un générateur de tension V_L ($\approx$ 0,5 V) et une résistance de grille R_L ($\approx$ 60 Ω). On soumet les électrodes de puissance du MBS à des dV_D/dt, et on relève les chronogrammes $i_G(t)$ et $V_G(t)$ (figure I.18).

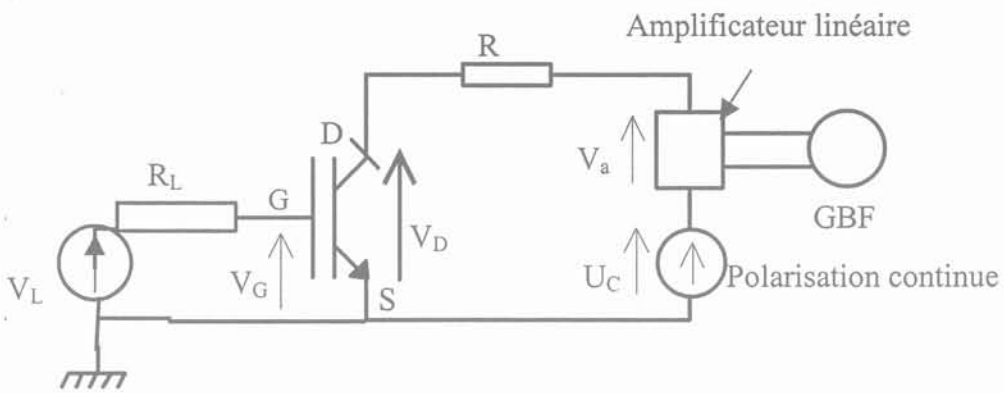


Figure I.17 : Banc expérimental de mesure.

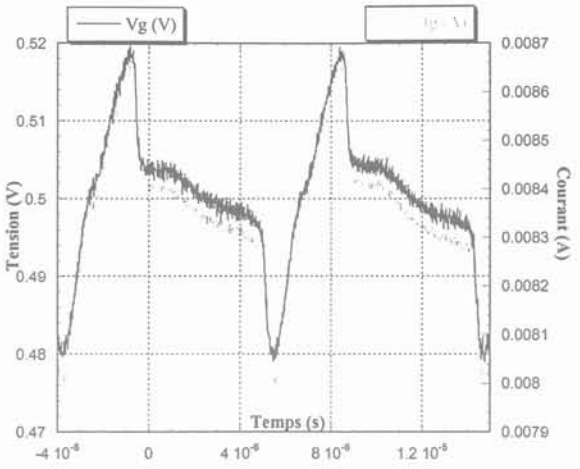


Figure I.18 : Relevés expérimentaux.

Les deux courbes montrent l'existence d'un courant parasite proportionnel au niveau des perturbations de la tension de grille. Le MBS peut donc être considéré comme la source perturbatrice de l'assemblage monolithique. Les perturbations générées sont véhiculées vers l'impédance de sortie de la logique par la connexion de grille. Il n'y a donc pas d'effet de substrat correspondant à une propagation des perturbations à travers toute la puce. On se trouve donc dans le cas où une source de perturbation (le MBS) parasite une victime (l'impédance de sortie de la logique à l'état bas) via un chemin de propagation (la connexion puissance-commande).

L'objectif des caractérisations électriques de ce composant monolithique étant de voir s'il est robuste, il faut être certain du rôle joué par le substrat. C'est pourquoi une modélisation de l'association {MBS + logique} en mode bloqué est nécessaire. Elle doit être suffisamment simple pour essayer de ne pas prendre en compte l'intégralité des équations du modèle physique des jonctions PN, mais fiable, afin de prédire le comportement du composant face aux dV_D/dt apparaissant entre drain et source. Il sera ensuite possible d'affirmer (ou d'infirmer) que le substrat ne véhicule aucun courant parasite.

I.2.3.2 Modélisation

I.2.3.2.1 Mise en place du modèle

Le graphique de la figure I.14, met en évidence que l'apparition de perturbations est conditionnée par l'existence d'un signal alternatif drain-source négatif. Avant de mettre en place un modèle qui décrive ce phénomène, il est indispensable de connaître le potentiel de la région ν du composant de puissance qui constitue ici le substrat ν. Pour comprendre les mécanismes de polarisation du substrat, nous nous plaçons en statique dans le cas d'un signal strictement négatif.

On a $V_D = U_C$, en rappelant que la source est le potentiel de référence (figure I.19).

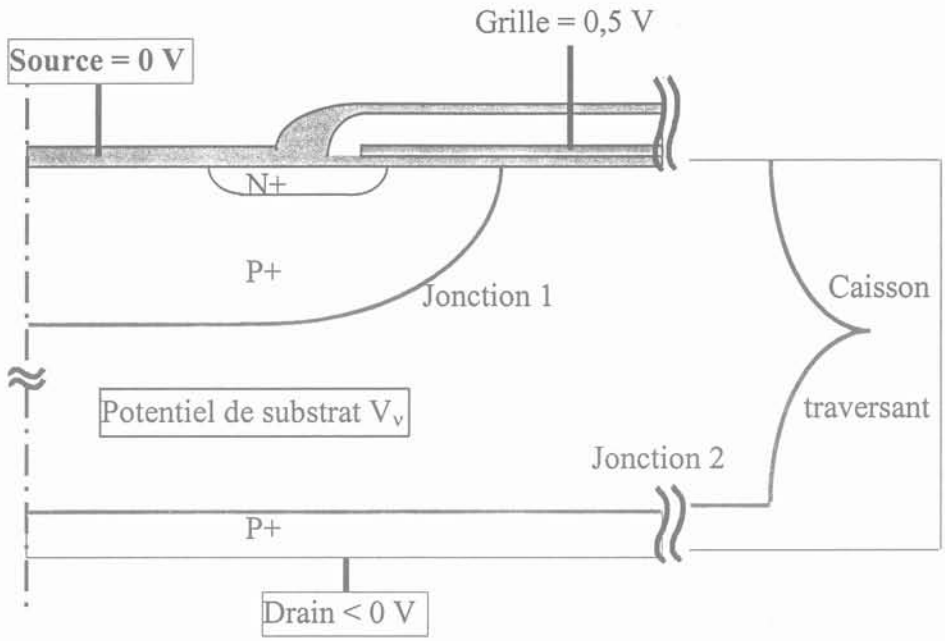


Figure I.19 : Coupe simplifiée de la structure du MBS.

Soit V_v le potentiel du substrat. Si V_v était négatif, alors la jonction 1 entre un îlot P+ de source et le substrat ν serait en direct. Par conséquent il s'établirait un courant non négligeable entre l'électrode de source et une autre électrode connectée à la puce monolithique (drain, V_{CC} de la logique,), et le potentiel du substrat serait à un potentiel voisin de celui de source qui vaut 0 V. En régime permanent on ne décèle aucun courant au niveau de l'électrode de source, donc le potentiel du substrat est positif, et voisin de zéro.

Une simulation électrique, réalisée à l'aide du logiciel Silvaco, montre figure I.20 la répartition des potentiels dans la structure du composant de puissance pour une tension drain-source de – 20 V. On constate que le potentiel du substrat est très légèrement positif, ce qui confirme le raisonnement tenu précédemment. Il apparaît alors une tension de seuil V_{v0} positive au niveau de la jonction 1, dont la valeur dépend des niveaux de dopages[5][7][8].

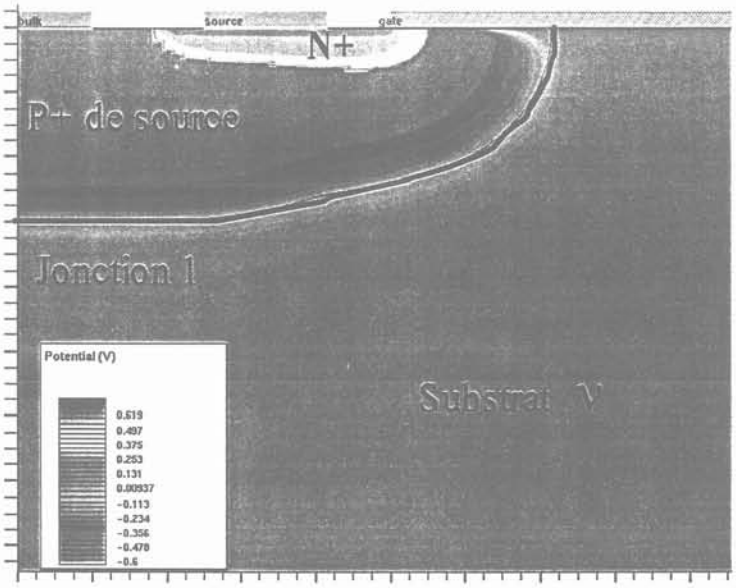


Figure I.20 : Cartographie des potentiels (U_C = - 20 V).

Le potentiel du substrat étant légèrement positif en statique, la jonction 2 entre la couche P+ de la face arrière, les caissons traversants et le substrat est en inverse. Dans de telles conditions de polarisation la jonction 2 se comporte donc comme une capacité (C_2) [5][8].

Poursuivons le raisonnement en passant au mode dynamique. En régime permanent le potentiel de drain se décompose alors comme suit :

$$V_D(t) = U_C + V_a.\sin(\omega t) \qquad (I.1)$$

avec $\forall t, V_D(t) < 0$

On distingue alors deux cas selon que V_D croisse ou décroisse (figure I.21) :

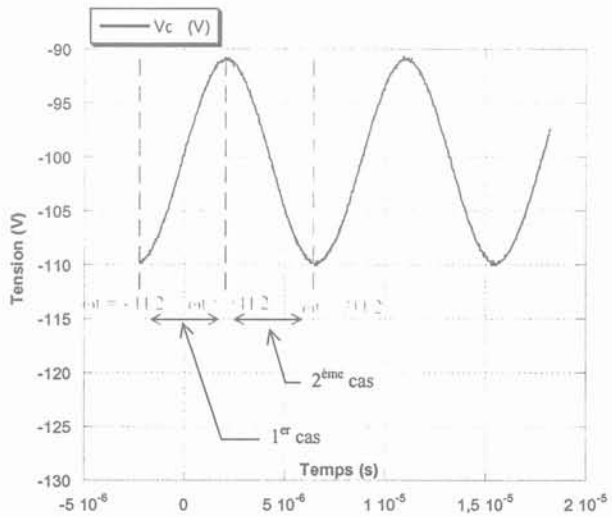


Figure I.21 : Polarisation du substrat par la tension de drain.

<u>1er cas :</u> $\omega t \in \left[-\frac{\Pi}{2} ; +\frac{\Pi}{2} \right]$

Durant cette phase V_D croît (et $V_D < 0$). Donc la jonction 2 est toujours en inverse et continue de se comporter comme une capacité. Ce faisant, elle va injecter un courant dans le substrat ($i = C \, dV/dt$), ce qui va augmenter le potentiel V_v. Comme celui ci était déjà légèrement positif, puisque la jonction 1 était en limite de conduction, cette augmentation va faire passer la jonction 1 en inverse. Son comportement pourra donc lui aussi être décrit par une capacité.

<u>2ème cas :</u> $\omega t \in \left[+\frac{\Pi}{2} ; +\frac{3\Pi}{2} \right]$

Durant cette phase V_D décroît (figure I.20). La jonction 2 est en inverse et se comporte toujours comme une capacité ; elle va injecter un courant capacitif dans le substrat et le potentiel V_v va diminuer. Deux cas sont à envisager :

i) $V_v\left(\frac{3\Pi}{2}\right) > V_v\left(-\frac{\Pi}{2}\right)$

V_v ne diminue pas jusqu'à sa valeur initiale. Dans ce cas on n'est pas en régime permanent. Or les phénomènes étudiés sont en régime permanent, c'est à dire que toutes les observations sont reproductibles sans aucune dérive temporelle, ce qui exclut le cas présent.

ii) $V_\upsilon\left(\frac{3\Pi}{2}\right) \leq V_\upsilon\left(-\frac{\Pi}{2}\right)$

V_ν diminue jusqu'à sa valeur initiale (voire moins). On sait que le potentiel du substrat ne peut décroître en deçà de la valeur $V_{\nu 0}$ qui est la tension de seuil de la jonction 1 sans mettre cette jonction en direct. En effet, dans ce cas, un courant de diffusion est généré qui polarise le substrat à la valeur $V_{\nu 0}$; donc $V_{\nu 0}$ est bien la limite inférieure du potentiel du substrat. De plus cette valeur est atteinte avant chaque fin de période ($\omega t \in \left[+\frac{\Pi}{2}; +\frac{3\Pi}{2}\right]$) car on est en régime permanent. Dans ces conditions, on a toujours $V_\upsilon(t) \geq V_{\upsilon 0}$, et la jonction 1 peut être décrite de manière capacitive, à l'exception des phases où $V_\upsilon(t) = V_{\upsilon 0}$. En effet, lorsque la jonction 1 est soit en direct soit légèrement en inverse, seules les équations du semi-conducteur décrivent le comportement réel de la jonction [5]. On ne peut plus utiliser un modèle analytique simple.

La jonction 2 est, quant à elle, toujours en inverse. On a $V_D(t) < 0$ et $V_\upsilon(t) \geq V_{\upsilon 0} > 0$. Elle peut donc toujours être décrite par une capacité de jonction.

Ainsi donc, sur l'ensemble de la période du signal alternatif imposé à l'électrode de drain, le potentiel de substrat V_ν est supérieur ou égal à la valeur $V_{\nu 0}$ qui correspond à la tension de seuil de la jonction 1, et qui est une valeur strictement positive. Par conséquent, la jonction 2 est toujours polarisée en inverse et peut être modélisée par une capacité de jonction (C_2). On note au passage que le fait que le potentiel de substrat soit toujours positif implique que l'isolation de la logique, par une jonction PN en inverse, est bien présente à tout moment. En ce qui concerne la jonction 1, elle aussi peut être modélisée par une capacité (C_1), même si, on l'a vu, l'hypothèse de la jonction polarisée en inverse n'est pas vérifiée sur toute la période. Cependant la jonction 1 n'est que très faiblement polarisée en direct. En effet, le courant qui circule entre l'îlot P+ de source et le substrat ν doit continuer son chemin, et poursuit via l'électrode de drain. Il correspond au courant de fuite de la jonction 2 en inverse. En d'autres termes c'est le courant de fuite de la jonction 2 qui détermine la polarisation en direct de la jonction 1. La jonction 2 n'étant pas une jonction abrupte (Annexe 2), son courant de fuite est très faible, par conséquent la jonction 1 est très faiblement polarisée en direct. Dans ces conditions, on fait l'hypothèse que cela ne remet pas en cause la validité du modèle analytique qui va être exposé dans ce qui suit (hypothèse que l'on vérifiera à posteriori).

I.2.3.2.2 Description du modèle

Le potentiel du substrat ν étant toujours strictement positif, la jonction 1 est en inverse. Son comportement peut donc être décrit par la capacité C_1 (figure I.22). Comme on s'est placé dans le cas où le potentiel de drain est négatif, la jonction 2 est elle aussi en inverse, d'où la capacité C_2. Dans le modèle proposé (figure I.22) interviennent deux autres capacités C_3 et C_G.

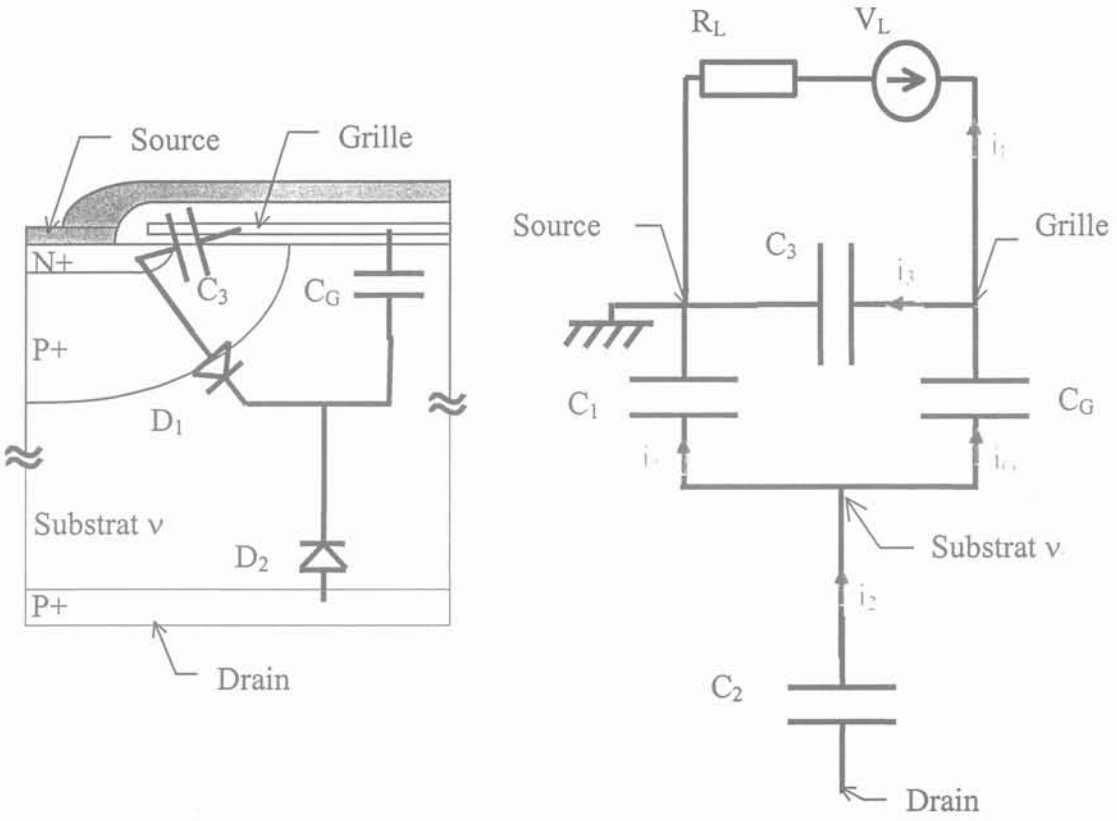


Figure I.22 : Modèle proposé.

C_3 représente la capacité MOS entre la grille du composant et sa source, et C_G est la capacité entre la grille du MBS et le substrat. Il reste deux paramètres à expliciter sur la figure I.22 : V_L et R_L. La source de tension continue V_L représente la tension de commande du MBS appliquée à la grille du composant de puissance. Lorsque celui-ci fonctionne en régime bloqué, V_L est à l'état bas de la logique soit environ 0,5 V. Le terme R_L est l'impédance de sortie de la logique.

Dès lors la loi des nœuds aux points "Grille" et "Substrat ν" permet d'écrire les deux équations du modèle :

$$i_1 = C_1 \frac{dV_\upsilon}{dt},\ i_2 = C_2 \frac{d(V_D - V_\upsilon)}{dt},\ i_3 = C_3 \frac{dV_G}{dt} \text{ et } i_G = C_G \frac{d(V_\upsilon - V_G)}{dt} \tag{I.2}$$

Et

$$\begin{cases} i_2 = i_1 + i_G \\ i_L = i_G - i_3 \end{cases} \tag{I.3}$$

Soit

$$\begin{cases} C_2 \frac{d(V_D - V_\upsilon)}{dt} = C_1 \frac{dV_\upsilon}{dt} + C_G \frac{d(V_\upsilon - V_G)}{dt} \\ i_L = -(C_G + C_3)\frac{dV_G}{dt} + C_G \frac{dV_\upsilon}{dt} \end{cases} \tag{I.4}$$

or on a

$$V_G = V_L + R_L i_L \tag{I.5}$$

donc

$$\begin{cases} \frac{dV_v}{dt}(C_1+C_2+C_G) = C_1 \frac{dV_D}{dt} - C_G \frac{dV_G}{dt} \\ \frac{dV_G}{dt}(C_3+C_G) = C_G \frac{dV_v}{dt} - \frac{V_G - V_L}{R_L} \end{cases} \tag{I.6}$$

Dans ce système, les valeurs C_1, C_2 et C_G sont dépendantes des potentiels de drain (V_D) et de substrat (V_v). Leurs expressions complètes ainsi que leurs valeurs sont détaillées dans le paragraphe suivant.

I.2.3.2.3 Détermination des paramètres du modèle

Le calcul des paramètres nécessite la connaissance de grandeurs telles que les dimensions de certaines régions ainsi que leurs dopages. Des simulations technologiques ont été réalisées à partir des côtes exactes des masques du MBS et du procédé utilisé pour sa fabrication, à l'aide du logiciel Silvaco pour déterminer les valeurs des différentes grandeurs.

a) Capacité C_G :

C_G représente la capacité existante entre l'armature de grille et le substrat. Il s'agit d'une capacité Mos dont la structure MIS (Métal-Isolant-Semiconducteur) est donnée figure I.23. Sa valeur est fonction de potentiels qui ne sont pas tous directement mesurables depuis l'extérieur du boîtier. Il est alors nécessaire d'introduire la notion de potentiel de surface [7][8].

a1) Rappels sur la capacité MOS

Le potentiel de surface représente dans une structure MIS le potentiel du silicium situé à l'interface oxyde de silicium/silicium.

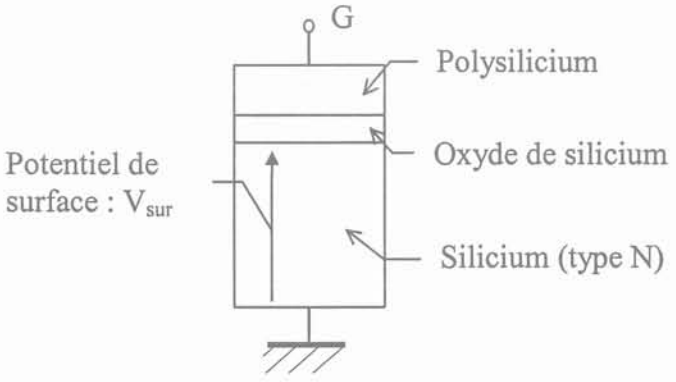


Figure I.23 : Structure d'une capacité MOS.

Suivant sa valeur il y a apparition de charges (positives ou négatives, fixes ou mobiles) à l'interface isolant-semiconducteur. L'expression de la charge totale Q_{SC} [5][9] développée dans un semi-conducteur de type N est donnée par :

$$Q_{SC}=-\text{Signe}(V_{sur})\sqrt{2\varepsilon_{Si}kTN_a}\sqrt{\frac{-qV_{sur}}{kT}+\exp\left(\frac{qV_{sur}}{kT}\right)-1-\exp\left(\frac{-2q\phi_{Fi}}{kT}\right)\left(\frac{-qV_{sur}}{kT}-\exp\left(\frac{-qV_{sur}}{kT}\right)+1\right)} \quad (I.7)$$

avec :

Q_{SC} : quantité de charge par unité de surface ($C.m^{-2}$)

V_{sur} : potentiel de surface (V)

T : température absolue (°K)

ϕ_{Fi} : potentiel de Fermi pour le silicium (V)

N_D : Densité de donneurs (m^{-3})

La charge totale développée dans le métal sera égale, au signe près, à celle qui est présente dans le silicium. L'isolant et la région du silicium où sont situées les charges se comportent en fait comme des capacités en série. L'isolant est un condensateur plan de capacité :

$$C_{ox}=\frac{\varepsilon_{SiO_2}S_G}{e_{SiO_2}} \quad (I.8)$$

avec

ε_{SiO_2} : permittivité de l'oxyde de silicium ($F.m^{-1}$)

S_G : surface de l'électrode de grille (m^2)

e_{SiO_2} : épaisseur de l'oxyde (m)

Une variation dV_{sur} du potentiel de surface induit une variation de la charge totale dQ_{SC} du semiconducteur, de sorte que la région où sont localisées les charges se comporte comme une capacité dynamique :

$$C_{SC}=\frac{dQ_{SC}}{dV_{sur}}S_G \quad (I.9)$$

Au final la capacité totale C_G vaut :

$$\frac{1}{C_G}=\frac{1}{C_{ox}}+\frac{1}{C_{sc}} \quad (I.10)$$

a2) Expression de C_G

Pour S_G on ne prend pas en compte l'intégralité de la surface de l'électrode mais seulement la partie située au dessus de l'espace intercellulaire du MBS. De manière plus précise on utilise pour S_G la surface comprise entre les îlots de source, en retranchant l'espace où se développe la zone de charge d'espace lorsque le potentiel du substrat est nul. Evidemment, lorsque celui-ci va croître, la zone de charge d'espace va s'étendre un peu plus

dans la région intercellulaire, diminuant par là même la surface S_G, et donc la valeur de C_G. Ce phénomène n'est pas pris en compte dans ce modèle, mais les limites de cette modélisation seront discutées au paragraphe I.2.3.2.5.
Pour une surface de

$$S_G = 0{,}28 \text{ mm}^2$$

on trouve une capacité d'oxyde de grille :

$$Cox = 180 \text{ pF}$$

La structure de C_G est celle d'une capacité MOS dont le potentiel de substrat n'est pas fixe. Le potentiel de source étant pris comme référence, le potentiel de surface vaut :

$$V_{sur} = V_G - \phi_{ms} - V_v \qquad (I.11)$$

avec

V_G : potentiel de grille (V)

Φ_{ms} : travail de sortie de silicium (V)

V_υ : potentiel du substrat υ (V)

Les variations de C_G en fonction de V_{sur} sont données figure I.24. On peut observer les quatre zones classiques d'une capacité MOS :

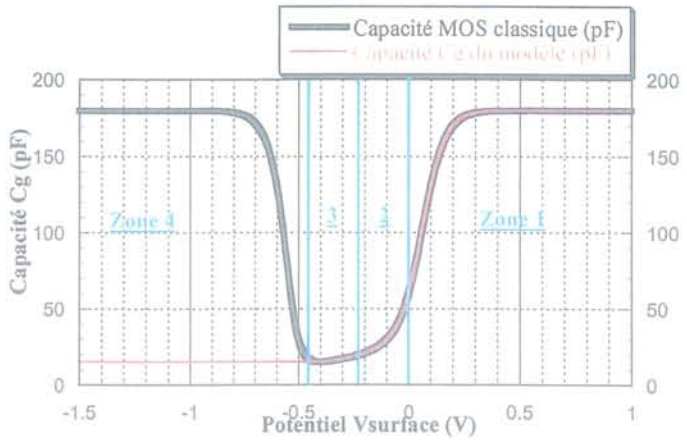


Figure I.24 : Evolution de C_G en fonction de V_{sur}.

zone 1 : *zone d'accumulation.* $V_{sur} > 0$. On accumule les électrons en surface du semiconducteurs, $C_G \approx C_{ox}$.

zone 2 : *zone de déplétion.* $-\phi_{Fi} < V_{sur} < 0$. On crée une zone de charge d'espace sous l'oxyde de grille (d'où apparition de charges positives fixes en surface du silicium).

zone 3 : *zone de faible inversion.* $-2\phi_{Fi} < V_{sur} < -\phi_{Fi}$. Le semi-conducteur est inversé en surface. On a une accumulation de trous (charges positives et mobiles). La zone de charge d'espace continue elle à se développer.

zone 4 : *zone de forte inversion.* $V_{sur} < -2\phi_{Fi}$. L'accumulation des trous est très importante, $C_G \approx C_{ox}$ et V_{sur} ne varie plus.

Dans le cas qui nous préoccupe, la capacité est bornée à ses extrémités par les îlots P+ de source. Aussi lorsque le potentiel de surface tend à être négatif, la jonction 1 a tendance à être en direct et donc à imposer le potentiel du silicium situé sous la grille du MBS [5]. Les caissons P+ se comportent alors comme des réservoirs de trous qui injectent quasiment instantanément les charges nécessaires au maintien du potentiel de surface. Si bien que lorsque l'on se trouve en régime de faible inversion, le potentiel V_{sur} ne peut presque plus varier. La capacité C_{SC} se voit donc maintenue à une valeur relativement faible (régime d'inversion). En conséquence, dans notre modélisation de C_G, nous imposerons une valeur fixe en limite de forte inversion.

b) Capacité de jonction C_1 :

Nous avons vu lors de la description du composant monolithique que la jonction 1 est en réalité composée d'un certain nombre de jonctions dont l'anode est référencée à l'électrode de source, et où la cathode est le substrat. En considérant qu'il s'agisse de jonctions abruptes [5], chacune de ces jonctions P+ν peut s'écrire de la façon suivante :

$$C_i = S_{ji}\sqrt{\frac{q\varepsilon_{SiO2}N_D}{2V_{ji}}} = \frac{D_i}{\sqrt{V_{ji}}} \qquad (I.12)$$

Avec

S_{ji} : surface de la $i^{ème}$ jonction P+ν
V_{ji} : tension appliquée aux bornes de la $i^{ème}$ jonction (y compris la tension de diffusion)
ε_{SiO2} : permittivité de l'oxyde de silicium
N_D : densité de donneurs

En faisant l'hypothèse d'une seule jonction P+ν entre l'électrode de source et le substrat, on traduit de manière électrique la mise en parallèle de diodes polarisées en inverse. C'est à dire que :

$$C_1 = \sum_i C_i = \sum_i S_{ji}\sqrt{\frac{q\varepsilon_{SiO2}N_D}{2V_{ji}}} = S_{j1}\sqrt{\frac{q\varepsilon_{SiO2}N_D}{2V_{j1}}} = \frac{D_1}{\sqrt{V_{j1}}} \qquad (I.13)$$

Et au lieu de devoir estimer les différentes surfaces de jonction qui interviennent dans le calcul des capacités, ce qui nécessiterait une approche bidimensionnelle voire tridimensionnelle, il suffit de calculer la surface équivalente de toutes les jonctions $P^+\nu$. On trouve :

$$S_{j1} = 6 \text{ mm}^2 \text{ et } D_1 = 206 \text{ pF/V}^{1/2}$$

Pour estimer de façon qualitative la surface S_{j1} sans divulguer les dimensions technologiques des produits, on peut considérer à partir des figures I.6 et I.7 que S_{j1} représente la moitié de la surface totale de la puce qui vaut 13 mm².

Pour compléter l'expression de C_1, il reste à expliciter la valeur de la tension V_{j1}. Il s'agit de la différence de potentiel appliqué aux bornes de la jonction. Elle vaut :

$$V_j = V_d + V_{cathode} - V_{anode} \tag{I.14}$$

avec $V_d = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) \approx 0{,}7\ V$

$V_{cathode} = V_v$

$V_{anode} = V_S = 0\ V$

On possède désormais l'expression complète de la capacité C_1 :

$$C_1 = \frac{206}{\sqrt{0{,}7+V_v}} \quad (pF) \tag{I.15}$$

Les valeurs précédentes sont déterminées en utilisant les côtes des masques et en négligeant les effets de bords. Il est donc probable que l'erreur de calcul sur S_G est assez importante. C'est pourquoi une détermination expérimentale est nécessaire. Elle a été effectuée sur un pont HP 4194 A. Cependant la mesure de C_1 est délicate car elle n'est pas accessible directement. En utilisant un contact sur un anneau de garde du MBS, on a accès au substrat ν du composant. En câblant le pont de mesure d'impédance comme indiqué figure I.25, et connaissant C_G (modélisation précédente), on peut remonter à la valeur de C_1 (figure I.26) :

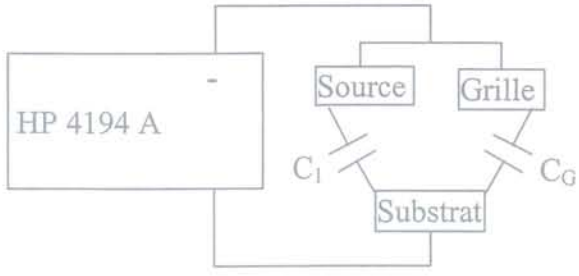


Figure I.25 : Branchement du pont de mesure d'impédance pour $C_1 + C_G$.

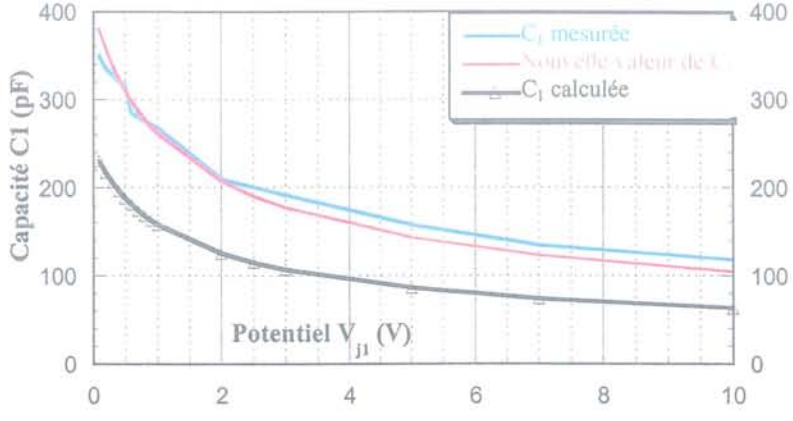


Figure I.26 : Mesure de C_1.

On constate une nette différence entre la valeur de C_1 mesurée expérimentalement (courbe bleue) et celle obtenue par le calcul (courbe noire). Cela provient de l'approximation faite pour évaluer S_1 en ayant une approche bidimensionnelle là où une approche tridimensionnelle est nécessaire. On peut déterminer une nouvelle valeur de D_1 (courbe rouge) à l'aide des données expérimentales. On trouve alors $D_1 = 320$ pF / $V^{1/2}$ (cela correspond à une surface de jonction de 9,6 mm^2 au lieu de 6 mm^2). Par la suite, on utilisera la valeur mesurée de C_1.

c) Capacité de jonction C_2 :

On a :

$$C_2 = \frac{D_2}{\sqrt{V_d + V_{cathode} - V_{anode}}} \quad (pF) \tag{I.16}$$

avec

$$V_d = \frac{kT}{q} \ln\left(\frac{N_a N_D}{n_i^2}\right)$$

$$V_{cathode} = V_v$$

$$V_{anode} = V_d = V_c + V_a \sin(\omega t)$$

S_{j2} représente la surface de la jonction 2. Dans le cas du MBS, cette jonction s'étend sur toute la face arrière ainsi que le long des caissons traversants qui résultent d'une très longue diffusion (> 100 h, > 1200°C). A l'instar des terminaisons périphériques planar [10], seule la simulation permet de prévoir la forme ainsi que le dopage des caissons, qui varie à travers l'épaisseur de la tranche de silicium (figure I.27). La capacité C_2 n'est donc pas uniformément répartie sur toute la surface de la jonction.

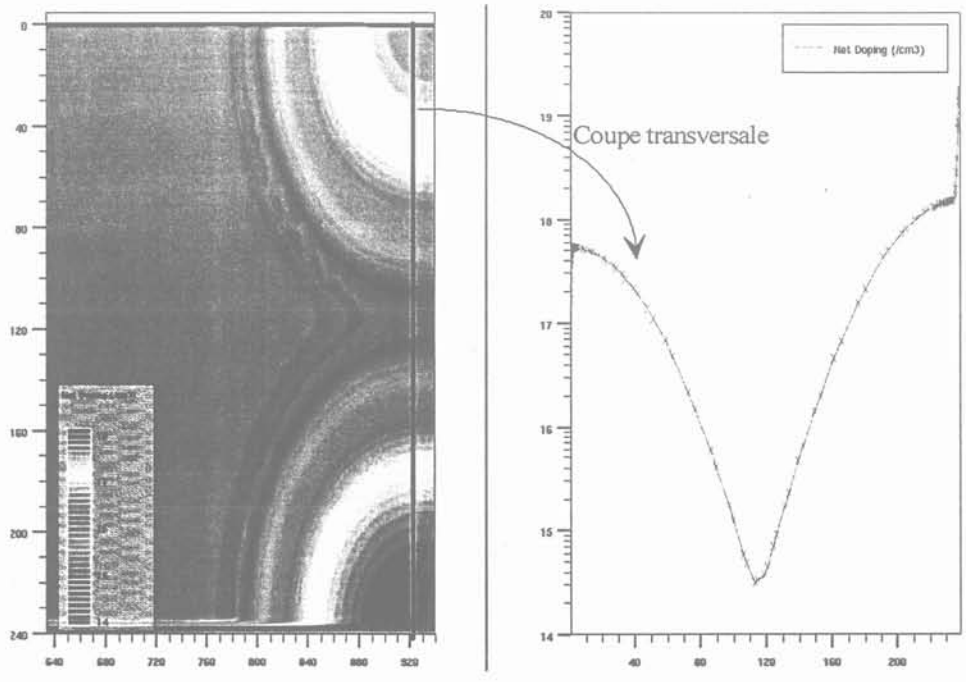


Figure I.27 : Simulation technologique de la diffusion des caissons traversants (Silvaco).

On peut encadrer la valeur de C_2 en définissant une fourchette pour S_{j2}. La borne inférieure est obtenue en ne prenant pas en compte la surface de jonction entre le substrat et les caissons traversants.

Les puces sont des rectangles de 2,65mm×5,3mm. En tenant compte de la largeur des caissons (50 µm) et de leur diffusion latérale (100 µm), on arrive à une surface de :

$$S_{j2}^{inf} = 11{,}7\ mm^2 \text{ et } D_2^{inf} = 400\ pF / V^{1/2} \tag{I.17}$$

avec

$$D_2^{inf} \leq D_2\ (pF / V^{1/2}) \leq D_2^{sup} \tag{I.18}$$

En considérant les caissons traversants comme étant verticaux et dopés uniformément, de même valeur que le dopage P+ face arrière, on trouve la borne supérieure de la surface S_{j2} :

$$S_{j2}^{sup} = 15{,}3\ mm^2 \text{ et } D_2^{sup} = 530\ pF / V^{1/2} \tag{I.19}$$

Il en résulte l'inégalité suivante :

$$\frac{D_2^{inf}}{\sqrt{0{,}7+V_v-V_c-V_a\sin(\omega t)}} \leq C_2\ (pF) \leq \frac{D_2^{sup}}{\sqrt{0{,}7+V_v-V_c-V_a\sin(\omega t)}} \tag{I.20}$$

De la même manière que pour la capacité C_1 le pont de mesure d'impédance permet d'obtenir une valeur mesurée de C_2. En utilisant le câblage décrit figure I.28, on a directement accès à la mesure de C_2.

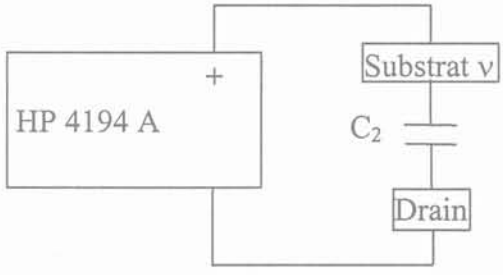


Figure I.28 : Branchement du pont de mesure d'impédance pour C_2.

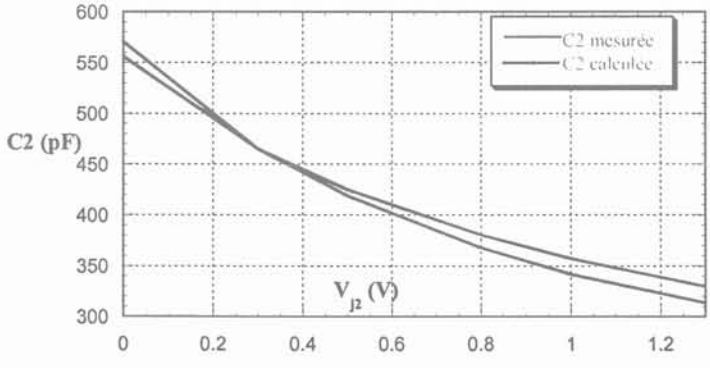


Figure I.29 : Mesure de C_2.

Les résultats expérimentaux (figure I.29) vont dans le sens des précédents calculs, puisque la valeur trouvée expérimentalement est bien encadrée par les deux bornes D_{j2}^{inf} et D_{j2}^{sup}. C'est cette valeur expérimentale de D_2 qui sera utilisée dans le modèle analytique. Soit :

$$D_2 = 460\ pF/V^{1/2} \tag{I.21}$$

d) Capacité C_3 :

C_3 est la capacité grille-source du MBS. Elle se décompose en plusieurs parties (figure I.30) :

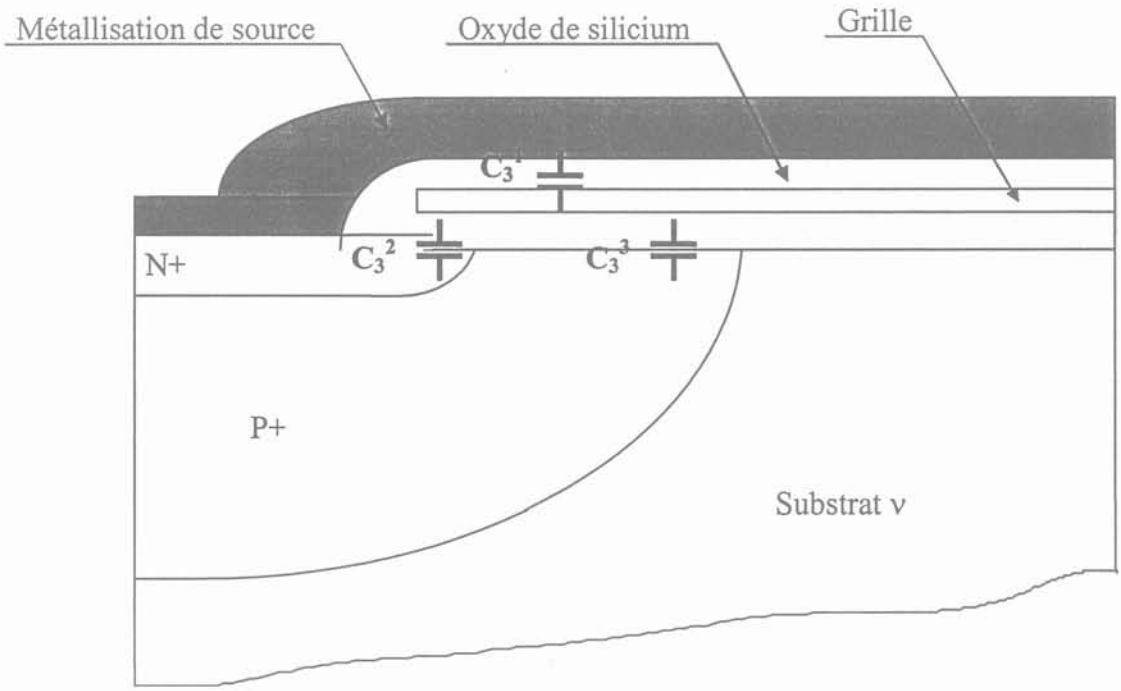


Figure I.30 : *Capacité grille-source .*

☞ C_3^1 due à la métallisation de source. En raison de sa nature (une armature correspondant à la métallisation de source, l'autre au polysilicium de grille), elle est indépendante de la tension existante entre ces deux armatures. Bien que l'oxyde séparant ses armatures soit beaucoup plus épais que celui présent à l'interface du silicium, cette capacité est loin d'être négligeable car la surface concernée est importante (la métallisation de source implique toute la surface active du MBS). Ainsi pour une surface :

$$S_3^1 = 0{,}73\ mm^2$$

et une épaisseur d'oxyde

$$e_{SiO2} = 0{,}8\ \mu m$$

on obtient :

$$C_3^1 = \frac{\varepsilon_{SiO2}\, S_3^1}{e_{SiO2}} \approx 31\ pF \tag{I.22}$$

☞ C_3^2 due à l'avancée N+ sous l'oxyde de grille. La zone N+ située directement sous le polysilicium de grille est une région d'accumulation d'électrons. Avec comme épaisseur d'oxyde

$$e_{SiO_2} = 550 \text{ Å}$$

et comme surface

$$S_3^2 = 0{,}019 \text{ mm}^2$$

la capacité vaut :

$$C_3^2 = \frac{\varepsilon_{SiO2}\, S}{e_{SiO2}} \approx 36 \text{ pF} \qquad \text{(I.23)}$$

☞ C_3^3 correspond à la zone de canal. En mode bloqué ($V_L = 0{,}5$ V), la polarisation légèrement positive de la grille crée une zone de déplétion dans la région du canal comme le montre la simulation de la figure I.20. La capacité qui en résulte est alors faible, et sera considérée comme négligeable par rapport à $C_3^1 + C_3^2$.

En définitive, la capacité grille-source du MBS vaut $C_3^1 + C_3^2 + C_3^3 \approx 65$ pF. Nous la supposerons constante par la suite.

Compte tenu du calibre en courant (5 A) du MBS monolithique, la capacité grille-source C_3, et donc pénalisante d'un point de vue dynamique. En effet le MBS a été initialement conçu pour des applications secteurs où l'on favorise la qualité de l'état passant au détriment des performances dynamiques. En ce qui concerne la capacité C_3, il existe des solutions technologiques pour diminuer sa valeur, comme les grilles "en marche d'escalier" [11] ou même des grilles "trench" [12], qui augmentent les potentialités dynamiques du composant. Dans le cadre du composant monolithique, il est également possible d'adapter la logique de commande pour que celle-ci charge plus rapidement C_3.

e) Source de tension V_L :

La source de tension V_L modélise la sortie de la logique sur la grille en l'absence de perturbation. Il s'agit d'une source de tension parfaite dont la valeur est fixe (de l'ordre de 0,5 V à l'état bas).

f) Résistance R_L :

R_L représente l'impédance de sortie de la logique de commande du MBS. Comme la logique est composée d'une succession d'étages inverseurs, il s'agit de déterminer l'impédance équivalente de l'étage de sortie lorsque la logique est à l'état bas. L'étage de sortie est un push-pull dans lequel l'interrupteur T1 est un MOS à canal N enrichi quel que soit le type de logique utilisée (figure I.31). Dans le cas de la logique de type 1 (dispositif D3), R est une résistance de 2,5 kΩ, pour la logique de type 2 (dispositifs D1, D2 et D4), T2 est un MOS à canal déplété. T1 conduisant, son impédance est faible devant T2 ou même devant R, si bien que l'impédance de sortie de la logique est l'impédance de T1 en conduction. Le point de fonctionnement de T1 se situe dans la zone linéaire.

On le vérifie expérimentalement en traçant la caractéristique I(V) autour du point de fonctionnement (figure I.32). On en déduit alors la valeur de l'impédance qui vaut :

$R_L = 150\ \Omega$ pour la logique de type 1
$R_L = 60\ \Omega$ pour la logique de type 2

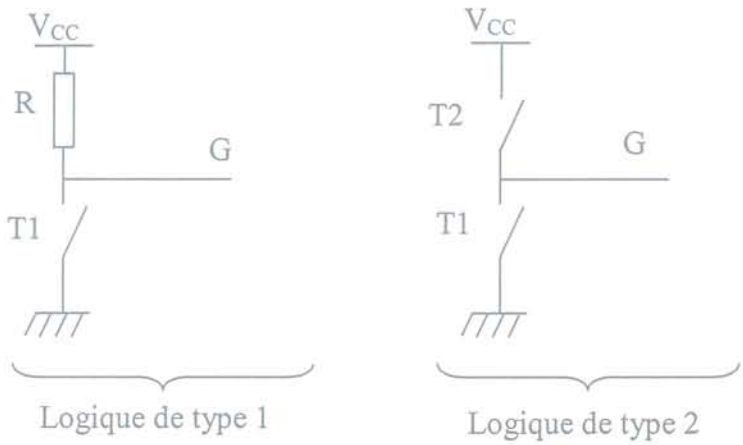


Figure I.31 : Etage de sortie de la logique.

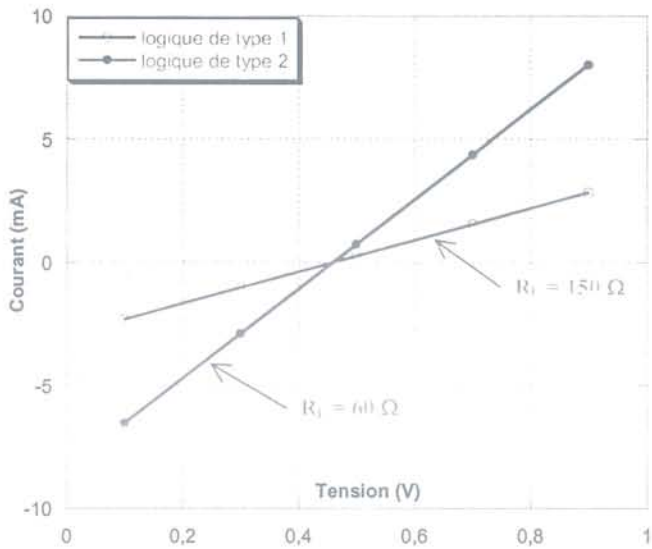


Figure I.32 : Caractérisation courant-tension de R_L.

I.2.3.2.4 Résultats

Maintenant que tous les paramètres du modèle sont déterminés, on peut résoudre le système d'équations différentielles (I.6) défini au paragraphe I.2.3.2.2. La résolution s'effectue de manière numérique à l'aide du logiciel Mathcad (Annexe 3). Il permet de simuler la tension de grille du MBS et de la comparer avec les formes d'ondes expérimentales (figure I.33).

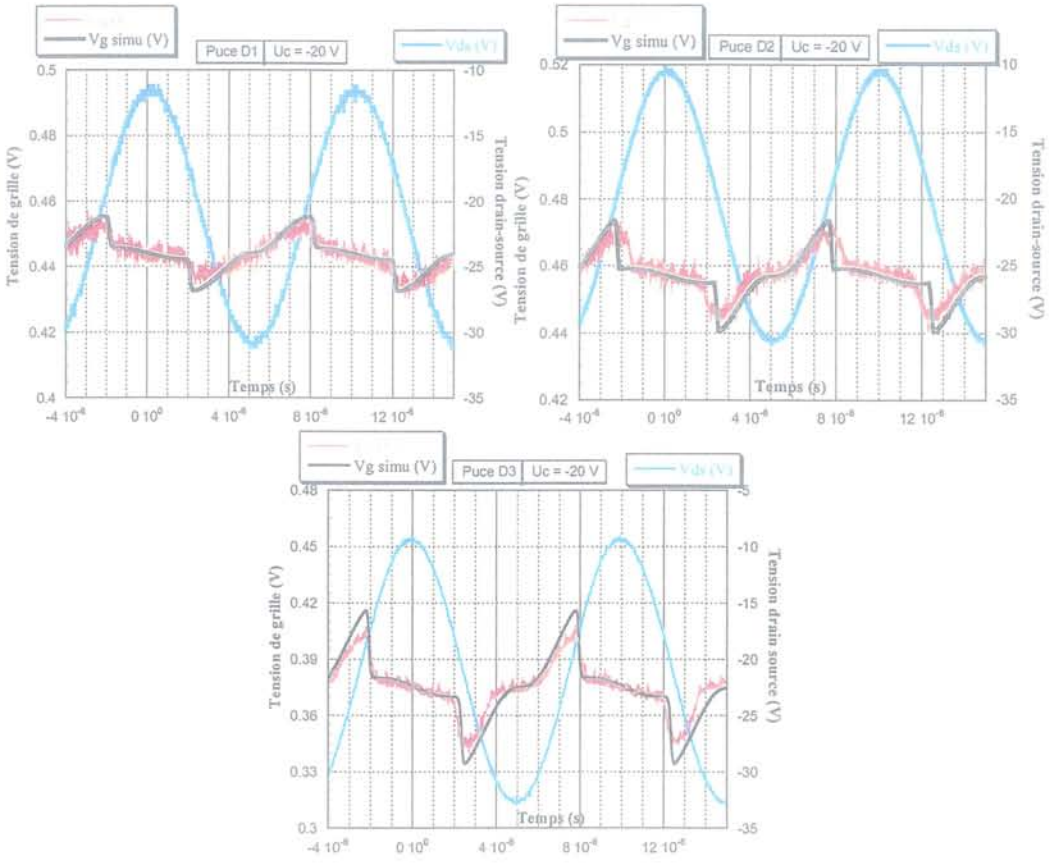


Figure I.33 : Comparaisons expérimentation / simulation.

Les exemples de la figure I.32 sont donnés pour les puces D1, D2 et D3, pour une polarisation continue du drain de – 20 V. On peut observer les formes d'ondes expérimentales de V_G et V_{DS} (courbes rouge et bleu), et constater le bruit de mesure. Cela induit une erreur au niveau de l'amplitude des perturbations crête-crête du signal de grille. Néanmoins, la courbe V_G issue de la simulation (V_G simu), reproduit les brusques variations de la tension parasite de grille. C'est donc que le modèle proposé permet de rendre compte correctement des phénomènes de perturbations qui ont lieu.

D'autres simulations ont été effectuées à différentes polarisations négatives. Elles sont récapitulées sur les graphiques de la figure I.34. Il s'agit de la comparaison entre le niveau de perturbation expérimental et le niveau de perturbation simulé en considérant l'amplitude crête du signal de grille. Il apparaît une bonne adéquation entre les différentes courbes, ce qui permet de comprendre l'influence de certains paramètres. Ainsi, si l'on se réfère au tableau I.1 du paragraphe I.2.2, on peut faire une étude comparative entre la puce D2 et les autres.

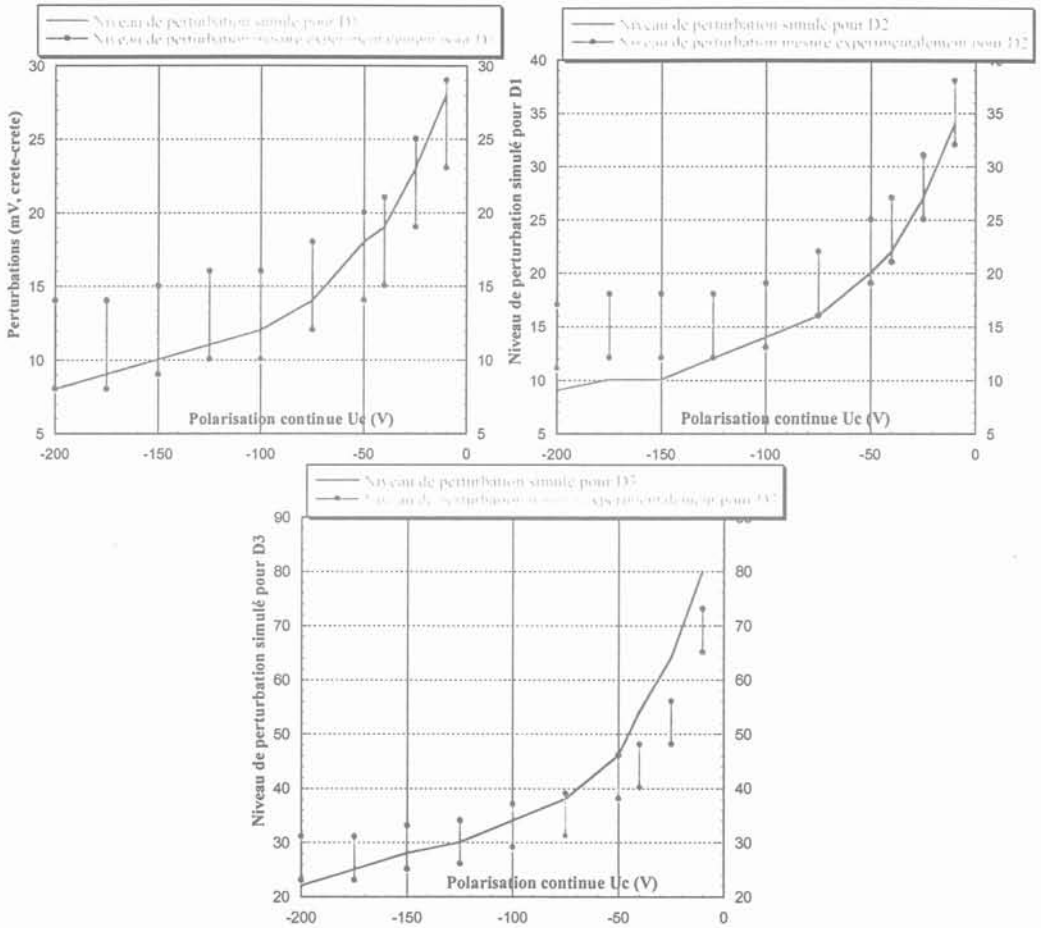


Figure I.34 : Niveaux de perturbations expérimentaux et simulés.

D2 et D4 : la seule différenciation entre ces deux puces provient de la distance entre la logique connectée et le composant de puissance. Expérimentalement on ne constate aucune différence entre les niveaux de perturbations, ce qui laisse supposer que le substrat ne véhicule pas de perturbation notable. Le modèle développé, ne fait pas intervenir la distance puissance-logique. Et le fait de retrouver les mêmes niveaux de perturbations que ceux observés expérimentalement permet d'affirmer que le substrat ne participe pas à la propagation de perturbations. Par conséquent en mode bloqué, il sera possible de rapprocher la partie logique de la partie puissance, c'est à dire de diminuer la surface de silicium utile au composant monolithique, sans augmenter les perturbations. Ce résultat aurait mérité un autre véhicule de test avec une distance puissance-logique plus faible que celle de la puce D4 (840 µm). Cela aurait permis de voir à partir de quand la distance puissance-logique, qui participe à l'isolation de la commande du MBS, devient critique. Cela dit, en fonction de ces résultats on peut affirmer avec nos résultats pouvoir diminuer la taille de la puce d'au moins un facteur deux en ce qui concerne l'étude en mode bloqué.

D2 et D3 : la différence entre D2 et D3 réside dans le type de logique utilisé. Et si l'on se reporte au modèle analytique, cette différence se traduit par une impédance de sortie supérieure pour D3 (150 Ω contre 60 Ω pour D2). Selon le modèle, les variations de tension du drain génèrent à travers un système capacitif, un courant parasite qui est envoyé vers l'électrode de grille. La capacité de grille se comporte comme un générateur de courant qui débite à travers la résistance R_L et génère une tension parasite sur la grille. Le niveau de perturbations est donc directement proportionnel à l'impédance de sortie de la logique. C'est

051 098076 0

ce que l'on peut observer sur la courbe de la figure I.14, où le niveau de perturbations de D3 est presque trois fois plus grand que celui de D2 (le modèle prévoit ce comportement, c'est donc que le modèle capacitif est correct et que la détermination expérimentale des différentes valeurs de capacité est juste).

D2 et D1 : le dessin en surface est différent d'une puce à l'autre, notamment en ce qui concerne la connexion puissance-logique. Néanmoins la logique connectée se situe à 1800 µm de la partie puissance pour les deux composants. Il n'y a donc pas de raisons que le niveau de perturbations soit différent entre D1 et D2, ce qui n'est pas le cas (figure I.14). La technique d'isolation n'est cependant pas la même. Pour D1 la zone tampon P+ en surface est remplacée par un caisson traversant (en volume) qui scinde la puce en deux. Cela engendre une modification de la géométrie de la jonction 1 pour D1, sans zone tampon P+, il va se développer non plus une mais deux zones de charge d'espace. La première qui réunit toutes les cellules de source du MBS, et la deuxième propre au caisson d'isolation de la logique. Par ailleurs, on considère dans le modèle que le courant parasite de type capacitif est généré par le MBS, qui l'injecte au niveau de l'électrode de grille. La zone de charge d'espace au niveau du caisson d'isolement, qui possède un comportement capacitif, ne participe cependant pas à la création de ce courant parasite. Il est donc inutile d'en tenir compte dans le calcul de la surface S_1 de la jonction 1. En utilisant les cotes des masques, on en déduit la nouvelle valeur de $S_1 = 3{,}2$ mm² au lieu de 9,6 mm² pour D2.

Par ailleurs, la puce étant scindée en deux, la surface S_2 de la jonction 2 à prendre en compte est elle aussi modifiée. En effet la jonction 2 et les caissons traversants génèrent un courant capacitif. La partie de la jonction 2 qui est située en regard de la partie puissance verra son courant "collecté" par la capacité de la jonction 2 et la capacité de grille. Par contre, pour ce qui concerne l'autre partie, celle située en regard du caisson d'isolation de la logique, les charges sont collectées par la capacité de jonction, qui elle est reliée à l'électrode de source, donc ce courant ne participe pas à la génération de perturbations au niveau de la grille. On se retrouve donc avec une valeur S_2 de surface de jonction 2 :

$$S_2 = 6{,}7 \text{ mm}^2$$

Ce sont ces deux nouvelles valeurs de surfaces de jonction qui ont été introduites dans le modèle pour simuler le niveau de perturbations de D1. Ces nouvelles valeurs semblent correspondre à la réalité si l'on se réfère à la figure I.28. De ce cas précis on peut déduire une piste pour tenter de diminuer le niveau de perturbations. En effet, en passant du motif de test D2 à celui de D1, le rapport S_1/S_2 a diminué et le niveau de perturbations aussi. Il est donc possible d'optimiser ce rapport des surfaces pour améliorer l'immunité aux perturbations en mode bloqué.

En conclusion de ce paragraphe on peut affirmer que la validité du modèle permet de mettre en avant tous les paramètres clés du mécanisme de génération de perturbations, qu'ils soient physiques (R_L, dopages) ou géométriques (S_1, S_2). Une optimisation de certains paramètres est possible afin de réduire de manière drastique l'immunité de la logique, mais elle se heurte à d'autres difficultés comme celle des considérations énergétiques ou tout simplement une modification plus ou moins profonde du procédé technologique. La réduction des perturbations fera l'objet d'une partie dans le chapitre II, c'est pourquoi, dans ce paragraphe, nous n'irons pas plus avant sur ce sujet.

Le modèle proposé, permet de décrire le comportement du composant monolithique {MBS + logique} en mode bloqué sous polarisation négative. Il est désormais important de connaître les limites du modèle et notamment d'expliquer ce qui se passe en polarisation positive. C'est l'objet de la partie suivante.

I.2.3.2.5 Les limites du modèle

Lors de la mise en place du modèle, la première hypothèse de travail avait été de se placer en polarisation négative, où il existait des perturbations. La seconde hypothèse était de se placer à une tension de drain inférieure à – 10 V. Cette dernière hypothèse est imposée pour deux raisons.

Pour déterminer la surface S_1 de la jonction 1, on a fait l'approximation d'une seule zone de charge d'espace. On considère en fait que l'on se place en polarisation de substrat telle qu'il y a recouvrement des zones de déplétion de deux cellules de source voisines (paragraphe I.2.2). Lorsqu'on travaille entre 0 et – 10 V, on a autant de zones de charge d'espace que d'îlots P+ de source. La surface S_1 totale déterminée expérimentalement dans ces conditions varie, ce qui est une source importante d'erreur car elle est considérée comme constante. Néanmoins le modèle fonctionne toujours.

L'amplitude du signal alternatif appliqué à l'électrode de drain lors des tests vaut 20 V crête, afin d'avoir les niveaux de dV/dt_{max} souhaités. Pour raisonner avec un signal de drain strictement négatif à tout instant, il faut imposer $V_{DS} < - 10$ V. Se pose alors la question de savoir ce qui se passe lorsque le potentiel de drain devient positif (à un moment donné ou à tout instant). Supposons qu'à un instant donné V_D soit strictement positif. On est dans le cas d'un IGBT bloqué sous une tension de drain positive. La jonction 2 est en direct et le potentiel du substrat est égal au potentiel de drain. La jonction 1 est alors en inverse. Son comportement peut donc être décrit par la capacité C_1 déterminée précédemment. Le modèle est donc toujours valable à la condition de remplacer la diode D2 par une jonction en direct, c'est à dire une résistance de faible valeur et un générateur de tension (modélisation au premier ordre). Le faible niveau des perturbations en polarisation positive peut s'expliquer par la capacité de grille. En effet, la valeur de C_G est imposée par la valeur du potentiel de surface (figure I.24) :

$$V_{sur} = V_G - \phi_{ms} - V_v \tag{I.24}$$

Donc lorsque V_D (pour des valeurs positives), augmente, V_v augmente et le potentiel de surface V_{sur} a tendance à diminuer. Or on a vu qu'à partir d'une certaine valeur de V_{sur} ($\approx$ - 0,5 V), lorsque C_G se trouve en limite de forte inversion [5], les îlots P+ de source se comportent comme des injecteurs de trous et maintiennent constante la valeur de V_{sur}. L'électrode inférieure de C_G est donc maintenue à une valeur constante ($C_G = 15$ pF) dès que la valeur du potentiel de substrat V_v dépasse les 0,5 V. Ainsi les variations du potentiel de drain sont appliquées directement à l'électrode de grille, dont la valeur minimale est constante. La sortie de la logique est donc parasitée par un courant capacitif sinusoïdal :

$$i_G = C_G \frac{dV_v}{dt} \approx C_G \frac{dV_D}{dt} \tag{I.25}$$

Le potentiel de grille vaut donc :

$$V_G = V_1 + R_1 C_G \frac{dV_D}{dt} \tag{I.26}$$

On compare sur la figure I.35 le niveau de perturbations observé expérimentalement et celui qui se déduit de l'équation (I.25). C'est la faible valeur de la capacité C_3 en polarisation positive qui permet d'atténuer très fortement les perturbations.

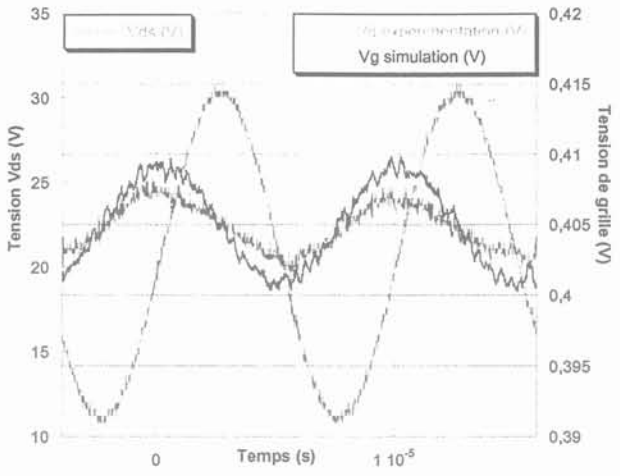


Figure I.35 : Comparaison expérimentation simulation en polarisation positive (U_C = +20 V, f = 100 kHz).

Dans le calcul de C_G au paragraphe I.2.3.2.3 il était nécessaire d'évaluer la surface S_G. Au cours de ce calcul nous avons négligé la diminution de S_G due à l'accroissement de la zone de charge d'espace qui se développe entre les îlots de source P+ et le substrat ν (on se place ici en polarisation de drain négative). La largeur de cette zone déplétée augmente lorsque le potentiel du substrat V_ν croît. Or très rapidement, dès que le potentiel de surface est inférieur à - 0,5 V, c'est à dire :

$$V_\upsilon > 0{,}5 + V_G - \phi_{ms} \tag{I.27}$$

la valeur de C_G est imposée à : C_G = 15 pF.

L'extension de la zone de charge d'espace lorsque le potentiel de substrat vaut V_ν = 0,5 V, se déduit de l'équation :

$$W = \sqrt{\frac{2\,\varepsilon_{Si}\,\varepsilon_0}{q\,N_D}\,V} \tag{I.28}$$

On observe alors une diminution de 25 % de S_G, ce qui signifie que l'erreur relative commise en ne considérant pas l'accroissement de la zone de charge d'espace augmente jusqu'à atteindre 25 % de S_G pour V_ν = 0,5 V. Cela explique que sur les figures I.34 les niveaux des perturbations issus de la simulation ont tendance à être supérieurs aux niveaux relevés expérimentalement.

I.2.4 Etude du comportement statique en régime de conduction du MBS

I.2.4.1 Définition du mode de conduction

Le passage d'un état statique à un autre (blocage/conduction) s'effectue par la logique implanté sur la puce du MBS. Les temps de commutation de cette commande sont de l'ordre de la microseconde pour la fermeture du composant de puissance. Durant ce laps de temps les différentes grandeurs physiques (courant/tension) de l'association puissance-commande vont subir des variations plus ou moins importantes. Ces transitoires vont générer eux aussi des perturbations qui risquent d'empiéter sur la phase statique de conduction. Ces perturbations peuvent même modifier l'état statique "normal" de conduction du MBS. C'est pourquoi lors des tests en conduction le MBS sera toujours passant ; l'ordre de commande sur la logique sera ainsi maintenu à 5 V (figure I.36).

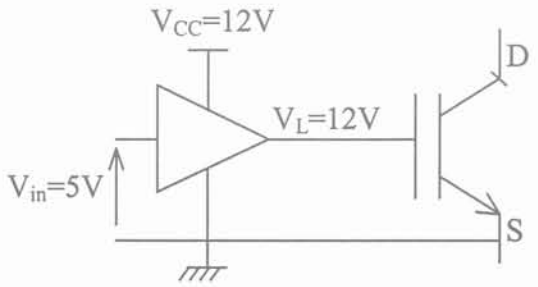


Figure I.36 : Point de fonctionnement de la logique.

La tension d'alimentation V_{DD} est portée à 12 V afin d'améliorer l'état passant du MBS.

I.2.4.1.1 Banc de mesure

Il est difficile de concevoir un refroidissement efficace sans trop diminuer la facilité de mise en place. Un refroidissement par circulation d'air est donc utilisé, qui permet d'évacuer du semiconducteur une puissance de 5 à 6 watts (pour une température de boîtier de 100 C). Le banc de tests utilisé est schématisé figure I.37. Le MOS principal T1 va permettre de limiter la puissance dissipée dans le composant testé en n'autorisant la conduction que par instants. Les instants de conduction seront déclenchés en mode mono-coup ou mono-coup répétitif, permettant de générer des courants impulsionnels plus grands que si l'on travaillait en continu, et de laisser refroidir le boîtier. La largeur des impulsions ainsi générées varie d'une dizaine à la centaine de microsecondes.

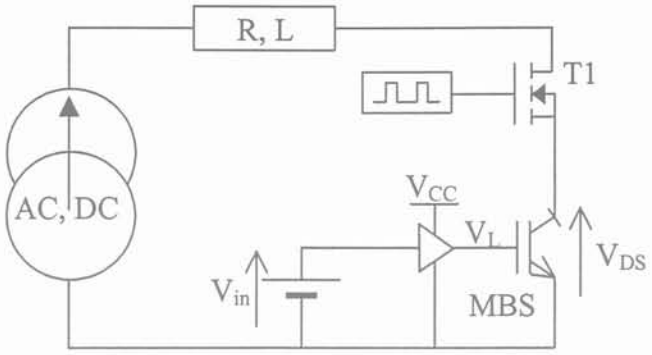


Figure I.37 : Banc de tests pour les mesures en conduction.

Certes on n'échappe pas dans ces conditions à l'existence d'un transitoire imposé par la commutation du MOS T1. Donc du point de vue de la puce monolithique, seuls le courant la traversant et la tension V_{DS} vont varier. La logique quant à elle restera dans un état stable. Et toute évolution de ses paramètres sera due au passage du courant (ou à la différence de potentiel V_{DS}) et non pas au transitoire de la logique couplé à celui du MBS, avant de passer au régime permanent du mode de conduction.

Le courant que l'on fait transiter dans le MBS possède deux composantes. Une continue, pour observer son influence sur les perturbations et une autre alternative, d'amplitude plus faible. Cette composante alternative remplit deux rôles. Le premier est d'étudier l'influence de la composante alternative du courant sur les perturbations, l'autre est d'utiliser la fréquence des oscillations du courant comme marqueur. En générant un signal alternatif d'une fréquence fixe déterminée, on peut alors rechercher cette fréquence parmi tous les signaux représentatifs de l'association MBS-logique. Les perturbations seront ainsi plus facilement détectables. Compte tenu de la largeur des créneaux générés par le MOS T1 (20 µs), la fréquence de la composante alternative est fixée à 500 kHz afin d'avoir plusieurs périodes d'oscillations du courant.

I.2.4.1.2 Mise en évidence des perturbations

Comme lors de l'étude en mode bloqué, la seule grandeur qui laisse apparaître des perturbations est la tension de grille du MBS, c'est-à-dire la sortie de la logique connectée (figure I.38).

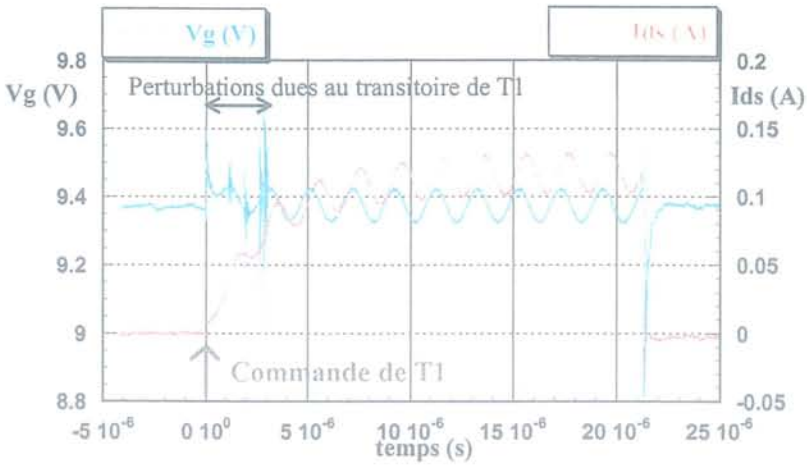


Figure I.38 : Visualisation des perturbations.

Sur ces courbes de la figure I.38, on peut observer le transitoire imposé par la fermeture du MOS T1. Ainsi, pendant la phase de montée du courant la tension V_G est perturbée, et ce, de manière différente comparée à la perturbation lors du régime permanent du mode de conduction. Durant ces premières microsecondes, la polarisation du substrat du semiconducteur T2 s'effectue en même temps que l'établissement du courant. Même si cette phase transitoire n'est pas directement imposée par le MBS (car sa tension de grille n'évolue finalement que très peu), on constate néanmoins des phénomènes de perturbations sous la forme d'oscillations parasites. Dans cette partie qui traite de la conduction du MBS, seul le régime permanent nous intéresse, c'est à dire la dizaine de microsecondes avant la fin du créneau de courant. La tension de grille est quant à elle constituée de sa composante continue à laquelle vient s'ajouter un signal alternatif (figure I.39).

La figure I.39 superpose les tensions de sortie des deux logiques présentes sur la puce et l'ordre de conduction donné à T1. La sortie de la logique qui pilote le MBS est perturbée. Quant à l'autre, on observe certes des oscillations qui correspondent à une perturbation de la mesure par des capacités parasites propres au montage. En effet le niveau des oscillations n'augmente pas pendant la phase de conduction, contrairement à ce qui se passe pour la sortie de l'autre logique.

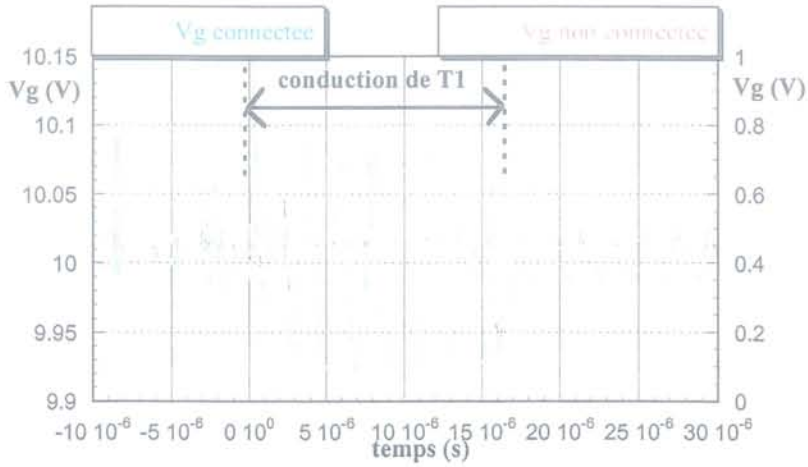


Figure I.39: Comparaison des tensions de sortie des deux logiques.

Puisque les seules perturbations observées correspondent au signal alternatif additionnel en sortie du buffer de commande du MBS, comme ce fut le cas en mode bloqué, la connectique est l'unique chemin de propagation. Le substrat ne semble pas jouer de rôle primordial dans l'acheminement de perturbations de la partie puissance vers la partie logique. On remarque à cet effet que l'influence de l'éloignement de la logique connectée est nulle puisqu' aucune différence sensible de niveau de perturbation n'est enregistrée entre les puces D1, D2 et D4 (figure I.40). Seule la nature de la logique (type 1 ou 2) semble intervenir, la puce D3 ayant un niveau de perturbations supérieur aux puces D1, D2 et D4. On remarque également que la composante continue du courant qui traverse le MBS ne semble pas influer sur l'amplitude crête des perturbations.

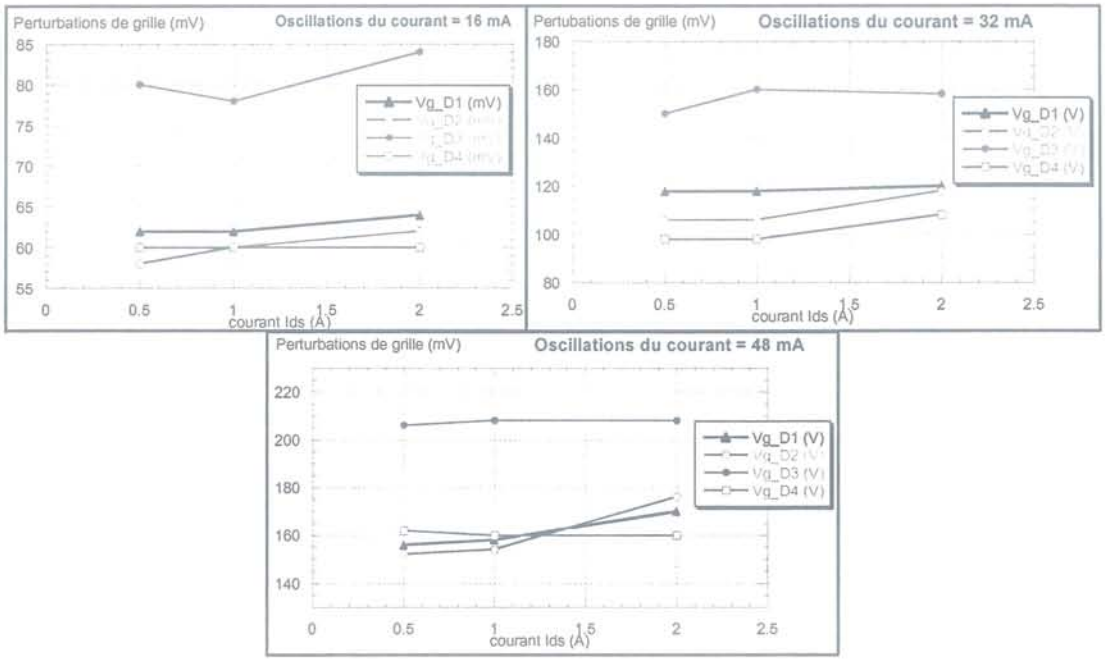


Figure I.40 : Niveaux de perturbations (crête-crête) des différents véhicules de tests.

Il reste néanmoins à identifier le phénomène de génération de ces perturbations pour confirmer totalement ce fait et être certain que le substrat n'a pas d'influence.

I.2.4.2 Modélisation

I.2.4.2.1 Mise en place du modèle

En observant les courbes I_{DS} et V_G de la figure I.41, on remarque un déphasage de $\pi/2$ (ou T/4) entre les composantes alternatives des deux signaux. Par analogie avec l'étude en mode bloqué, la capacité grille-substrat doit permettre de faire transiter un signal parasite sur la liaison puissance-commande à partir d'un potentiel de substrat variable. Le signal serait alors amplifié par l'impédance de sortie de la logique.

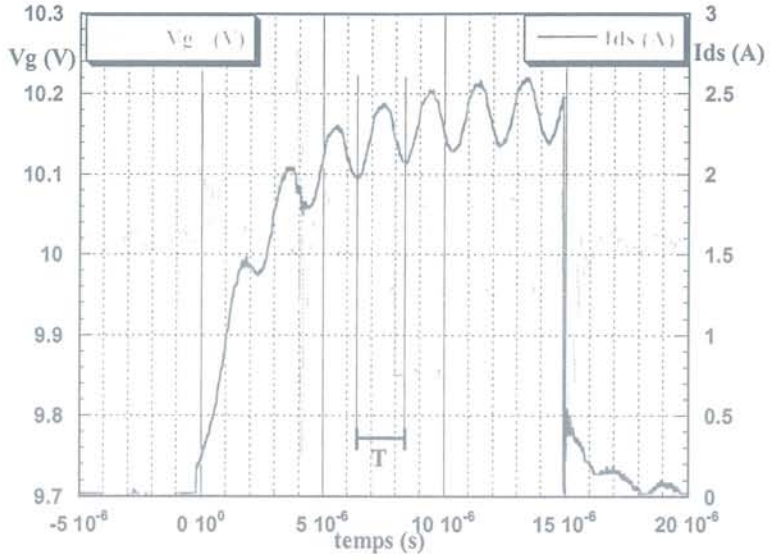


Figure I.41 : Déphasage entre le courant et les perturbations de grille.

Ces hypothèses sont la base du modèle (figure I.42). La première étape de validation du modèle consiste à vérifier l'existence du filtre passe-bas R_L C_G et de le confronter aux valeurs R_L et C_G de nos composants.

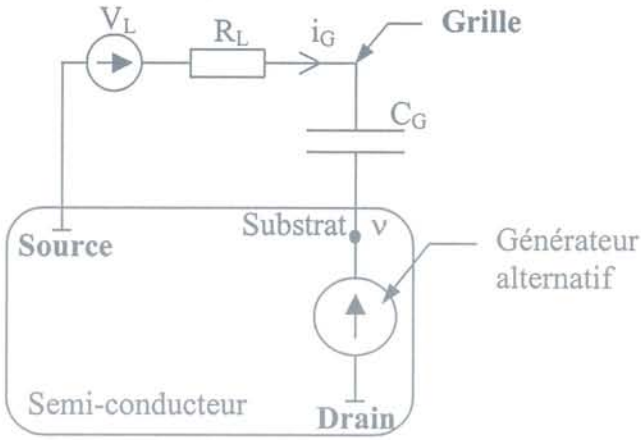


Figure I.42 : Elément de base du modèle.

Si notre premier modèle est correct, le courant de la capacité C_G n'est sensible qu'aux variations de tension V_{Gv} à ses bornes (dV_{Gv}/dt). Il existe alors dans la structure du MBS un système (générateur alternatif) qui fait varier son potentiel interne V_v en fonction des variations du courant I_{DS}. En contrôlant les dI/dt du courant I_{DS}, on contrôle les dV_v/dt du potentiel interne V_v ; ainsi en gardant constants les dV/dt, le niveau de courant i_G injecté dans la logique par la capacité C_G doit être constant. Et l'existence du filtre R_LC_G doit se retrouver sous forme d'un diagramme de Bode du premier ordre.

Le graphe de la figure I.43, représente les niveaux de perturbations de grille mesurées expérimentalement en maintenant constant le produit $A.f_i$, avec :

A : Amplitude de la composante alternative du courant I_{DS}.

f_i : Fréquence de la composante alternative du courant I_{DS}.

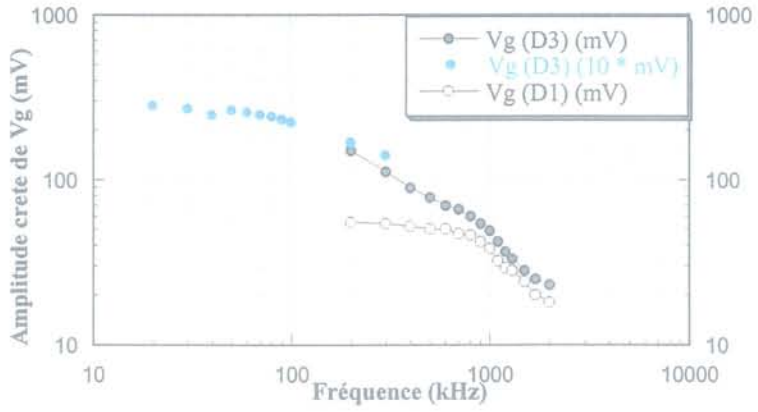


Figure I.43 : Niveaux de perturbations des puces D1 et D3 à dV/dt constant (7 V/µs).

Il faut noter que, pour l'expérience avec les puces D3, les instruments utilisés n'avaient pas une caractéristique suffisante pour maintenir le produit $A.f_i$ constant sur deux décades. Il a fallu procéder en deux étapes et supposer a priori que nos hypothèses étaient justifiées, c'est à dire que la deuxième partie de la courbe ($f > 200$ kHz) correspond bien à l'expérimentation préalablement décrite. Quant à la première partie ($f < 200$ kHz) on a maintenu un produit $A.f_i$ constant mais exactement dix fois plus faible que celui de la seconde partie de la courbe. En considérant d'après nos hypothèses que le courant perturbateur est proportionnel à C_G et à dV_{GV}/dt, et comme C_G est constante durant le régime permanent de conduction, le courant i_G sera donc dix fois plus faible à $A.f_i/10$. De manière artificielle, on multiplie donc par dix le niveau de perturbation mesuré. On constate que les deux courbes ainsi obtenues se raccordent. On reconnaît alors l'allure d'un filtre RC passe bas.

En déterminant la fréquence de coupure à –3dB (figure I.44), on obtient pour les puces D3 et D2 les fréquences suivantes :

$$f^0_{D2} = 678\ \text{kHz}$$

$$f^0_{D3} = 136\ \text{kHz}$$

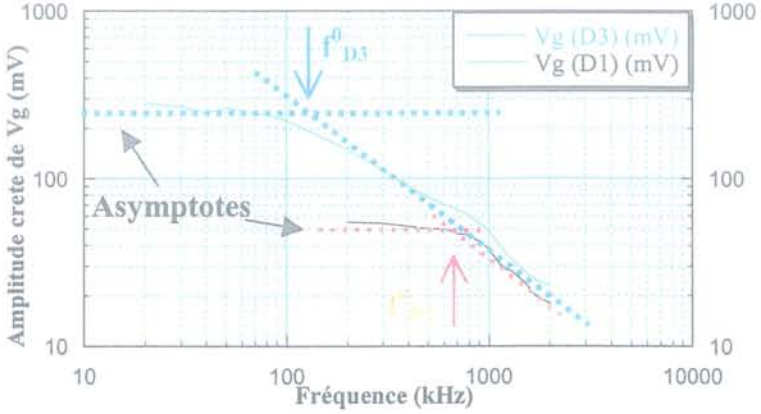


Figure I.44 : Détermination des fréquences de coupures.

I.2.4.2.2 Détermination des paramètres R_L et C_G

R_L : représente l'impédance de sortie de la logique lorsque celle-ci est à l'état haut. De par sa conception elle est plus élevée que celle en mode bloqué. La valeur de R_L dépend également du type de logique choisi (type 1 ou 2).

La figure I.45 montre les caractéristiques courant/tension des deux logiques autour du point de fonctionnement qui défini l'état haut. Les caractéristiques linéaires montrent que l'on peut considérer l'étage de sortie de la commande comme une résistance de valeur 500 Ω pour une logique de type 2 et 2,5 kΩ pour une logique de type 1.

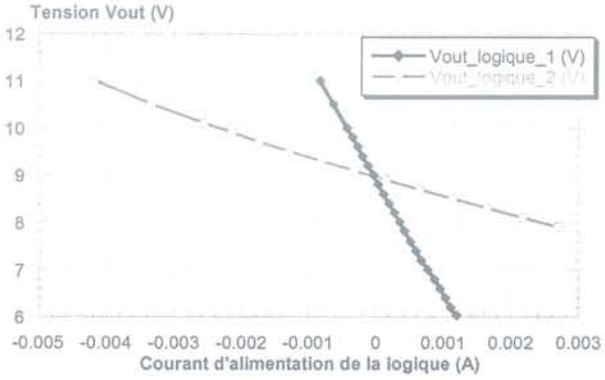


Figure I.45 : Caractéristique courant/tension des logiques de commande.

C_G : est le deuxième paramètre constituant le filtre RC. Sa valeur a déjà été définie, dans le paragraphe I.2.3.2.3 en fonction du potentiel de substrat. Or en régime permanent de conduction, le potentiel de surface est tel que l'on se trouve en zone d'accumulation à l'interface silicium/oxyde de grille ($V_{sur} > 0$). La valeur de C_G vaut donc :

$$C_G = \frac{\varepsilon_{Si O_2} S_G}{e_{Si O_2}} \qquad (I.29)$$

Avec

$\varepsilon_{Si O_2}$: permittivité de l'oxyde de silicium ($F.m^{-1}$)

$e_{Si O_2}$: épaisseur de l'oxyde (m^2)

S_G : surface de l'électrode de grille (m)

Mais la valeur de S_G à prendre en compte n'est plus la même. Désormais, compte tenu du fait que la zone d'accumulation des électrons se prolonge dans les îlots de source P+ par le canal d'inversion, la surface S_G à prendre en considération est la surface en regard de l'électrode de grille située dans l'espace intercellulaire (substrat) et dans les îlots de source P+. En effet les variations de potentiel du substrat dues au passage du courant existent également dans le canal d'inversion et participent à la création du courant capacitif parasite par dV/dt aux bornes de C_G. Cela donne une surface d'électrode de :

$$S_G = 0{,}73 \text{ mm}^2$$

D'où une capacité de grille :

$$C_G = 460 \text{ pF}$$

La première partie de notre modèle est donc validée. Reste à expliquer comment on passe de la composante alternative du courant aux variations du potentiel de substrat.

I.2.4.2.3 Détermination du système résistif

Le passage d'un courant dans un composant de puissance génère une chute de tension due à des résistances dans le semi-conducteur. Vue de l'extérieur, cette résistance à l'état passant est communément appelée R_{on}. Dans le cadre de composants à grille isolée tels que les MOS, ce R_{on} se décompose principalement en quatre composantes [13]. Elles représentent (figure I.46) la contribution à la résistance totale R_{on} des différentes parties de la structure multicellulaire :

R_{drift} : Résistance de drift due à la résistivité électrique du substrat qui permet de tenir la tension.

R_{jfet} : Résistance de jfet due au resserrement des lignes de courant dans l'espace intercellulaire.

R_{accu} : Résistance d'accumulation due à la courbure (environ 90°) des lignes de courant pour accéder au canal d'inversion.

R_{canal} : Résistance dans le canal d'inversion sous la grille dans la zone P.

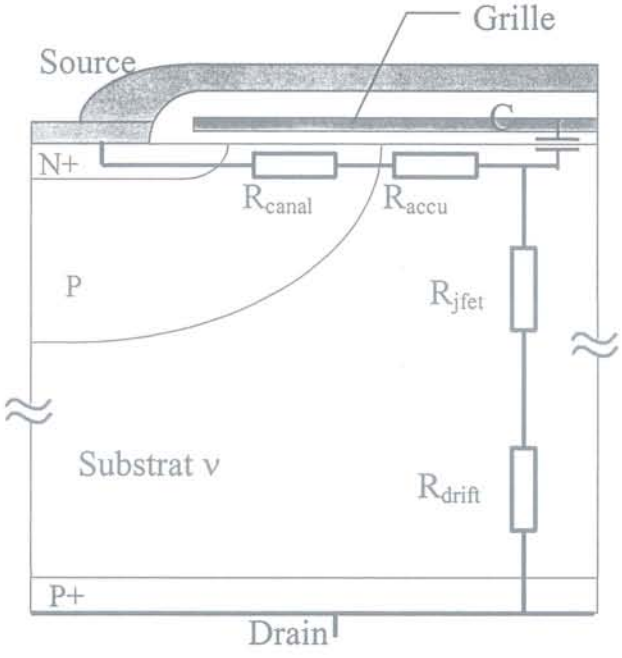


Figure I.46 : Décomposition du R_{ON}.

Les dispositifs MOS sont des composants à porteurs majoritaires, ce qui signifie que le courant I_{DS} est unipolaire, composé exclusivement d'électrons. Avec la couche P+ face arrière qui se prolonge le long des parois du composant, le MBS s'apparente à un IGBT dans le sens où sa conduction est bipolaire. La couche P+ permet d'injecter des trous et d'améliorer l'état passant en faisant chuter le R_{on}. Le courant I_{DS} peut donc s'écrire comme la somme d'un courant de trous et d'un courant d'électrons. Compte tenu de la différence de mobilité des

porteurs dans le silicium [14], il en résulte une inégalité des densités de courant dans le semi-conducteur. Ainsi la contribution des électrons au courant I_{DS} est elle supérieure à celle des trous dans un rapport deux. Une simulation sur une cellule de MBS en régime de conduction permet de constater que cela reste vrai pour le MBS (figure I.47). I_{DS} se décompose de la façon suivante :

$$I_{DS} = I_e + I_p \qquad \text{avec} \qquad \begin{cases} I_e = \frac{2}{3} \cdot I_{DS} \\ I_p = \frac{1}{3} \cdot I_{DS} \end{cases} \qquad \text{soit} \qquad \begin{cases} \frac{I_e}{I_{DS}} \approx 0{,}67 \\ \frac{I_p}{I_{DS}} \approx 0{,}33 \end{cases} \tag{I.30}$$

avec I_e : courant d'électrons,
I_p : courant de trous.

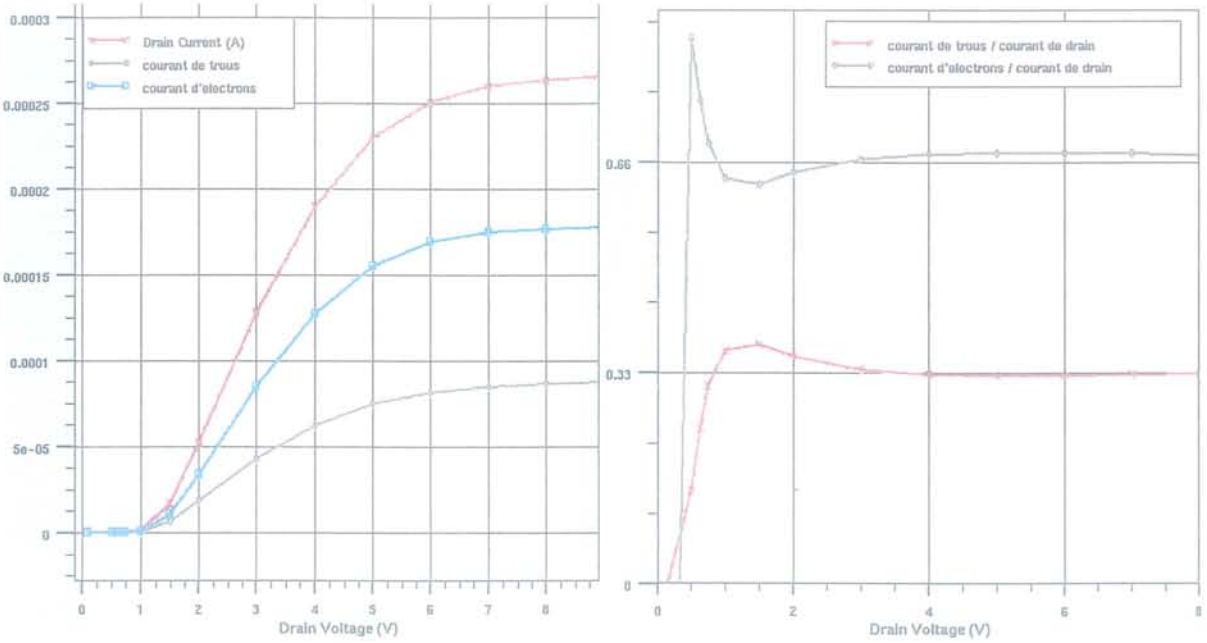


Figure I.47 : Contributions des courants de trous et d'électrons pour I_{DS}.

Cette décomposition est possible en simulation car on peut décomposer l'électrode de source en deux électrodes distinctes (Figure I.48) par lesquelles vont transiter I_{e-} et I_{p+}. Cela montre que les lignes de courant d'électrons et de trous n'empruntent pas le même chemin pour passer du drain à la source. On constate que les lignes de courant des porteurs majoritaires que sont les électrons se resserrent à l'approche de l'espace intercellulaire, se courbent en surface du silicium pour venir se concentrer dans le canal d'inversion. Le courant de trous lui ne passe pas par le canal d'inversion mais par le "coté" des îlots P+ de source, si bien que la courbure des lignes de courant est moins marquée. Les trajets des trous et des électrons sont différents dans la partie supérieure du composant de puissance, par conséquent la détermination de R_{accu} et de R_{canal} s'effectue différemment selon les types de courants. Ainsi R_{canal} n'est définie que vis à vis du courant d'électrons puisque le courant de trous ne transite pas dans le canal d'inversion. Quant à R_{accu}, qui traduit la courbure des lignes de courant, elle concerne essentiellement les lignes de courants qui viennent "se plaquer" sous l'oxyde de grille, et qui proviennent donc des porteurs majoritaires : les électrons.

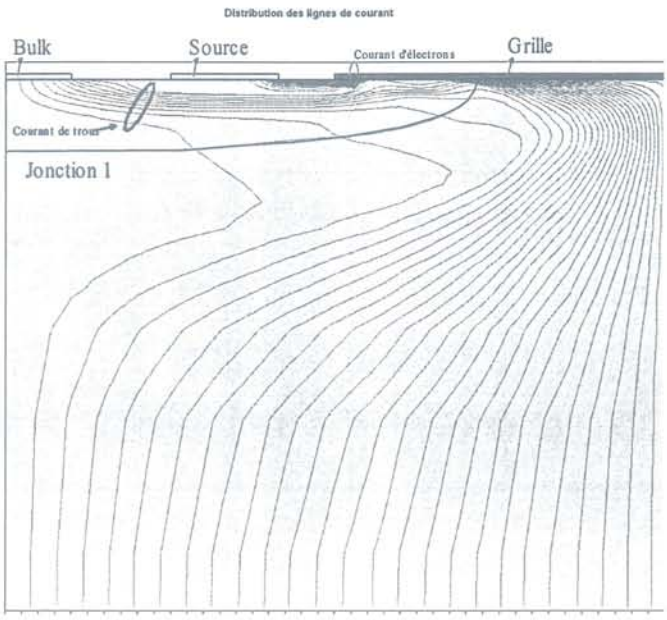


Figure I.48 : Distribution des lignes de courants dans le MBS.

Pour R_{jfet} et R_{drift} en revanche, il n'y a pas de différentiation selon qu'il s'agisse de courant à porteur majoritaires ou minoritaires. A travers ces deux résistances transite l'intégralité du courant drain-source I_{DS}. Cela permet de définir un système résistif (figure I.49), avec le courant correspondant, qui va générer des variations de potentiel sous l'oxyde de grille. Les résistances précédemment décrites sont toutes réparties dans le volume du semi-conducteur. Prenons par exemple le cas de R_{canal}. De nombreux ouvrages traitent de cette zone complexe qui permet la conduction des composants à grille isolée [15][16][17]. Le potentiel de cette zone d'inversion n'est pas constant le long du canal. De la même manière, la résistance d'accumulation R_{accu} est répartie sur la demi-région de l'espace intercellulaire. Elle tient compte d'un effet global de courbure de toutes les lignes de champ, même si elle est définie de manière discrète. Cela permet de définir un point de référence (v) pour le point de l'électrode de la capacité de grille C_G, même si le potentiel de silicium situé sous l'électrode de grille n'est pas uniforme (Annexe 4). Dans un souci d'une modélisation relativement simple, nous faisons l'hypothèse d'un potentiel uniforme en surface). Cela permet de compléter le modèle (figure I.49).

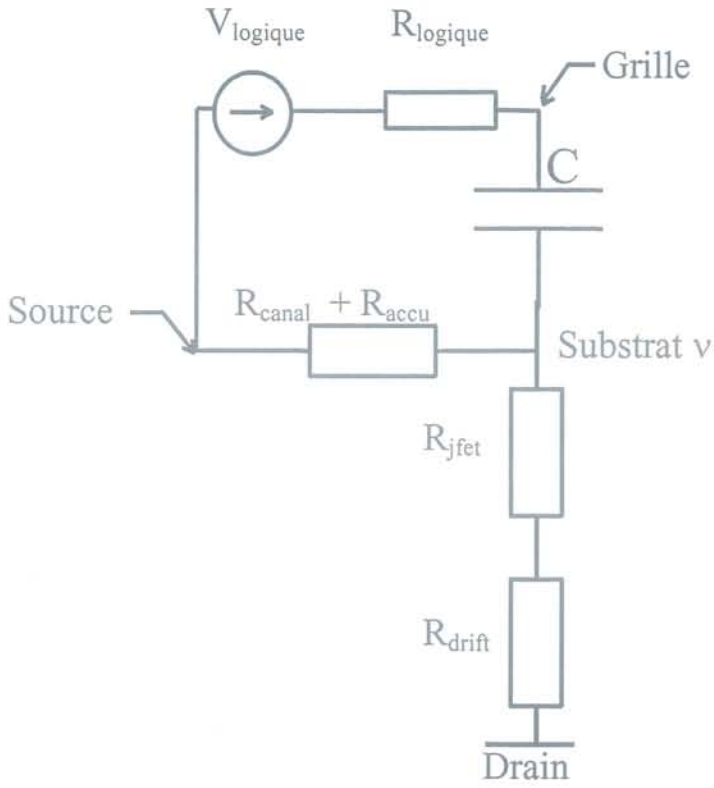


Figure I.49: Modélisation des perturbations en mode de conduction.

Où l'on a :

$$V_G = V_L - R_L\, i_G \tag{I.31}$$

et

$$i_G = C_G \frac{d(V_G - V_\upsilon)}{dt} \tag{I.32}$$

De plus avec le filtre passe-bas constitué par R_L et C_G, on obtient deux relations supplémentaires:

$$V_G - V_\upsilon = H\,(V_L - V_\upsilon) \text{ avec } H = \frac{1}{\sqrt{1+\left(\frac{f}{f_0}\right)^2}} \tag{I.33}$$

et

$$\text{déphasage } \varphi\,(V_{G\upsilon}\,;\, V_{L\upsilon}) = -\,\text{Arctan}\left(\frac{f}{f_0}\right) \tag{I.34}$$

On trouve alors que

$$V_G = V_L + \frac{R_L C_G}{\sqrt{1+\left(\frac{f}{f_0}\right)^2}} \frac{dV_\upsilon}{dt} \tag{I.35}$$

On obtient l'expression complète en remplaçant V_ν par l'expression :

$$V_\upsilon = (R\text{canal} + R\text{accu})\frac{2}{3} I_{on} \tag{I.36}$$

soit

$$V_G = V_L - \frac{2\left(R_{canal} + R_{accu}\right) R_L C_G \frac{dI_{on}}{dt}}{3\sqrt{1+\left(\frac{f}{f_0}\right)^2}} \qquad (I.37)$$

La dernière étape avant la validation du modèle est le calcul des résistances R_{canal} et R_{accu}.

I.2.4.2.4 Calcul de R_{canal} et R_{accu}

Une des spécificités des composants de puissance à grille isolée tient dans la façon dont est réalisée la zone de canal. Elle doit être à la fois courte pour minimiser la résistance à l'état passant, et de dopage relativement faible pour tenir la tension. C'est ainsi que s'est développée la technologie des canaux à double diffusion [5][18], permettant d'obtenir des longueurs de canal de 1 à 3 µm pour des tenues en tension de l'ordre du kilovolt. Le dopage le long du canal est alors graduel, et le calcul rigoureux de la résistance de canal soulève de nombreuses difficultés [19]. Aussi existe-t-il des modèles évolués de structures physiques (géométries et profils de dopages) qui donnent de bonnes approximations de la résistance d'un canal double diffusé [13]. On utilise ce modèle pour de fortes valeur de tension de grille. Cela permet de minimiser l'erreur commise sur la valeur de R_{canal}. Puis, à l'aide de relevés expérimentaux (figure I.50), on détermine l'augmentation ΔR_{canal} due à la tension de grille imposée par la logique (V_{GS} = 12 V).

Les caractéristiques $I_{DS}(V_{DS})$ de la figure I.50 sont effectuées sur plaque. Entre chaque points des courbes, la tension aux bornes du MBS est remise à zéro pendant un certain temps pour permettre au composant de revenir à la température ambiante. Cependant, pour une surface de puce de 5 mm², une épaisseur de silicium de 250 µm et une conductivité thermique du silicium comprise entre 0,7 et 1,5 W/(°C.cm), on trouve une résistance thermique R_{th} :

$$0{,}28\ (°C/W) < R_{th} < 0{,}6\ (°C/W)$$

Compte tenu de la puissance maximale dissipée dans le MBS lors des tests (3 W) et en négligeant la résistance thermique qui existe entre la face arrière de la plaque et le chuck, l'élévation de température du silicium est de l'ordre de deux degrés. Nous pouvons donc considérer que la température du composant est constante lors des mesures.

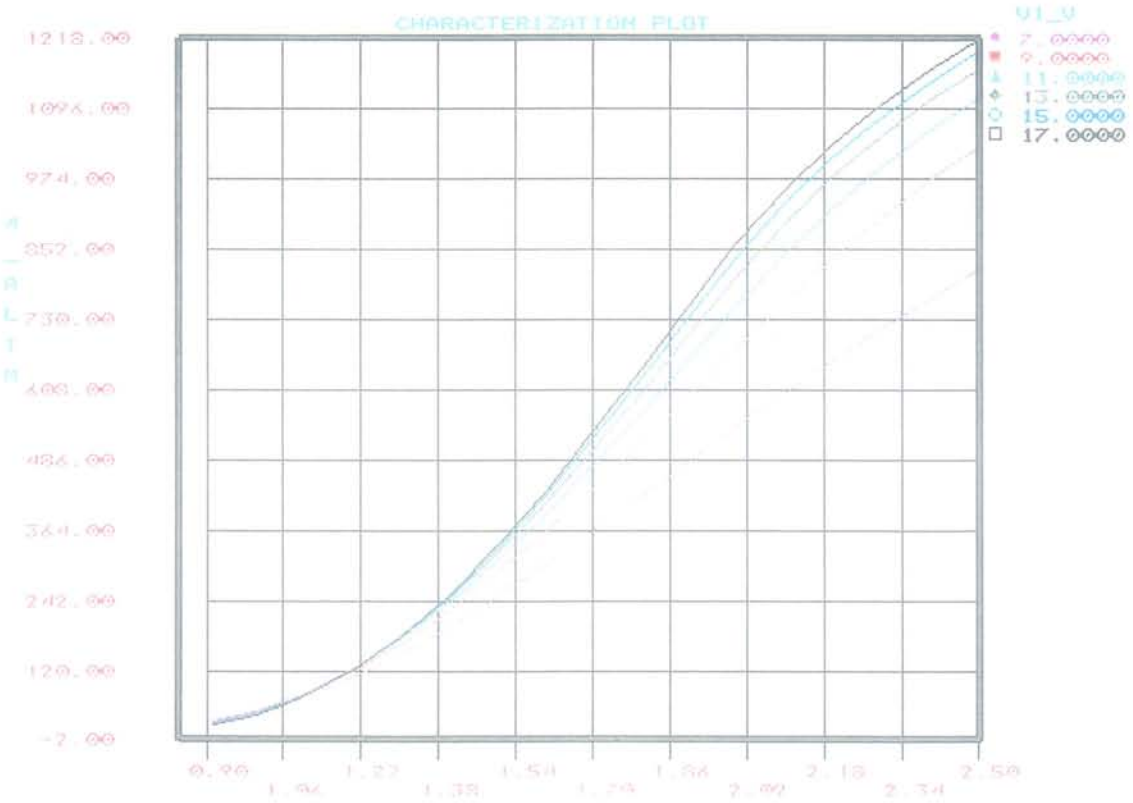


Figure I.50 : Caractéristique $I_{DS}(V_{DS})$ pour différents V_{GS}.

On a :

$$R_{canal} = \frac{1}{\left(W/L_{eff}\right) C_{ox}\mu_E(V_G)(V_G - V_{TE})} \tag{I.38}$$

avec

W	: largeur de canal
L_{eff}	: longueur de canal effective
C_0	: capacité d'oxyde de grille par unité de surface
$\mu_E(V_G)$	: mobilité des électrons de la couche d'inversion
V_{TE}	: tension de seuil du régime d'accumulation

$$\text{Soit à } V_{GS} = 17 \text{ V}, R_{canal} = 0{,}14\ \Omega \tag{I.39}$$

D'après le graphique de la figure I.50 la variation de résistance de canal lorsque V_{GS} varie de 17 V à 12 V vaut :

$$\Delta R_{canal}\ (17\text{ V} / 12\text{ V}) = 0{,}31\ \Omega \tag{I.40}$$

Des équations (I.11) et (I.12) on en déduit la résistance de canal à $V_{GS} = 12$ V:

$$R_{canal} = 0{,}45\Omega \tag{I.41}$$

Le calcul de la résistance d'accumulation R_{accu}, s'apparente à celui de la résistance de canal [13].

$$R_{accu} = \frac{1}{3}\frac{1}{\left(W/L_{eff}\right) C_0\mu_D(V_G)(V_G - V_{TD})} \tag{I.42}$$

Il apparaît par contre un coefficient 1/3 qui traduit la courbure des lignes de courant et le fait qu'il s'agisse de la résistance d'une structure distribuée. Pour les cellules de MBS cela donne :

$$R_{accu} = 0{,}07\ \Omega \tag{I.43}$$

Au final la potentiel de substrat V_v situé sous l'oxyde de grille est donc polarisée vis à vis de la source par une résistance :

$$R_{canal} + R_{accu} = 0{,}52\ \Omega \tag{I.44}$$

On possède désormais tous les éléments pour compléter le modèle et le valider.

I.2.4.2.5 Résultats

Les courbes d'ondes théoriques obtenues à l'aide de la formule (I.37) sont comparées figure I.51 avec les formes d'ondes expérimentales.

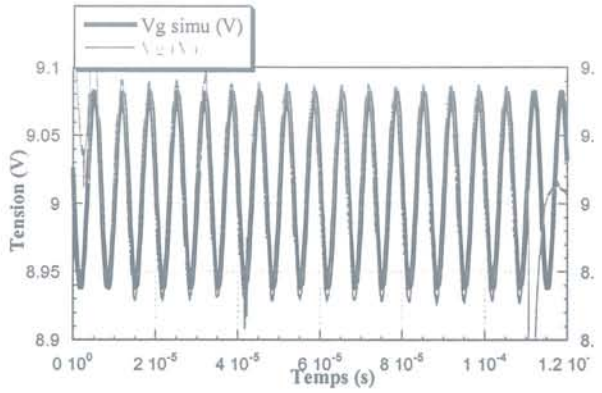


Figure I.51 : Comparaisons expérimentation / simulation.

On peut alors valider le modèle pour toute la phase de régime permanent en conduction, et conclure que les perturbations sont issues de l'électrode de grille et dirigées vers l'impédance de sortie de la logique. La connexion logique-puissance est l'unique chemin de propagation de ces perturbations. Cependant, même si le MBS ne commute pas, les commutations du Mos T1 (figure I.37) génèrent des transitoires, dont on ne tient pas compte dans cette partie, mais qui perturbent la tension de grille. Cela explique que les courbes issues de l'expérimentation et de la simulation ne coïncident pas parfaitement. Les graphiques de la figure I.52 permettent de comparer la courbe issue des mesures de perturbations à différentes fréquences, à celles que l'on a déterminées dans le modèle. On constate une bonne adéquation entre les différentes courbes ce qui laisse supposer que la détermination des paramètres du modèle est satisfaisante. Cependant, les valeurs de R_{canal} et R_{accu} sont certainement celles qui comportent le pourcentage d'erreur relative le plus important, ce qui peut expliquer certains écarts sur la figure I.52.

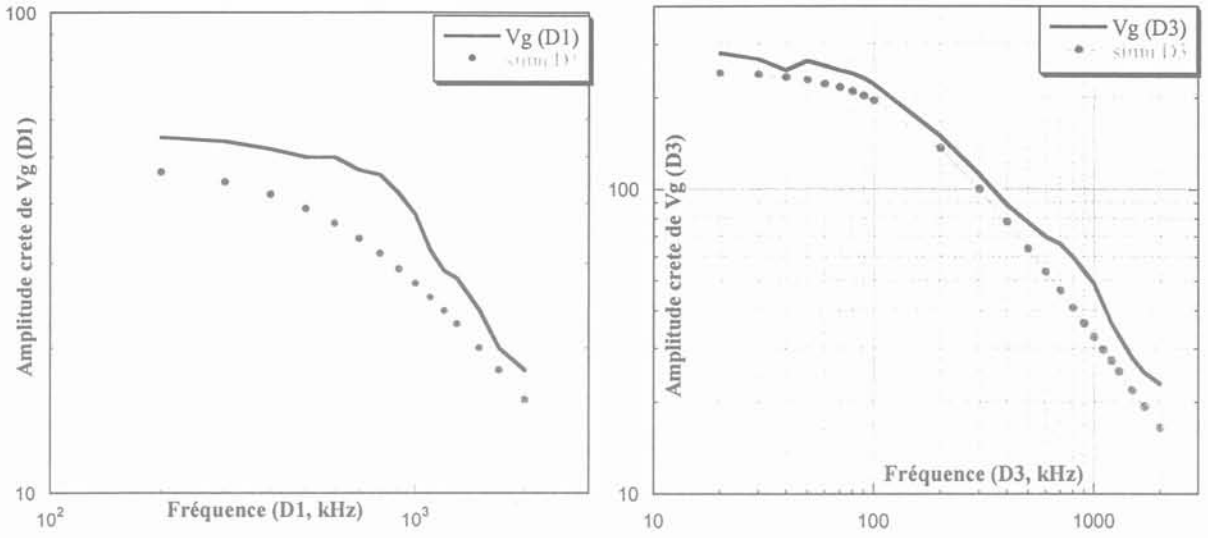


Figure I.52 : Niveaux de perturbations expérimentaux et simulés.

I.2.5 Conclusion

L'étude statique des interactions puissance commande de l'association monolithique d'un MBS et de sa commande intégrée a mis en évidence des perturbations. Celles ci se traduisent par des surtensions au niveau de la grille du composant qui peuvent entraîner la défaillance de l'étage de sortie de la logique, rendant incontrôlable le MBS. C'est pourquoi il était nécessaire de comprendre les phénomènes de génération de ces perturbations. Les modèles que nous avons proposés montrent que c'est le composant de puissance qui génère ses propres perturbations et qui crée un courant parasite qui perturbe la logique de commande via la connexion de grille. Les modèles développés ont été validés et nous amènent à conclure qu'en mode statique, il n'y a pas d'influence de la distance logique-puissance dans le domaine des valeurs expérimentales. On peut par conséquent envisager de rapprocher la partie logique de la partie puissance et diminuer ainsi la surface de silicium utilisée, et donc le prix de fabrication du composant monolithique. Il faut cependant attendre les conclusions de l'étude dynamique (chapitre II) pour savoir si le rapprochement de la logique du composant de puissance est compatible avec le bon fonctionnement de l'ensemble.

I.3 FILIERE COMPOSANTS DE PUISSANCE SUR SOI

La génération suivante de composants de puissance envisagée par STMicroelectronics et développée au LETI concerne des composants de type bipolaire destinés aux produits grand public connectés au réseau électrique. Ce sont donc avant tout des composants faibles coûts avec des caractéristiques peu contraignantes d'un point de vue des performances électriques (fréquence de fonctionnement : 50-60 Hz, tension nominale : 600 V, courant nominal : 2 A). Ils deviennent pour les fabricants d'électroménager de plus en plus attrayants grâce à leur potentialité : augmentation des fonctionnalités, meilleure gestion de l'énergie (Annexe 5, [20]) ; l'un des atouts majeurs de ces semiconducteurs vis à vis des systèmes mécaniques ou électromécaniques, est le gain de compacité qu'il est possible de réaliser.

L'intégration monolithique de composants de puissance (1 kVA) est un domaine en pleine effervescence [21][22][23][24]. Mais cela soulève le problème de l'isolation des différents composants pour éviter toute interaction [25][26][27]. C'est le but de cette nouvelle filière technologique où les dispositifs sont réalisés sur des substrats SOI (Silicon On Insulator), et où sont réalisées des tranchées profondes qui assurent une isolation de type diélectrique entre les différentes fonctions électriques.

I.3.1 Description de l'isolation

I.3.1.1 Le SOI

Les substrats SOI ne sont pas des produits nouveaux, ils sont utilisés depuis des années par les microélectroniciens. Ce sont des plaquettes de silicium qui possèdent un oxyde enterré (S_iO_2) qui réalise l'isolation électrique entre la partie inférieure de la plaquette (bulk) et la partie supérieure : le SOI (figure I.53). C'est dans le SOI que sont créés les composants qui nécessairement doivent avoir leurs connexions en face avant de la plaquette. La nouveauté, dans le cadre de l'électronique de puissance, réside dans l'épaisseur du SOI qui n'est plus de quelques dixièmes micromètres (typiquement 2000 Angström [28]) mais de quelques dizaines de micromètres [29]. Cela est imposé par les caractéristiques électriques des interrupteurs pour tenir des tensions de 600 V, et laisser s'épanouir et se courber les lignes de courants (2 A).

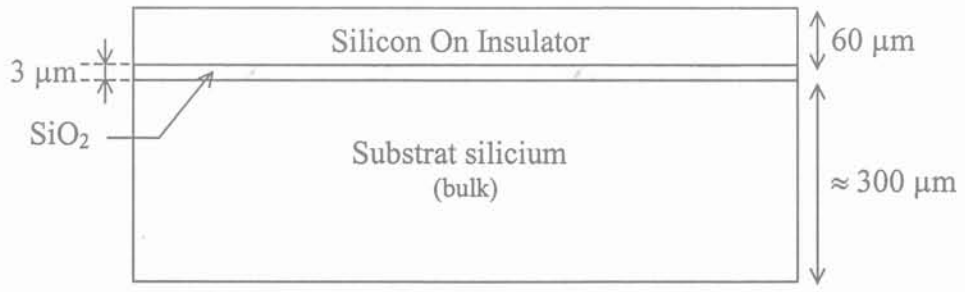


Figure I.53 : coupe schématique d'une plaque SOI.

I.3.1.2 L'isolation verticale

L'isolation électrique entre les composants haute tension de la couche supérieure (SOI) et le substrat sous-jacent s'effectue par l'oxyde enterré (figure I.54). Son épaisseur est de plusieurs micromètres. Dans le cadre des puces testées, l'épaisseur de l'oxyde enterré est de 3 µm. De plus une semelle fortement dopée de type N est réalisée dans le SOI au niveau de l'oxyde enterré.

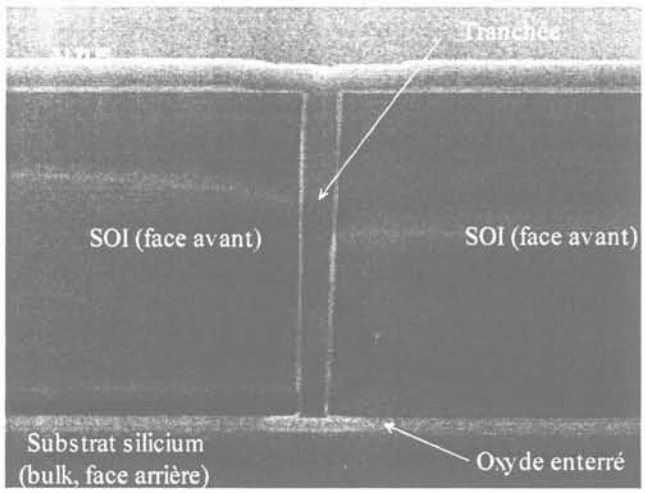


Figure I.54 : Photo MEB d'un substrat SOI processé, avec tranchée d'isolation.

I.3.1.3 L'isolation horizontale

Pour limiter les interactions entre les différentes fonctions électriques présentes sur le SOI, une isolation latérale est indispensable. Celle ci est accomplie par le biais de tranchées obtenues en gravant le silicium à la périphérie des composants (figure I.55). Les tranchées doivent atteindre la couche d'oxyde enterré afin d'assurer la réalisation de caissons entièrement isolés les uns des autres (figure I.56). Ensuite ces tranchées sont remplies, d'abord par de l'oxyde de silicium puis par du silicium polycristallin [30]. Par ailleurs les bords de tranchées sont dopés et constituent une couche N dopée qui rejoint la semelle enterrée. On forme de cette manière une couche de faible résistivité électrique tout autour du caisson et dont le but est de s'affranchir des effets de potentiel induit à travers l'oxyde enterré (ou à travers les tranchées). On anticipe déjà d'éventuelles perturbations en formant une couche protectrice qui est sensée collecter les perturbations. Le point clé de cette technologie SOI développée au LETI réside dans un procédé technologique sans perte de rendement et/ou de performances au niveau des produits finis.

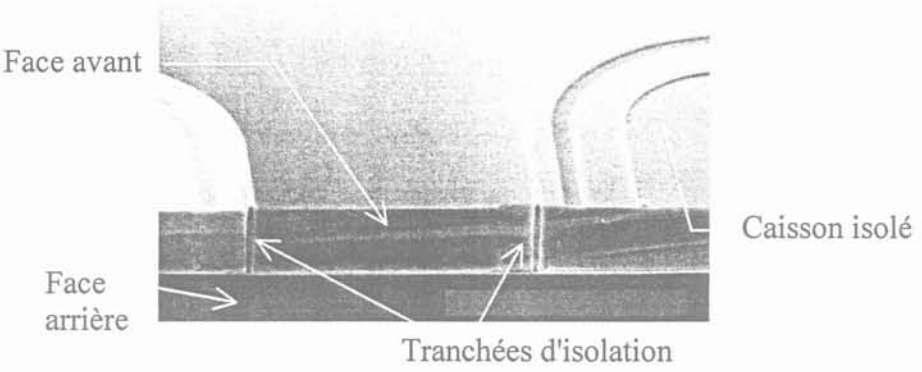


Figure I.55 : Réalisation des tranchées d'isolation.

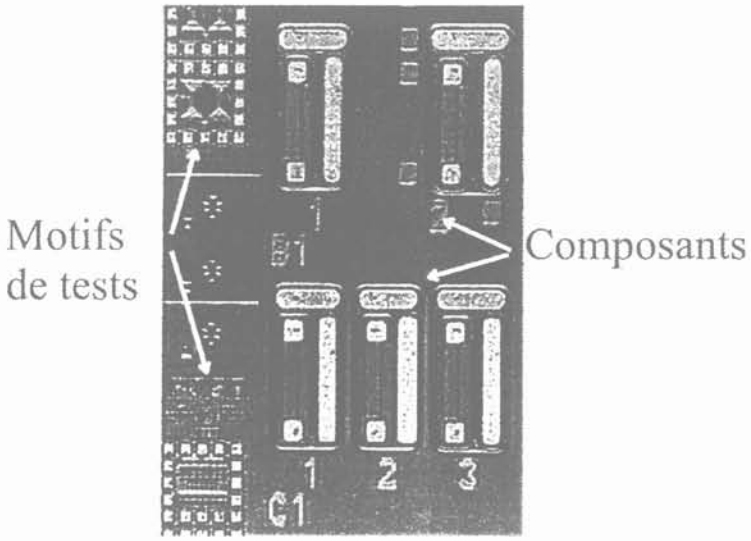


Figure I.56 : Composants isolés les uns des autres.

I.3.2 Les composants

Les composants réalisés dans cette technologie sont tous de type bipolaire. De nombreuses variantes étaient disponibles quant aux caractéristiques électriques des composants, de l'écartement des caissons d'isolation, etc. Le choix s'est porté sur les puces dont le motif est présenté figure I.56. On y distingue cinq composants ainsi que des motifs de tests. Dans chacun des caissons se trouve un thyristor, et sur chacun de ces dispositifs, quatre électrodes peuvent être connectées : l'anode (A), la gâchette d'anode (GA), la gâchette de cathode (GK) et la cathode (K) (figure I.57). Le nombre de contacts à sortir est donc relativement important et incompatible avec des boîtiers d'électronique de puissance. La configuration minimale requiert 10 connexions (2 thyristors et les contacts face avant et face arrière). On utilise le même boîtier que pour l'étude d'ASD3, ce qui laisse deux sorties disponibles où l'on connecte la gâchette d'anode de deux autres thyristors (figure I.58).

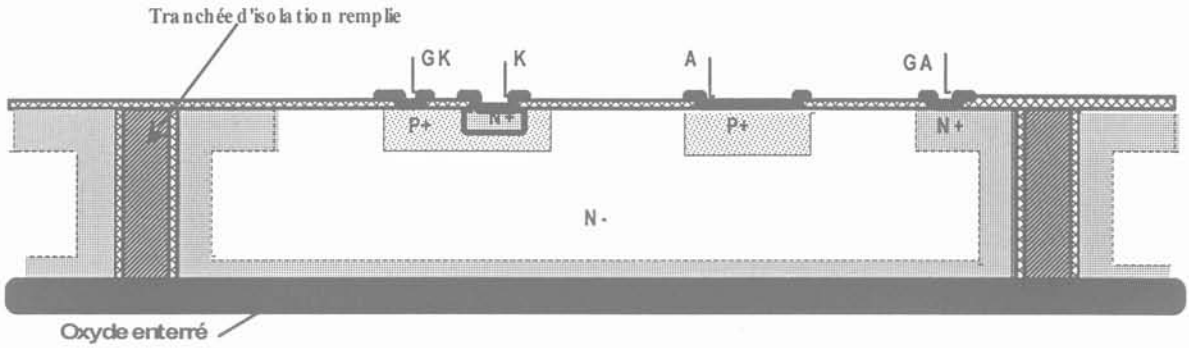


Figure I.57 : Coupe simplifiée des dispositifs.

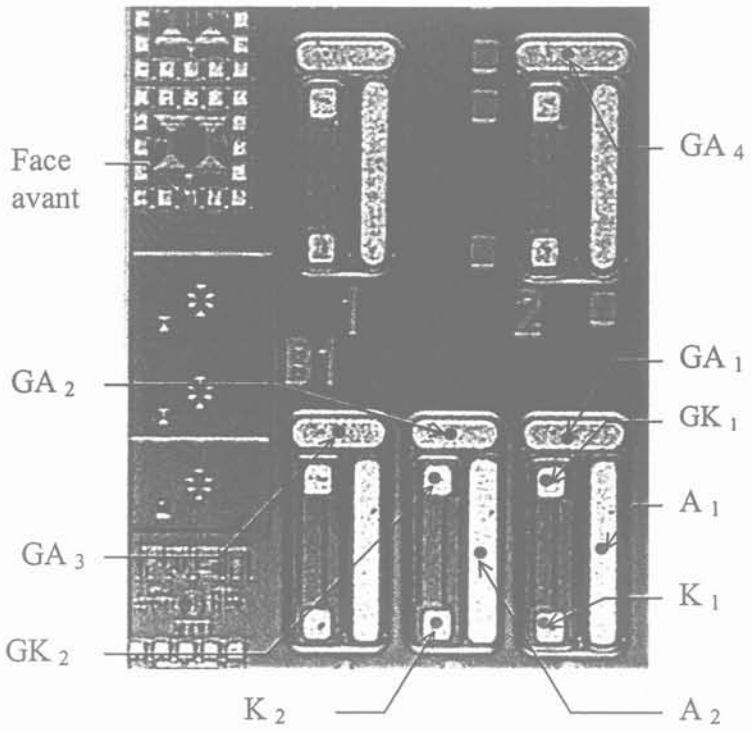


Figure I.58 : Schéma de câblage de la puce.

L'évacuation des pertes générées lors du fonctionnement des composants sur SOI s'effectue par la face arrière. Le flux de chaleur traverse donc la couche d'oxyde enterré qui possède une conductivité thermique cent fois moins élevée que celle du silicium. La résistance thermique entre le composant et le boîtier est donc accrue (par rapport à un même composant sur silicium massif), ce qui limite les capacités thermiques, et donc électriques, de ces composants [31][32]. Ainsi la puissance dissipable par le boîtier ne doit pas d'excéder quelques watts.

La face arrière de la puce est brasée sur le boîtier de façon à pouvoir y imposer un potentiel et étudier l'influence de la polarisation face arrière. De la même manière la face avant est reliée à une patte du boîtier via un motif de test qui est connecté au dopage de fond N+. De cette manière on peut imposer un potentiel à la face avant.

En ce qui concerne les caractéristiques électriques des thyristors, ceux ci possèdent une tension d'avalanche de 400 V pour un courant nominal de 2 A. Leur courant de déclenchement et d'accrochage [33], se situent autour du milliampère. Ce sont des composants

très sensibles, qui ne nécessitent pas de grandes quantités de charges pour leur mise en conduction, et dont l'extinction ne peut s'effectuer qu'avec une polarisation négative ($V_{AK} < 0$ V) pendant un temps de maintien minimum. Ces faibles valeurs de courant (de maintien et d'accrochage) se retrouvent dans tous les autres thyristors réalisés ; l'objectif étant un contrôle peu énergétique de ces composants en vue de leur insertion dans des systèmes électroménagers à consommation électrique limitée. Ce faisant, ces dispositifs ont une sensibilité aux perturbations qui est accrue puisqu'en cas de déclenchement parasite, une très faible polarisation suffit à les maintenir en conduction. Il est donc nécessaire de s'assurer que les caissons d'isolation remplissent parfaitement leur fonction et que des composants de puissance peuvent fonctionner les uns à coté des autres sans interagir.

I.3.3 Schéma équivalent capacitif

Les tranchées qui entourent les composants ainsi que la couche d'oxyde enterré créent une isolation de type diélectrique. Ainsi en surface d'une même puce, des potentiels variés peuvent être appliqués à différents endroits. Ces différentes isolations ont un comportement capacitif que nous allons étudier dans la suite.

I.3.3.1 Caractéristiques statiques

Sur un échantillon de 400 motifs de tests, on détermine la tenue en tension des tranchées. Cette mesure sur plaque s'effectue en positionnant les pointes de tests de part et d'autre d'une tranchée d'isolation, et en appliquant une tension continue. En augmentant progressivement sa valeur, on atteint la tension de claquage de la tranchée (V_{br}) qui correspond à l'apparition du champ de claquage de l'oxyde de silicium. Il se produit alors le perçage de l'oxyde, et une fusion locale du silicium (figure I.59). L'isolation entre les deux caissons n'existe plus. C'est un phénomène irréversible qui peut survenir lors de la commutation des composants, où des surtensions sont générées par des dI/dt. Les caractéristiques statiques des tranchées sont ainsi reportées sur la figure I.60.

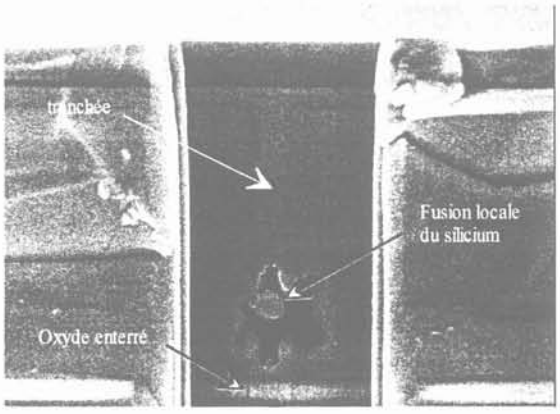


Figure I.59 : Visualisation de la fusion locale du silicium après claquage d'une tranchée.

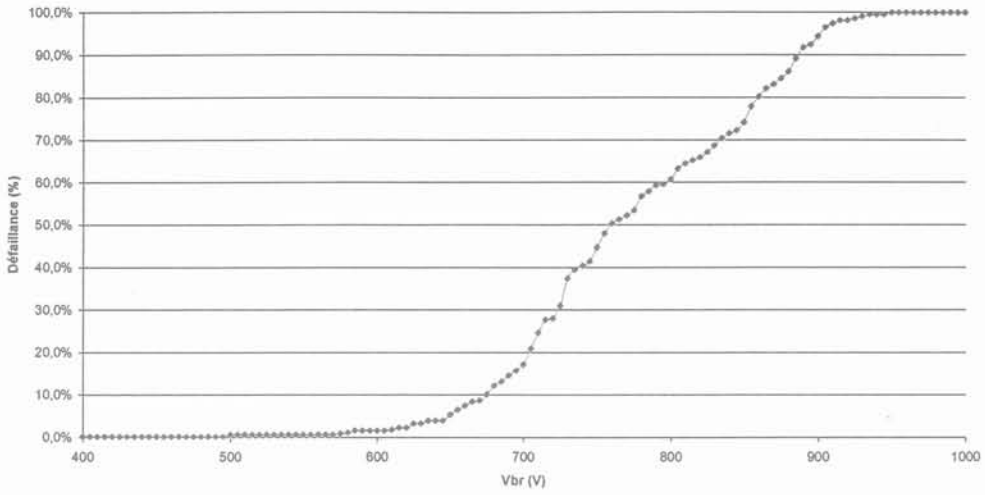


Figure I.60 : Tension de claquage des tranchées.

Une différence de potentiel de 600 V continue peut donc être appliquée entre un caisson et la face avant sans craindre d'endommager les tranchées. Néanmoins il existe un courant de fuite dû aux charges présentes dans les divers oxydes de la structure. Une mesure de ce courant de fuite a été effectuée (figure I.61). L'impédance qui s'en déduit est de 170 GΩ, et témoigne de la bonne isolation statique des caissons qui sont réellement isolés les uns des autres.

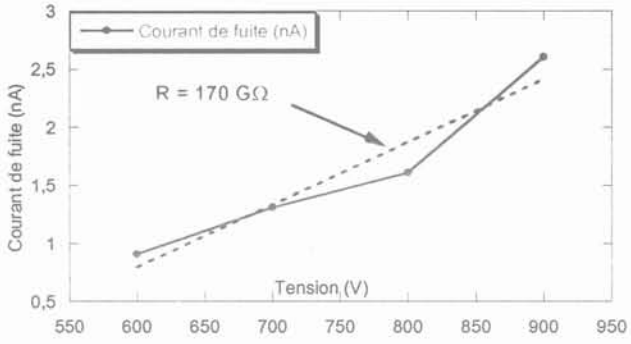


Figure I.61 : Mesure du courant de fuite d'une tranchée.

I.3.3.2 Caractéristiques dynamiques

Chaque paroi de tranchée peut s'assimiler à une capacité (figure I.62), et il en va de même pour l'oxyde enterré.

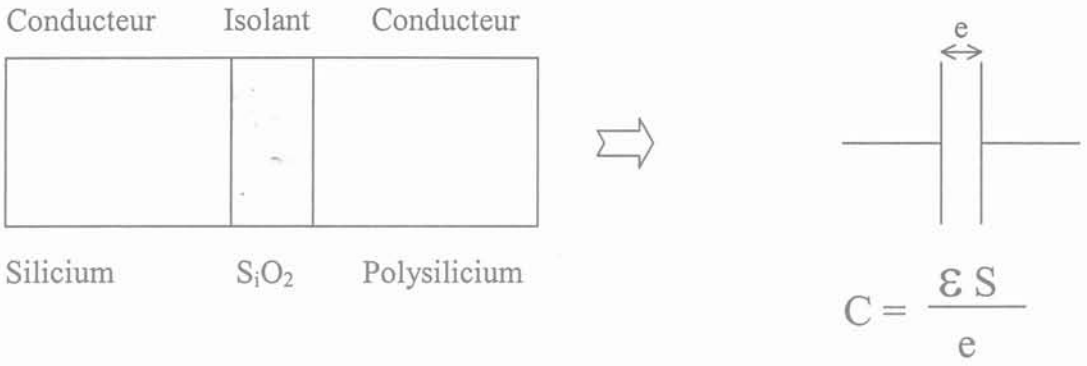


Figure I.62 : Modélisation capacitive d'une tranchée.

Entre deux caissons d'isolation, il existe donc un système capacitif qui va être activé dès qu'un des potentiels présents sur la puce variera. Il est nécessaire alors de caractériser ce système qui va être à l'origine de perturbations. La figure I.63 décrit le couplage capacitif existant entre deux caissons. Il est symétrique (dans la mesure où les caissons sont identiques), et fait intervenir trois capacités :

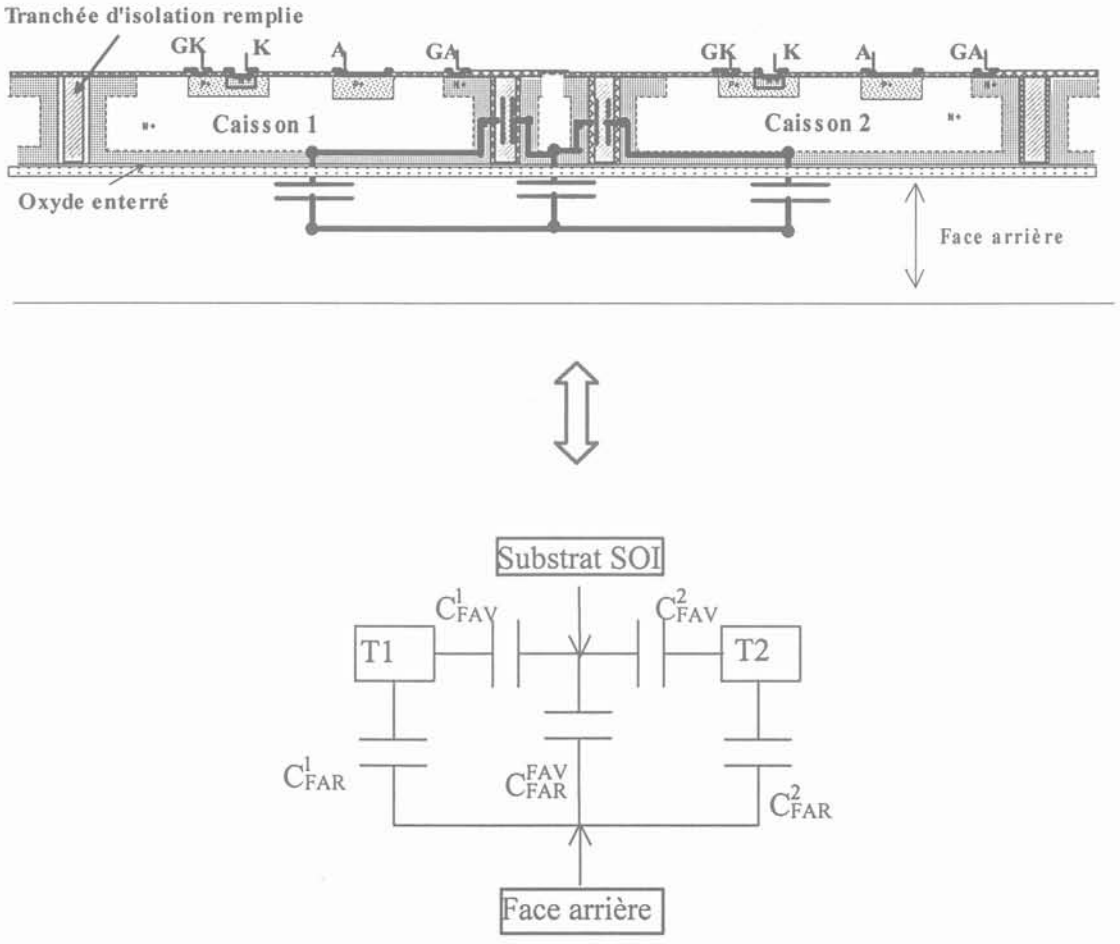


Figure I.63 : Couplage capacitif entre deux caissons.

C_{FAR}^{FAV} : est la capacité entre la face avant et la face arrière de la puce. Compte tenu de la grande épaisseur de l'oxyde enterré, sa valeur surfacique est relativement faible, mais elle est contrebalancée par des surfaces en regard entre face avant et face arrière très importantes. Le calcul de la capacité surfacique C_{ox} donne :

$$C_{ox} = \frac{\varepsilon_0 \varepsilon_r}{e} = 11{,}5\ pF / mm^2 \qquad (I.45)$$

La détermination expérimentale de la capacité par C(V) (test réalisé sous pointe avec un capacimètre) est donnée figure I.64.

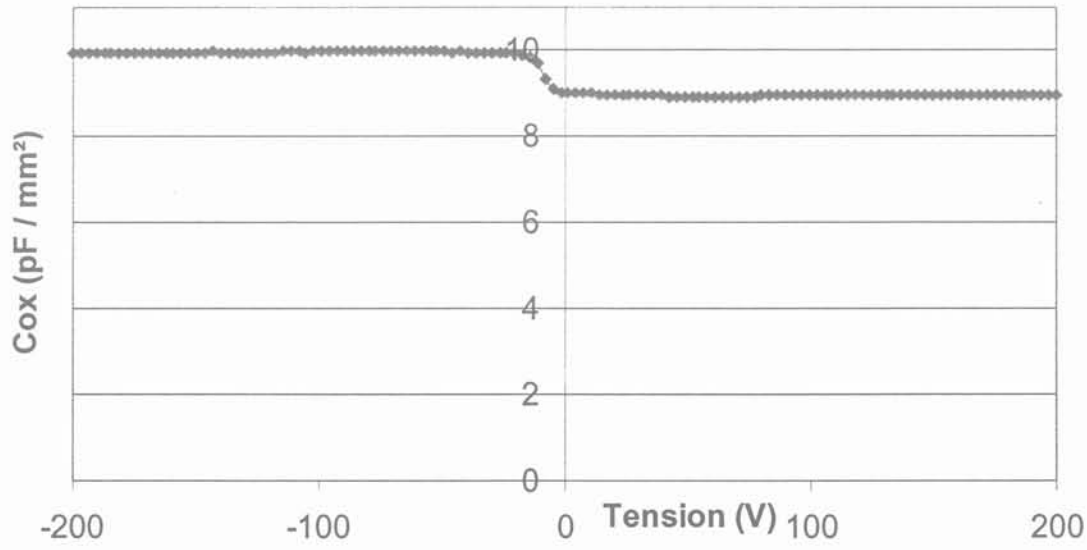


Figure I.64 : Caractéristique C(V) de C_{FAR}^{FAV}.

On note une différence de 13% entre le calcul et la détermination expérimentale. La source d'erreur est double. Tout d'abord l'épaisseur de l'oxyde enterré n'est pas déterminée de manière très précise. Ensuite, l'estimation de la valeur de la surface en regard entre la face avant et la face arrière (S_{FAR}^{FAV}) s'effectue en considérant toute la surface de la puce diminuée de celles des caissons (qui est déterminée) et de celle des motifs de tests (situés en bordure gauche de la puce sur la figure I.58), et dont l'influence sur les tests électriques est difficile à appréhender.

Capacité C_{FAR}^{I} : il s'agit de la capacité entre le caisson et la face arrière de la puce. Le C_{ox} reste le même que précédemment (figure I.64), seule change la surface en regard de la face arrière, et qui est la superficie du caisson. A noter qu'au niveau du caisson, c'est le dopage N+ de la semelle qui fait office d'électrode, ce qui, ramené au niveau du dispositif électrique, correspond à la zone de gâchette d'anode.

Capacité C_{FAV}^{I} : il s'agit de la capacité entre la caisson et la face avant de la puce (le SOI). La valeur du C_{ox} augmente puisque l'épaisseur de l'oxyde d'isolation des tranchées est plus faible ($\approx$ 8000 Å). Mais les surfaces en regard sont minimes (60 µm du SOI x périphérie du caisson). Par ailleurs il s'agit d'une modélisation simplifiée de C_{FAV}^{I} puisqu'en toute rigueur on a deux capacités en série (figure I.65). On ne considère qu'une seule capacité équivalente de C_{ox} en ajoutant les deux épaisseurs d'oxyde :

$$C_{ox} = \frac{\varepsilon_0 \varepsilon_r}{2\,e} = 21{,}5\ \text{pF / mm}^2 \qquad \text{(I.46)}$$

La détermination expérimentale (test sous pointe avec un capacimètre) de la capacité C^1_{FAV} confirme le bien fondé de l'hypothèse précédente (figure I.66). A noter dans ce cas également que c'est le dopage N+ de flanc de tranchée qui joue le rôle d'une des électrodes, ce qui correspond à la zone de gâchette d'anode.

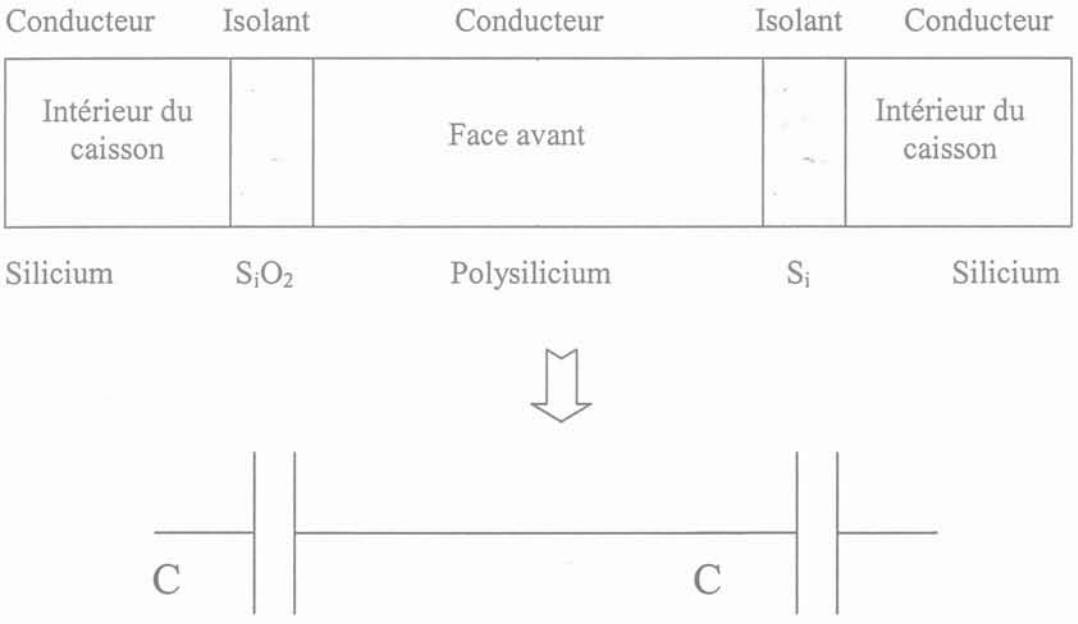


Figure I.65 : Modélisation des capacités de tranchée.

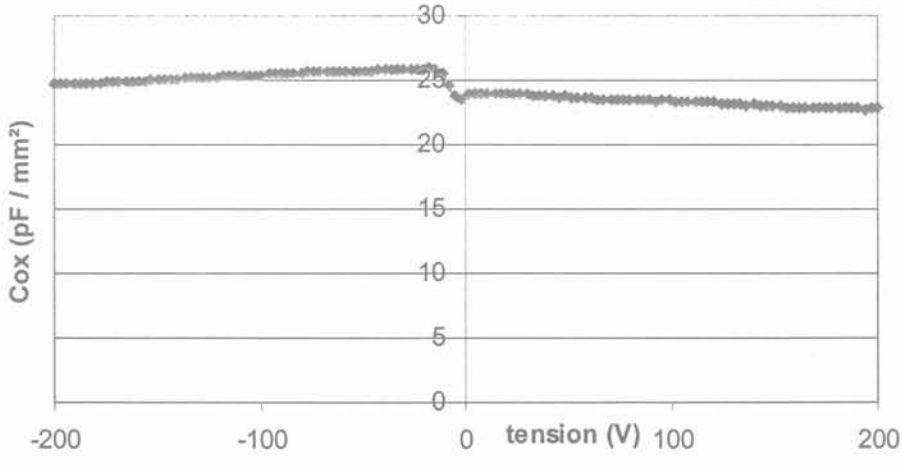


Figure I.66 : Caractéristique C(V) de la capacité C^1_{FAV}.

Dans ce cas aussi la source d'erreur (14%) entre la mesure et les calculs est double. Lors de la mesure de la capacité surfacique de C^1_{FAV}, un potentiel nul est imposé à la face arrière pour supprimer l'influence de C^1_{FAR} et C^{FAV}_{FAR}. Mais les autres caissons restent flottants, et on ne sait pas a priori si l'application d'un potentiel fixe en face arrière supprime toute interaction entre deux caissons. Par ailleurs, l'épaisseur de l'oxyde à l'intérieur des tranchées

n'est pas déterminée de manière exacte, et l'incertitude est multipliée par deux lors du calcul de la capacité équivalente.

Désormais on connaît les caractéristiques du système capacitif qui relie deux caissons. Les grandeurs qui seront utilisées par la suite dans le modèle capacitif sont celles issues des tests électriques.

I.3.4 Mode bloqué, mode de conduction

On l'a vu dans le paragraphe précédent, les tranchées d'isolation remplissent parfaitement leur rôle en statique ; le courant de fuite entre caisson est très faible (figure I.60). Par conséquent, seul le système capacitif défini précédemment est capable de transmettre des perturbations, et pour l'activer il est nécessaire d'avoir en un point du système un dV/dt. On peut alors envisager de bloquer un thyristor, de lui appliquer une tension alternative à ses bornes et d'observer le comportement des autres composants. Par analogie avec la caractérisation du MBS et de sa logique de commande en mode de conduction, on peut envisager une expérimentation similaire. Cependant, sachant par avance que l'effet perturbateur recherché est une variation de potentiel (dV/dt), les ondulations de courant que l'on génèrera dans ce dernier cas, serviront à produire des dV/dt dans le substrat du thyristor T1 (région de gâchette d'anode). Il est donc inutile de séparer l'étude du mode bloqué de celle du mode de conduction. Dans ces conditions, il faut appliquer une tension V_{AK1} alternative aux bornes de T1. Un rapide calcul nous permet de déterminer l'ordre de grandeur des dV/dt à appliquer pour pouvoir observer des perturbations sur les autres composants. Puisque le courant de déclenchement i_H des thyristors est de 1 mA, on va considérer que les dV_{AK1}/dt doivent générer des courants capacitifs de cet ordre. La capacité équivalente entre deux caissons se déduit du modèle présenté figure I.63 et des caractérisations électriques des tranchées (figures I.64 et I.66) : $C_2^1 = 8$ pF, et donc

$$\frac{dV_{AK}}{dt} > \frac{i_H}{C_2^1} \quad \text{soit} \quad \frac{dV_{AK}}{dt} > 120 \text{ V/µs} \tag{I.47}$$

Si on utilise un signal de 10 V crête, ce dV/dt représente une fréquence supérieure à 3 MHz. Compte tenu des inconvénients dus au nombre de sorties du boîtier, il est difficile à cette fréquence d'assurer un découplage efficace de tous les points de mesures (d'autres problèmes de mesures seront abordés ultérieurement au chapitre II). Utiliser un signal externe, ramené sur la carte de tests, va ajouter des perturbations supplémentaires, elles aussi de type capacitif. La méthode finalement retenue pour obtenir un niveau de dV/dt suffisant est d'utiliser la commutation du thyristor. En effet les dV/dt engendrés sont de 350 V/µs (figure I.67). L'étude des perturbations va donc se faire en dynamique et sera présentée au chapitre suivant.

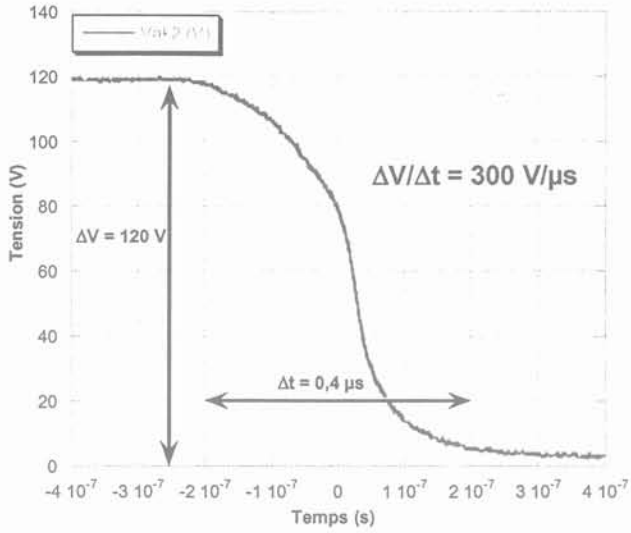


Figure I.67 : Commutation du thyristor T2.

I.4 CONCLUSION

L'étude statique des composants effectuée au cours de ce chapitre met en évidence l'existence d'interactions susceptibles de créer des perturbations. Dans le cadre de l'étude faite au paragraphe I.2 (MBS et logique intégrée), l'isolation assurée par la jonction PN n'est pas mise en défaut puisque les mesures et les modèles développés mettent en cause la connexion de grille comme chemin de propagation des perturbations. Le travail de caractérisation des éléments qui interviennent dans la génération de ces perturbations permettra une optimisation des conditions de fonctionnement de ce type de composant (chapitre II). En ce qui concerne les composants sur SOI (traités au paragraphe I.3), de par la conception des caissons d'isolation, il existe un couplage capacitif entre tous les interrupteurs de la puce. Le chapitre suivant va permettre de caractériser le niveau de ces perturbations, et de le comparer aux résultats du modèle établi au chapitre I. Il va également être l'occasion de tester l'isolation fournie par une jonction PN polarisée en inverse lorsque le potentiel de substrat subit de brusques variations, suite aux commutations du MBS.

I.5 REFERENCES BIBLIOGRAPHIQUES DU PREMIER CHAPITRE

[1] M. Roy, L. Gonthier, C. Anceau, B. Giffard, *"The MBS (Mos Bidirectional Switch), a new MOS switch with reverse blocking voltage"*, Proceedings of the 8th European Conference on Power Electronics and Applications (EPE), Lausanne, 1999.

[2] O. Causse, P. Austin, J. L. Sanchez, G. Bonnet, E. Scheid, *"Achievement of a new peripheral planar structure supporting a symmetrical blocking voltage"*, Proceedings of the 9th European Conference on Power Electronics and Applications (EPE), Graz, 2001.

[3] C. Larouci, *"Apport d'un composant à grille isolée bidirectionnel en tension dans les convertisseurs raccordés au réseau"*, EPF'2000, Grenoble, pp 201-205.

[4] R. Ferragut, D. Magnon, J. C. Lebunetel, L. Gonthier, *"Understanding MBS turn-on behaviour in light dimmer applications"*, Proceedings of the 9th European Conference on Power Electronics and Applications (EPE), Graz, 2001.

[5] J. Arnould, P. Merle, *"Dispositifs de l'électronique de puissance"*, Hermes, 1992.

[6] L. A. Glasser, D. W. Dobberpuhl, *"The design and analysis of VLSI circuits"*, Addison-Wesley Publishing Compagny, 1985.

[7] S. M. Sze,*"Physics of semiconductor devices"*, Second Edition, Whiley-interscience publication, John Whiley & sons, 1981.

[8] H. Mathieu, *"Physique des semiconducteurs et des composants électroniques"*, Masson, 1987.

[9] L. Aubard, *"Modélisation des transistors MOS de puissance pour l'électronique de commutation"*, Thèse de doctorat de l'INPG, Grenoble, janvier 1999.

[10] Ngo Le Thuy, *"Optimisation et réalisation d'une périphérie planar haute tension à poche"*, Thèse de doctorat de l'INPG, Grenoble, novembre 1997.

(11) P. Mourick, "Power semiconductor component with reduced Miller capacity such as IGBT or MOSFET in current rectifier, half bridges, and switches", Brevet, Semikron Electronik, fevrier 1999.

[12] L. Brush, C. Kocon, J. Zeng, "Trench gated power device with epitaxially grown walls", Brevet, Intersil Corporation, mai 1999.

[13] S.C. Sun, J.D. Plummer, *"Modeling of the on-resistance of LDMOS, VDMOS, and VMOS power transistor"*, IEEE Transactions on Electron Device, Vol. 27, N°2, February 1980, pp 356-367.

[14] M. N. Darwish, J. L. Lentz, M. R. Pinto, P. M. Zeitzoff, T. J. Krutzick, H. H. Vuong, *"An improved electron and hole mobility model for general purpose device simulation"*, IEEE Transactions on Electron Devices, Vol. 44, No.9, september 1997, pp 1529-1537.

[15] C. Tsai, D. E. Burk, K. D. T. Ngo, *"Physical modelling of the power VDMOST for computer-aided design of integrated circuit"*, IEEE Transactions on Electron Devices, Vol. 44, No.3, march 1997, pp 472-479.

[16] A. Kumar, E. Kalra, S. Haldar, R. S. Gupta, *"A new analytical model to determine the drain-source series resistance of fold MOSFET"*, Semicond. Sci. Technol. 14 (1999), pp 489-495.

[17] D. Bauza, G. Ghibaudo, *"MOSFET parameter extraction from static, dynamic and transient current measurements"*, Microelectronics Journal, 25 (1994), pp 41-61.

[18] D. Pantic, Z. Prijic, Z. Pavlovic, *"Process design and optimisation of the channel doping profile in power VDMOSFETs"*, Microelectronics Journal, 27 (1996), pp 191-200.

[19] J. Kim, B. Kim, *"Analytical model for the DC drain current-voltage relationship in double-diffused channel of DMOS transistor"*, Semicond. Sci. Technol. 14 (1999), pp 130-137.

[20] E. Humbert, *"L' "intégré" va remplacé le triac"*, Electronic International Hebdo, 1er avril 1999, N° 343, pp 16.

[21] S. Abedinpour, M. Trivedi, K.Shenai, *"DC-DC power converter for monolithic implementation"*, Proceedings 2000 IEEE Industry Applications Society Conference, Rome, October.

[22] M. Sweet, C.K. Ngw, O. Spulber, J. V. L. Ngwendson, K. V. Vershinin, S.C. Bose, M. M. De Souza, E. M. S. Narayanan, "Monolithic integration of a high-performance clustered insulated gate bipolar transistor with low-voltage components to form 3 kV intelligent power chip", Microelectronics Journal 32 (2001), pp 527-536.

[23] A. Torres, G. Di Stefano, L. Fragapane, A. Alessandria, *"A fully protected monolithic smart IGBT developed with a standart technology"*, PCIM'99, proceedings of the International Power Conversion Conference and Intelligent Motion, pp 79-83.

[24] S. Hardikar, M; M. De Souza, E. M. S. Narayanan, *"1200V fully implanted JI technology"*, Electronics letters, vol.38 No.18, august 2000, pp 1587-1589.

[25] D. Chauvet, F. Calmon, C. Gontrand, "L'intégration de puissance : l'origine des effets parasites induits par un transistor bipolaire à grille isolée sur sa logique de commande et de protection", Semiconductor Science and Technology, Vol.13 No.10, october 1998, pp 11931204.

[26] R. M. Secareanu, I. S. Kourtev, J. Becerra, T. E. Watrobski, C. Morton, W. Staub, T. Tellier, E. G. Friedman, *"The behaviour of digital circuits under substrate noise in a mixed signal smart power environment"*, Proceedings 1997 International Symposium on Power Semiconductor Devices & Ics (ISPSD), pp 253-256.

[27] N. Nolhier, G. Charitat, D. Zerrouk, P. Rossel, *"Self-shielded high voltage SOI structures for HVIC's"*, IEEE International Semiconductor Conference. 19th Edition, 1996, New York, Vol. 1, pp 267-270.

[28] J. P. Colinge, *"Silicon on insulator technology, materials to VLSI"*, Second Edition, septembre 1997, Kluwer Academie Publishers, Boston.

[29] A. Dartigues, L. Clavelier, C. Buj, B. Charlet, P. Gidon, B. Giffard, S. Gimonet, M. Roy, C. Schaeffer, *"600 V bipolar power devices on thick SOI"*, Proceedings of the 31th European Solid-State Device Research Conference, Nuremberg, Septembre 2001, pp 395-398.

[30] B. Giffard, B. Charlet, *"Réalisation de thyristors intégrés 600V bidirectionels en tension et en courant en technologie SOI"*, EPF'2000, Lille, pp 195-198.

[31] C. Schaeffer, *"Analyse des comportements électrique et thermique des interrupteurs de puissance IGBT à technologie hybride"*, Thèse de doctorat de l'INPG, Grenoble, janvier 1992.

[32] C. Gillot, C. Schaeffer, R. Perret, C. Massit, L. Meysenc, *"Doubles-side cooling for high power IGBT modules using flip chip technology"*, Proceedings 2000 IEEE Industry Applications Society Conference, Rome, October.

[33] P. Leturcq, *"Composants semiconducteurs de puissance bipolaires"*, Les Techniques de l'Ingénieur, vol. D4, D3 106 et D3 107.

Chapitre II
Etude dynamique des interactions

CHAPITRE II : ETUDE DYNAMIQUE DES INTERACTIONS

II.1 INTRODUCTION

Ce chapitre est consacré à la caractérisation dynamique des interactions puissance-commande et puissance-puissance. Contrairement au chapitre précédent, où l'on imposait aux composants de puissance des contraintes électriques (tension, courant), désormais, c'est l'interrupteur de puissance qui va générer les contraintes en terme de dV/dt et dI/dt, qui seront susceptibles de venir perturber les autres composants de la puce de silicium. Ainsi dans une première partie, nous mettrons en évidence l'interaction puissance-commande entre le MBS et sa commande intégrée en régime transitoire. Nous déterminerons l'origine des phénomènes observés, avec notamment l'influence de la distance puissance-logique. Ensuite, nous étudierons, au moyen d'une modélisation capacitive, les perturbations engendrées par la commutation d'un thyristor. Nous analyserons les conditions de ce phénomène, pour dans un troisième temps faire un parallèle entre les deux filières étudiées. Nous essayerons de mettre en avant les avantages de chacune des filières, avec toutes les précautions qui s'imposent lorsque l'on veut comparer des dispositifs qui diffèrent à la fois par leurs fonctionnalités et par leurs caractéristiques électriques.

II.2 FILIERE COMPOSANT REVERSIBLE EN TENSION ET COMMANDE INTEGREE

II.2.1 Description de l'étude transitoire

II.2.1.1 Banc expérimental

Cette partie concerne le comportement de l'association monolithique MBS + logique de commande lorsque le composant de puissance commute. L'étude de la commutation d'un composant de puissance ne peut se faire de manière disjointe de l'autre interrupteur qui constitue la cellule de commutation [1]. Nous avons choisi dans notre cas, d'insérer le MBS dans une structure hacheur classique qui permet l'étude des deux commutations forcées. En effet, le fonctionnement en commutation naturelle d'un semiconducteur est conditionné par des éléments passifs dimensionnés pour un type de convertisseur et une plage d'utilisation bien précise. Le comportement intrinsèque est alors masqué, et il est difficile de décorréler l'influence des paramètres propres au composant de celles imposées par son environnement.

La figure II.1 décrit le banc de tests utilisé. Il s'agit d'un hacheur série sur charge inductive (L = 0,1 mH), la charge inductive étant ce qui se rencontre le plus fréquemment en électronique de puissance (moteurs, transformateurs). Sur la figure II.2, les formes d'ondes du courant et de la tension témoignent du bon fonctionnement du composant monolithique.

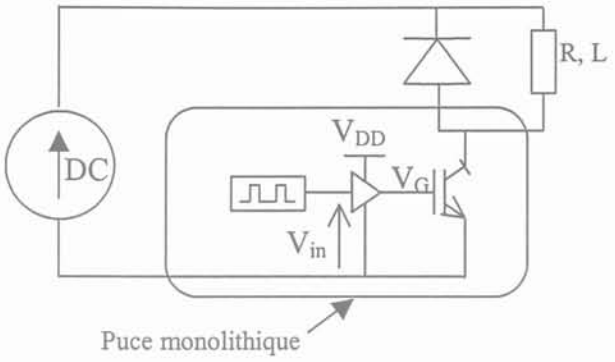


Figure II.1 : Hacheur série sur charge inductive.

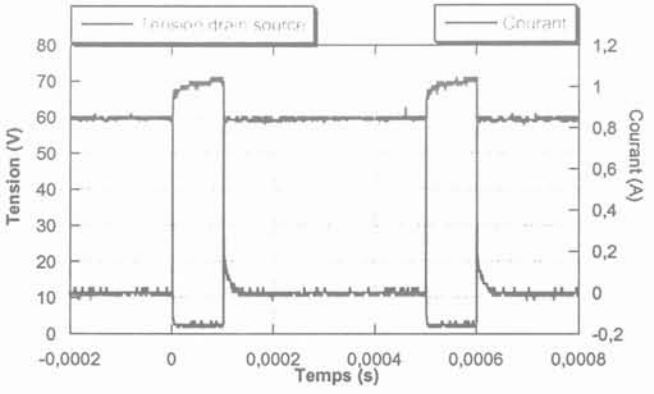


Figure II.2 : Visualisation des formes d'ondes du hacheur série.

La figure II.2 illustre le point de fonctionnement à 2 kHz, pour un rapport cyclique de $\alpha = 1/5$ et un courant moyen dans la charge de 1 A. Il s'agit là du point de fonctionnement maximal testé, compte tenu des limitations thermiques imposées par le refroidissement peu performant du boîtier.

II.2.1.2 Commutation de la logique.

Le domaine d'utilisation auquel le MBS était initialement destiné est le réseau 230 V - 50 Hz (ou 60 Hz). Les performances en vitesse de commutation ne sont donc pas cruciales, c'est pourquoi les caractéristiques dynamiques de commutation, sur une charge capacitive de quelques centaines de picofarad, sont lentes, de l'ordre de la microseconde pour la logique de type 2 (figure II.3).

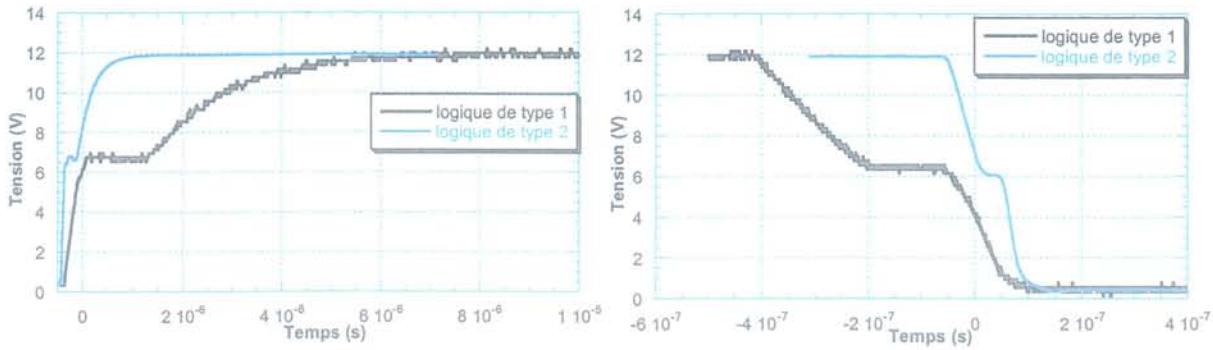


Figure II.3 : Vitesse de commutation des logiques de type 1 et 2 connectées à la grille du MBS.

L'impédance de sortie de la logique de type 2 à l'état haut vaut 500 Ω (2,5 kΩ pour la logique de type 1), ce qui impose une constante de temps $R_L C_G = 500 * 460.10^{-12} \approx 230$ ns qui retarde la charge (et la décharge) de la capacité grille-source. Par ailleurs on peut observer sur la figure II.4, la durée du palier Miller qui retranscrit le fort couplage capacitif qui existe entre l'électrode de grille et celle de drain du MBS. Ce phénomène, qui engendre des pertes de commutation et qui diminue la vitesse de commutation des composants à grille isolée, peut être atténué de manière considérable dans le cas du MBS, en utilisant soit une technologie d'oxyde de grille d'épaisseur variable [2] soit en utilisant la technologie des grilles en tranchée [3]. Ces deux alternatives technologiques permettraient de réduire le couplage capacitif entre la grille et le drain , et donc d'augmenter la vitesse de commutation des composants à grille.

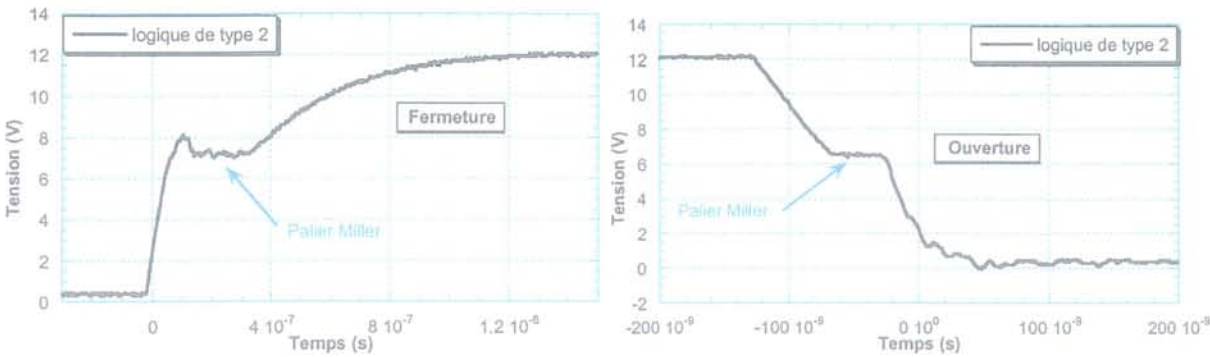


Figure II.4 : Visualisation du palier Miller.

II.2.1.3 Commutation du MBS

II.2.1.3.1 Ouverture

La figure II.5, rappelle les formes d'ondes idéalisées de l'ouverture forcée d'un IGBT. La phase 3 est la plus pénalisante en terme de rapidité de commutation puisqu'il s'agit de la traînée de courant du composant, phénomène caractéristique des IGBT. En effet cette phase correspond à l'évacuation des charges mobiles (trous et électrons) stockées dans le substrat ν lors de sa conduction et qui, une fois le canal ouvert, ne peuvent être évacuées que par recombinaison des paires électrons-trous ou par extraction par le courant drain-source [4]. Cette extraction se faisant sous la pleine tension V_{DS}, les pertes en commutation à l'ouverture sont en grande partie liées à ce courant de queue.

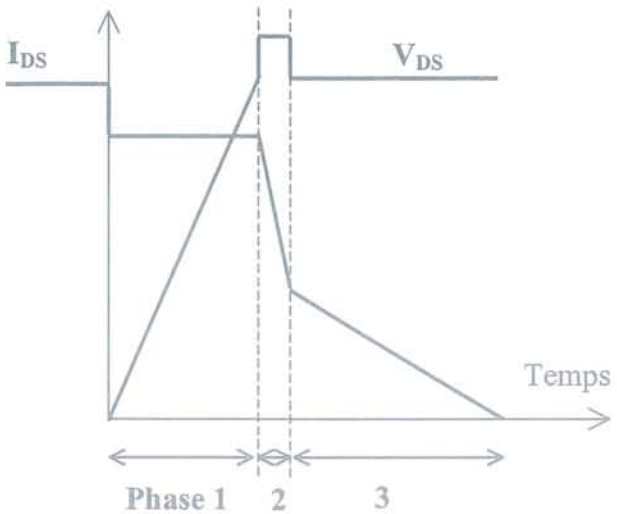


Figure II.5 : Formes d'ondes idéalisées de tension et de courant à l'ouverture du MBS.

Sur la figure II.6 sont données les courbes expérimentales de l'ouverture du MBS dans la configuration hacheur série. On retrouve les formes d'ondes théoriques de la figure II.5. On observe notamment un courant de queue qui persiste durant près de 10 µs, d'où une durée de commutation longue, comparée aux composants du commerce dont la traînée de courant n'excède pas 350 ns pour un courant nominal de 25 A à 125°C [5]. Cet état de fait vient du choix d'optimisation retenu qui a privilégié l'état passant du composant au détriment de ses caractéristiques. Certes cela pénalise le MBS pour des applications nécessitant des fréquences de fonctionnement de quelques dizaines de kilo Hertz [6], mais ce composant est adapté aux convertisseurs reliés au réseau, où une fréquence de commutation de quelques de kilo Hertz est suffisante [7].

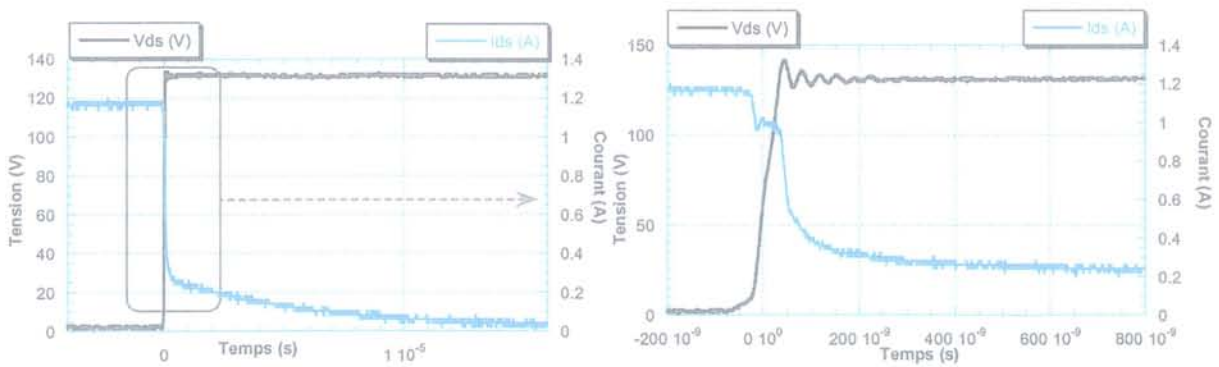


Figure II.6 : Formes d'ondes expérimentales de la tension et du courant à l'ouverture du MBS.

On pourrait penser que ce sont les caissons traversants du MBS qui injectent un surplus de charges lors de la phase de conduction. Il est vrai que ces zones P+ participent à l'injection de porteurs et modulent la résistivité du substrat ν,mais compte tenu du fait que ces caissons résultent d'une longue diffusion, leur dopage, dans l'épaisseur du composant, décroît rapidement, et est cent fois inférieur à celui de la couche P+ face arrière. C'est donc la forte injection de la face arrière qui diminue la vitesse de commutation du MBS. Il est cependant possible d'optimiser son dopage, et donc l'injection de charges [4][5] afin d'augmenter la rapidité du composant. En optimisant le MBS comme un IGBT, les formes d'ondes de la

figure II.6 peuvent être améliorées et les temps de commutation ramenés à quelques centaines de nanosecondes pour des courants de 50 A, ce qui correspond aux caractéristiques de l'IGBT réversible en tension proposé par IXYS (R-IGBT) (annexe 6) [8]. Dans notre dispositif l'accent a été mis sur l'amélioration de l'état passant au détriment de sa fréquence de fonctionnement, en ajustant l'épaisseur du substrat à la tenue en tension souhaitée, c'est à dire en utilisant des plaques minces ($< 100\ \mu m$ pour $V_{Br} = 600\ V$), on pourrait diminuer la résistance à l'état passant ainsi que la quantité de charges à évacuer lors de l'ouverture [9].

II.2.1.3.2 Fermeture

En ce qui concerne la fermeture, les formes d'ondes idéalisées sont rappelées sur la figure II.7. La durée de cette commutation est essentiellement imposée par le temps de charge de la capacité grille-source et le pallier Miller (figure II.8).

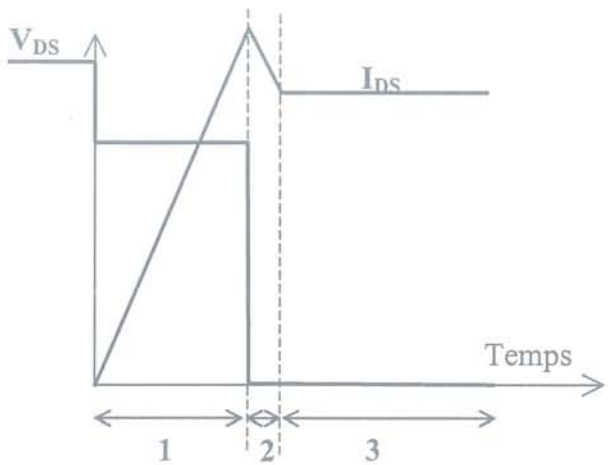


Figure II.7 : Formes d'ondes idéalisées de tension et de courant à la fermeture du MBS.

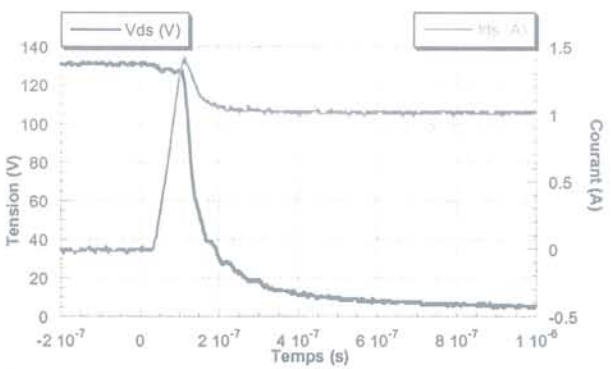


Figure II.8 : Formes d'ondes expérimentales de la tension et du courant à la fermeture du MBS.

II.2.2 Mise en évidence des perturbations

II.2.2.1 Logique connectée

Expérimentalement on retrouve les formes d'ondes théoriques de commutation d'un IGBT. Mais nous n'avons pas observé de perturbations visibles au niveau de la tension grille source V_{GS} lors des différentes commutations du composant de puissance. La seule modification des caractéristiques de la logique de commande concerne le niveau de la tension de grille à partir duquel débute la conduction du MBS avec l'apparition du pallier Miller : la tension de seuil V_{GSth} (figure II.9).

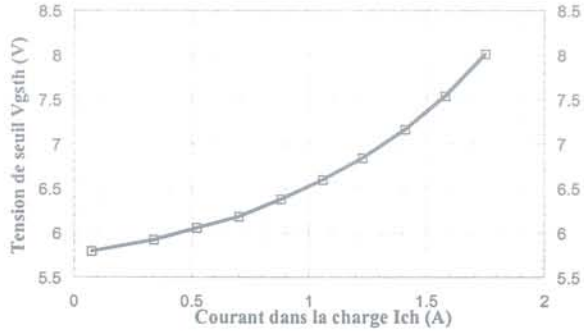


Figure II.9 : Evolution de la tension du pallier Miller.

La tension de seuil V_{GSth} du MBS évolue en fonction du courant moyen I_{ch} dans la charge. Or le refroidissement du MBS se faisant de manière constante, sa température de fonctionnement augmente donc avec le courant qui le traverse. En effet on a

$$T - T_0 = R_{th} P \tag{II.1}$$

soit

$$T - T_0 \approx R_{th} R_{on} \langle I_{DS}^2 \rangle = R_{th} R_{on} \alpha \; I_{ch}^2 \tag{II.2}$$

Avec

- T : Température du composant (T)
- T_0 : Température ambiante (T)
- R_{th} : Résistance thermique entre le boîtier et le semiconducteur (°C/W)
- R_{on} : Résistance à l'état passant (°C/W)
- α : Rapport cyclique
- I_{ch} : Courant moyen dans la charge (A)

On observe sur la figure II.10 l'évolution de la tension de seuil V_{GSth} en fonction de la puissance dissipée (donc de la température) dans le MBS, qui est proportionnelle à son élévation de température.

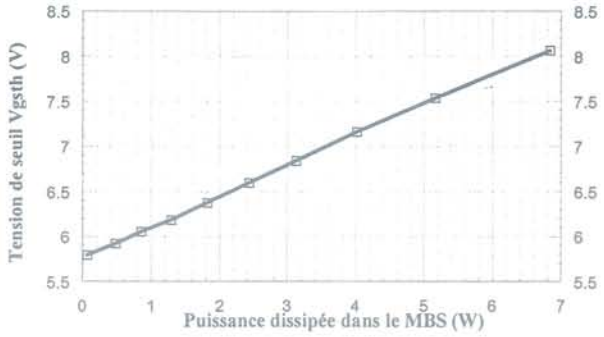


Figure II.10 : Influence de la température sur la valeur du pallier Miller.

Dans la littérature, la tension de seuil est une grandeur connue comme étant thermosensible, c'est à dire un paramètre variant avec la température et pouvant donc être utilisé comme thermomètre. Des études précédentes [10][11] montrent une variation linéaire négative de cette tension de seuil en fonction de la température. La variation observée dans notre cas n'est pas dans ce sens mais les conditions expérimentales expliquent cette différence de comportement car nous n'opérons pas à tension V_{DS} constante. Par ailleurs il semble que ce paramètre ne bénéficie que d'une reproductibilité médiocre. En conséquence l'utilisation de V_{GSth} comme paramètre thermosensible n'est pas adaptée.

II.2.2.2 Paramètre thermosensible

Nous avons donc essayé de connaître la température de fonctionnement du MBS par l'intermédiaire de grandeurs qui dépendent des lois physiques des semiconducteurs. Les autres paramètres thermosensibles usuels sont la chute de tension directe et le courant de fuite. Le premier paramètre oblige à laisser le composant fermé et donc on ne peut pas l'utiliser en fonctionnement hacheur, quant au courant de fuite, sa piètre reproductibilité et le fait de devoir ouvrir le composant sous une tension fixe pour avoir accès à la température nous font également écarter cette méthode.

En observant les variations de tension de la sortie de la logique non connectée à l'état bas (figure II.11), on constate une évolution linéaire avec la température dont la sensibilité est de +1,2 $mV.K^{-1}$. Malheureusement la reproductibilité des mesures n'est pas très bonne, ce qui par la suite ne nous permettra pas de l'utiliser comme paramètre thermosensible.

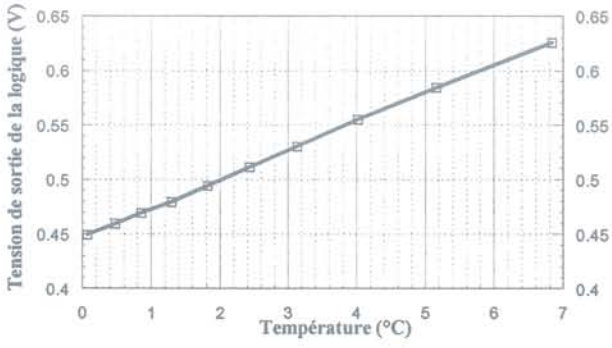


Figure II.11 : Influence de la température sur la tension de sortie de la logique.

Aucun paramètre ne nous donnant satisfaction, nous n'avons pas par la suite pris en compte la valeur de la température de la puce que de façon qualitative.

II.2.2.3 Logique non connectée

Si on observe maintenant la tension de sortie de la logique non connectée (V_{out}), on voit apparaître un pic de tension au moment des commutations du MBS (figure II.12 et II.13). Ce pic de tension (tantôt positif, tantôt négatif) est la manifestation des perturbations en sortie de la logique. Or la sortie de cette logique n'est pas connectée au composant de puissance. Les perturbations ne sont donc pas véhiculées par la connexion puissance-commande, comme c'est le cas en mode statique (paragraphes I.2.3 et I.2.4). C'est donc le substrat qui transmet les perturbations.

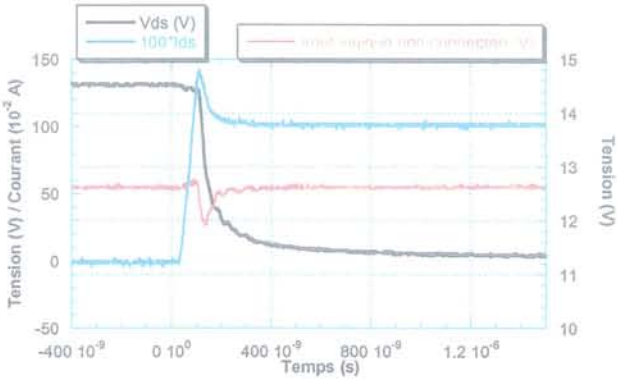


Figure II.12 : Perturbations de la logique non connectée à la fermeture du MBS.

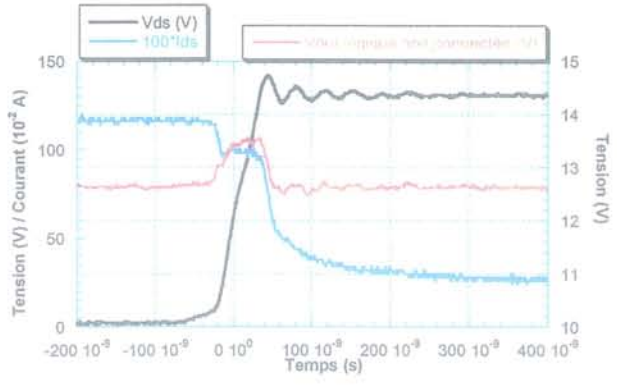


Figure II.13 : Perturbations de la logique non connectée à l'ouverture du MBS.

Dès lors on reporte sur la figure II.14 l'évolution du niveau des perturbations crêtes en fonction du courant dans la charge.

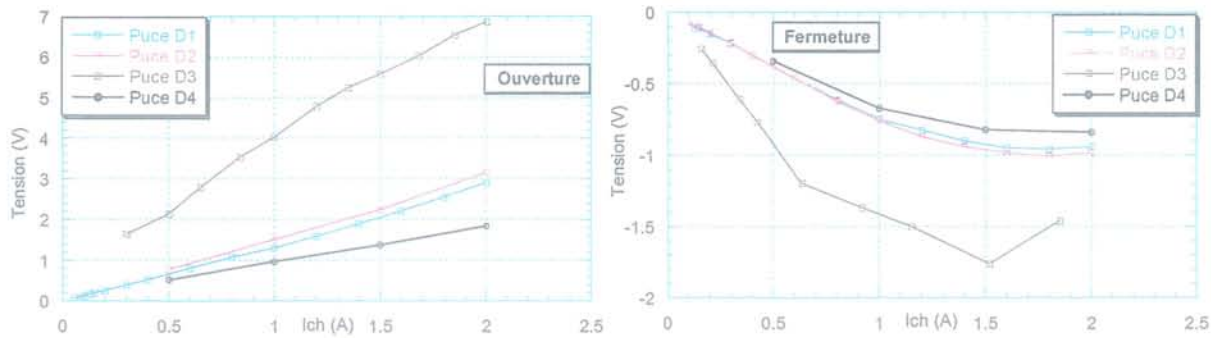


Figure II.14 : Niveaux des perturbations à l'ouverture et à la fermeture du MBS.

On constate que, quelle que soit la commutation envisagée, le niveau des perturbations crêtes est plus important pour la puce D3 (logique de type 1) que pour les autres puces (logique de type 2). Le niveau de perturbations dépend donc du type de logique utilisée. Par conséquent nous allons tirer les enseignements des différences entre les puces D1, D2 et D4, qui comportent la même logique.

A l'ouverture, la puce D2 présente un niveau de perturbations supérieur à celui de la puce D4 (et D1). La seule différence entre ces deux motifs de tests est la connexion puissance-commande qui relie l'électrode de grille soit à la logique la plus éloignée du MBS (D2), soit à celle la plus proche (D4). La proximité de la logique par rapport au MBS semble donc intervenir lors de l'ouverture du composant. Il reste cependant une ambiguïté : est ce la distance logique connectée-MBS ou la distance logique non connectée-MBS qui intervient ? Le motif D1 permet de répondre à cette question (tableau II.1). En effet, sur cette puce les deux logiques sont éloignées du MBS, et le niveau des perturbations observées en sortie de la logique non connectée est équivalent à celui de la puce D2. Le point commun entre D1 et D2 étant la distance logique connectée-MBS, on en déduit que c'est le paramètre déterminant du niveau de perturbations à l'ouverture du MBS.

	Puce D1	Puce D2	Puce D4
Distance puissance-logique non connectée	1840 µm	840 µm	1840 µm
Distance puissance-logique connectée	1840 µm	1840 µm	840 µm
Rapport de perturbations	1	≈ 1	> 1

$$\text{Rapport de perturbations de D2} = \frac{\text{Amplitude des perturbations de la puce D2}}{\text{Amplitude des perturbations de la puce D1}}$$

Tableau II.1 : Récapitulatif des propriétés des motifs de tests.

Lors de la fermeture du composant de puissance, il semble que l'influence de cette distance soit moins importante puisque les niveaux des perturbations des puces D1, D2 et D4 sont relativement identiques. Toutefois le motif D2 semble une fois encore le plus perturbé. Par ailleurs l'évolution de l'amplitude crête de ces perturbations qui initialement évoluait de

manière linéaire, sature à partir d'un certain niveau de courant dans la charge. L'étude de l'origine de ces perturbations est détaillée dans les deux paragraphes suivants.

II.2.3 Origine des perturbations à l'ouverture

II.2.3.1 Origine capacitive

L'isolation de la partie logique du substrat ν (zone de tenue en tension du MBS) se fait au moyen d'un caisson de type P qui crée ainsi une jonction PN. Cette jonction est polarisée en inverse et peut donc être décrite par une capacité. Lors des commutations du MBS, le substrat ν subit des variations de potentiel qui sont appliquées à cette capacité, générant un courant (tantôt positif, tantôt négatif) qui va être injecté dans le caisson d'isolation. Ce courant va ensuite être collecté par les connexions de surface qui relient le caisson à l'électrode de source. Cependant la circulation de ce courant à travers le caisson va générer des variations de potentiel qui peuvent affecter les transistors MOS de la logique (variation de leur tension de seuil). Dans un premier temps, nous allons donc essayer de relier le pic de tension observé en sortie de la logique non connectée aun phénomène capacitif. Ainsi sur la figure II.15, on compare la surtension en sortie de la logique à la dérivée du signal drain-source.

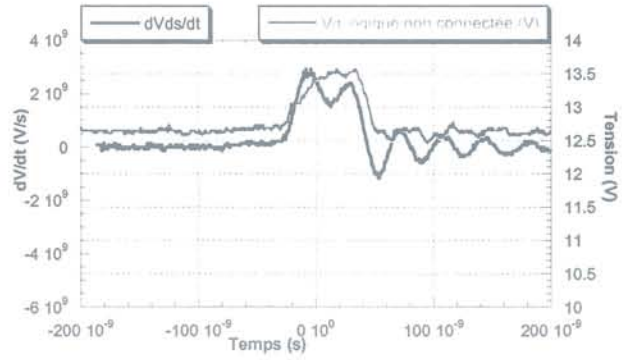


Figure II.15 : Comparaison de dV_{DS}/dt avec le pic de perturbation.

Ces deux grandeurs visualisées figure II.15 ont des allures similaires. Elles coïncident sur le plan temporel même si la dérivée du signal V_{DS} est un peu plus oscillante. On peut donc avancer l'hypothèse que le dV_{DS}/dt généré à l'ouverture du MBS est à l'origine de la surtension en sortie de la logique non connectée.

II.2.3.2 Mise en évidence de l'effet thermique

Nous allons également modifier le point de fonctionnement du hacheur en tenant compte de l'influence de la température que nous avons soulignée au paragraphe II.2.2.2. Ainsi, la fréquence de fonctionnement du MBS est fixée à 500 Hz et le rapport cyclique pourra prendre trois valeurs : 1/4, 1/2 et 3/4. De cette façon, on pourra moduler la puissance dissipée dans le MBS et donc la température moyenne de la puce. En effet, la constante de temps thermique qui caractérise une épaisseur de 0,3 mm de silicium est de l'ordre de 1,8 ms [4] (pour une approche unidimensionnelle du flux de chaleur). La distance logique-puissance qui vaut 1,84 mm (ou 0,84 mm), est suffisamment importante pour qu'on puisse négliger l'effet de l'auto échauffement du MBS en commutation sur les logiques. On fera donc l'hypothèse que la température de la logique connectée est directement imposée par les pertes

moyennes générées dans le composant de puissance. Ainsi, en faisant varier le rapport cyclique du hacheur, on modifiera la température de fonctionnement de la logique en augmentant les pertes de conduction du MBS.

II.2.3.3 Evolution du dV_{DS}/dt

Puisque les variations du potentiel de drain sont à l'origine des surtensions en sortie de logique, on va observer comment varie le dV_{DS}/dt en fonction du courant moyen dans la charge (figure II.16) ou de la tension de la source continue puisque l'on a :

$$V_{DS} = V_{DS0} + R_{on} I_{DS} \qquad \text{(II.3)}$$

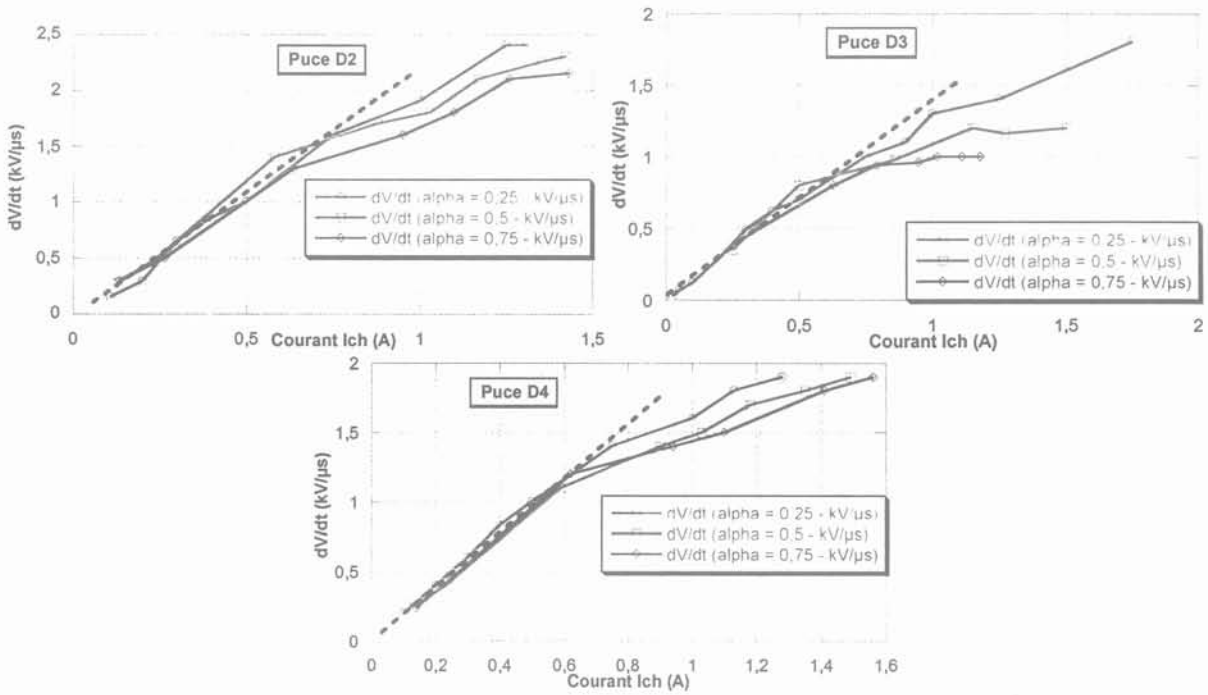


Figure II.16 : Evolution du dV_{DS}/dt (en fonction du rapport cyclique alpha du hacheur).

Jusqu'à $I_{ch} = 0,7$ A, le dV_{DS}/dt varie de manière linéaire, puis on observe une saturation. En faisant varier la valeur du rapport cyclique alpha, on influe sur l'échauffement global de la puce de silicium. L'impact de cet échauffement sur la vitesse de commutation (dV_{DS}/dt) du MBS est observable sur la figure II.17.

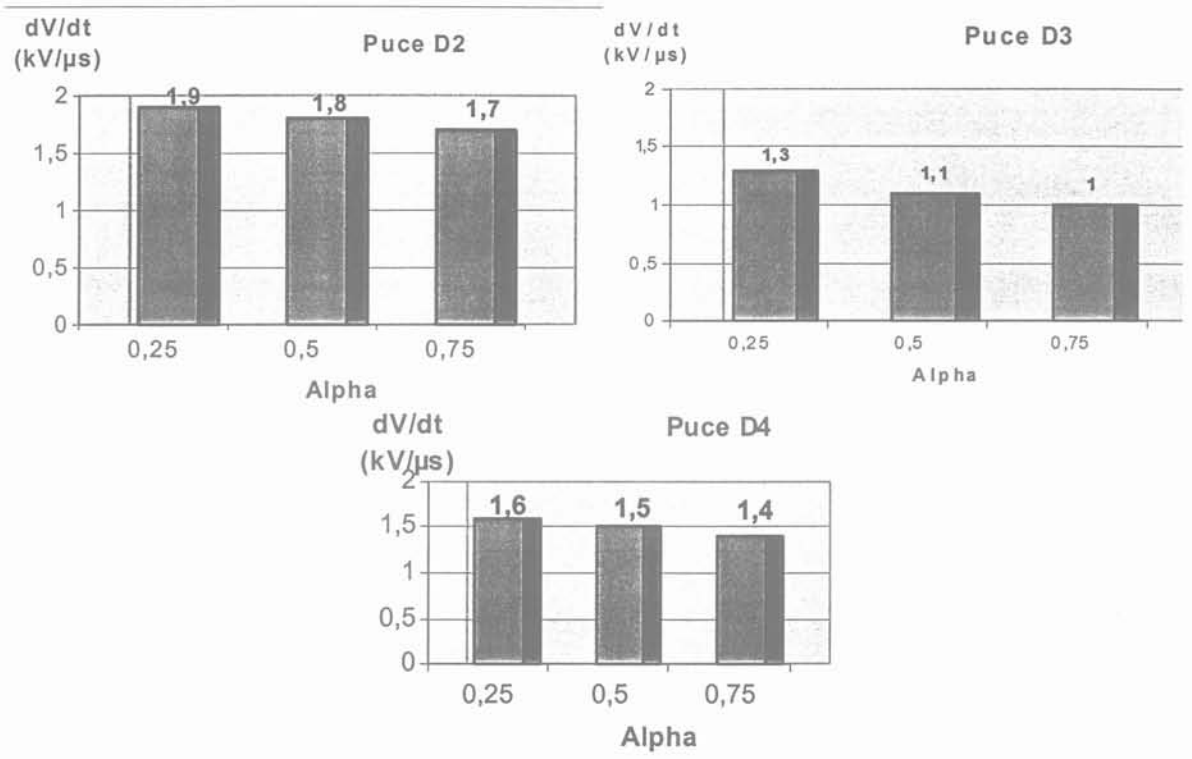


Figure II.17 : Influence de la température sur le dV_{DS}/dt (courant moyen dans la charge=1A).

L'augmentation du rapport cyclique α a pour conséquence de diminuer la vitesse de commutation du MBS. Ce phénomène, observable sur toutes les puces est plus ou moins accentué selon le type de logique utilisé. Et si on superpose les courbes obtenues pour différents rapports cycliques pour les puces D2 et D4 (figure II.18), les dV_{DS}/dt ne coïncident pas. Or le type de logique utilisé est le même et les conditions expérimentales ne diffèrent pas. La seule différence concerne la distance logique-puissance. Dans la puce D2, la logique qui pilote la grille est plus éloignée que dans la puce D4, donc sa température de fonctionnement est plus faible. Cela peut expliquer que le MBS du motif D2 est plus rapide (en terme de dV_{DS}/dt) à l'ouverture que celui du motif D4 (figure II.19).

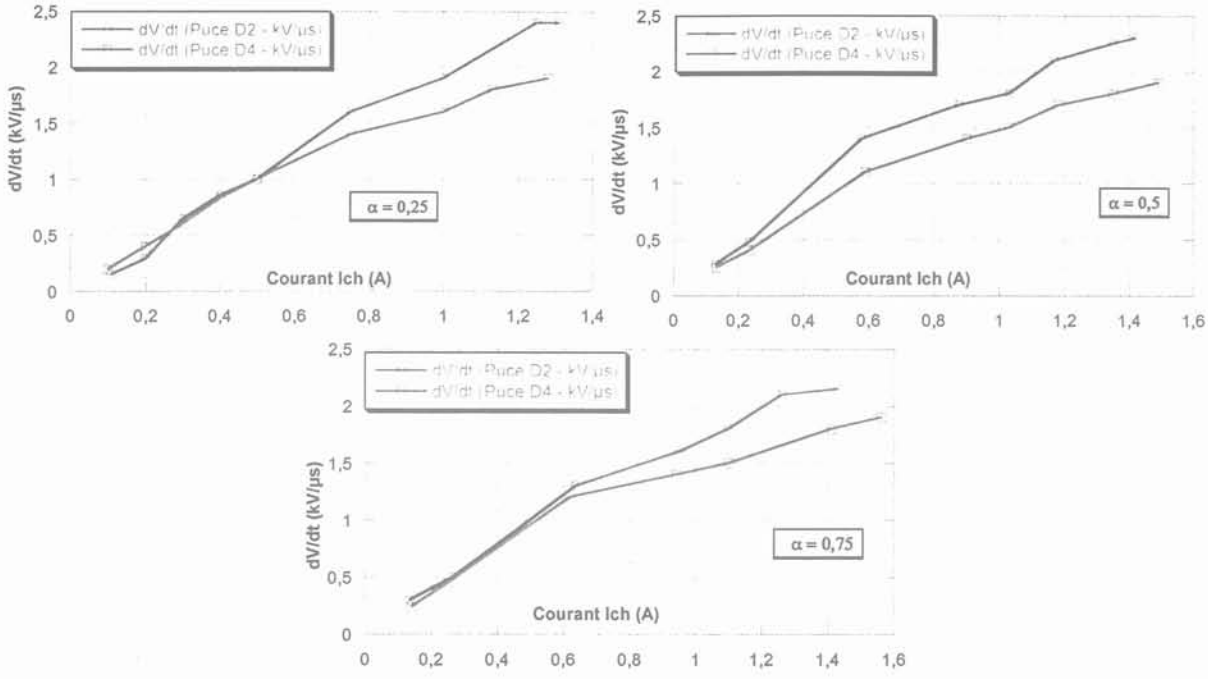


Figure II.18 : Influence de la température sur le dV_{DS}/dt.

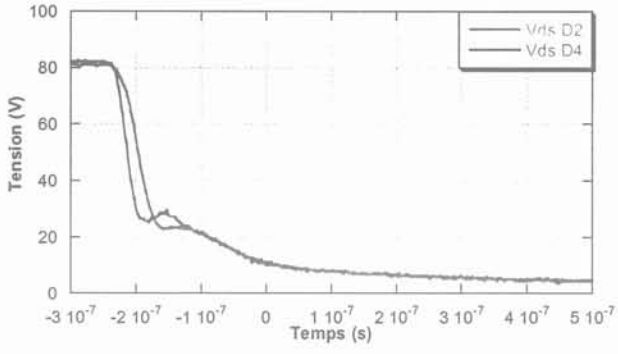


Figure II.19 : Différence de dV_{DS}/dt selon les motifs de tests.

La différence de comportement à l'ouverture observée entre d'une part les puces D4 et d'autre part les puces D2 et D1 sur la figure II.14 est fonction de la distance logique connectée-puissance. Plus cette distance est grande plus le couplage thermique entre ces deux parties est faible, et plus la température de fonctionnement de la logique est faible. Dans ces conditions la logique conserve ses caractéristiques dynamiques et génére des dV_{DS}/dt rapides.

II.2.3.4 Evolution du courant en sortie de la logique non connectée I_{LNC}

Afin de vérifier l'hypothèse émise au paragraphe II.2.3 sur l'origine capacitive des perturbations, nous avons légèrement modifié le banc de tests utilisé en connectant la sortie de la logique non connectée à la masse du circuit via une capacité de valeur équivalente à la capacité de grille du MBS (figure II.20). Dans ces conditions on pourra observer le courant en sortie de la logique non connectée (I_{LNC}).

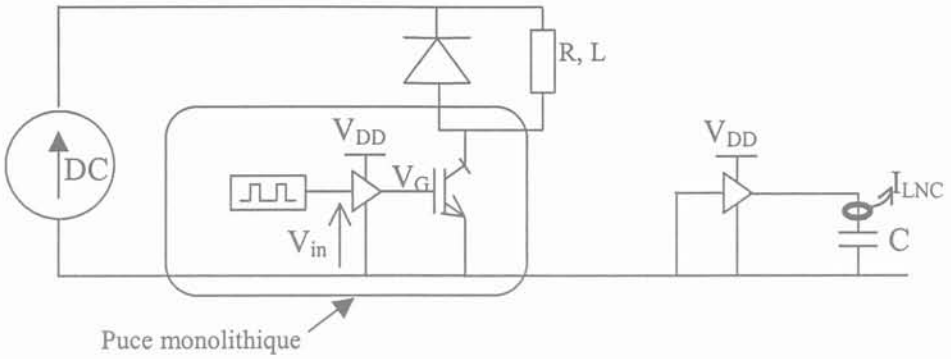


Figure II.20 : Nouveau banc de tests en transitoire.

On a désormais accès au courant parasite qui sort de l'étage de sortie de la logique non connectée (figure II.21). Si réellement ce courant est induit par des phénomènes capacitifs cela doit se retrouver en traçant l'amplitude crête du courant en fonction du dV_{DS}/dt lors de l'ouverture du MBS (figure II.22).

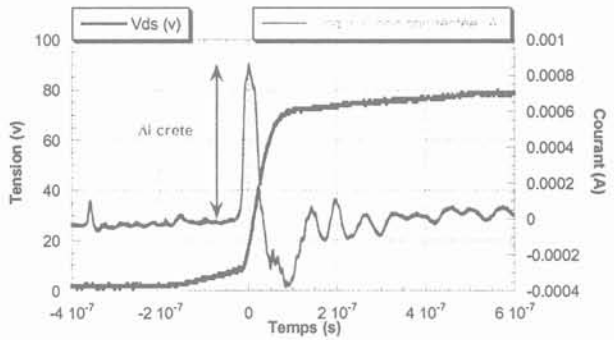


Figure II.21 : Visualisation du courant en sortie de la logique à l'ouverture du MBS.

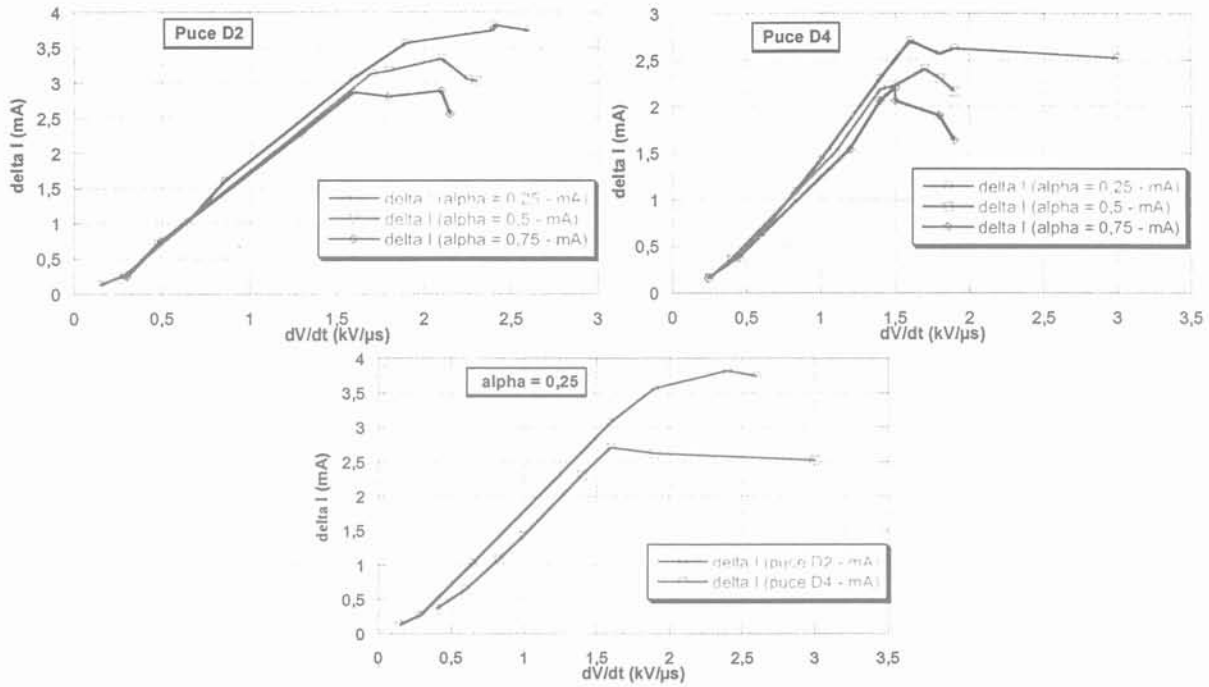


Figure II.22 : Influence du dV_{DS}/dt sur le niveau du courant crête en sortie de la logique.

C'est effectivement ce que l'on observe. Jusqu'à des dV_{DS}/dt de 1,5 kV/µs, il existe une relation linéaire qui relie ΔI_{LNC} et dV_{DS}/dt. Qui plus est, la pente de cette droite ne varie pas avec la température (lorsque α varie) et ne dépend pas du motif de tests (D2 ou D4). C'est donc que pour une même variation de potentiel de drain, un même courant capacitif est généré, quelle que soit la température de fonctionnement ou la puce utilisée. Cela signifie que la capacité qui est à l'origine de ces perturbations est la même pour toutes les puces, ce qui correspond à la réalité puisque les caissons d'isolation sont tous identiques. Toutefois à partir d'une certaine valeur de dV_{DS}/dt, on note la fin de la linéarité entre le dV_{DS}/dt et ΔI_{LNC}, et cela ne peut pas s'expliquer par la température.

Une autre explication peut être trouvée en examinant le circuit que nous avons réalisé. En ajoutant la capacité de 330 pF en sortie de la logique non connectée, on réalise un filtre passe bas avec l'impédance de sortie de la logique qui vaut $R_L = 60\ \Omega$. La fréquence de coupure de ce filtre vaut :

$$f_0 = (2\Pi R_L C)^{-1} = 8\ \text{MHz} \qquad \text{(II.4)}$$

En relevant les temps de montée de la tension drain-source pour différentes valeurs du courant I_{ch} on peut en déduire la fréquence équivalente du front de montée de la tension V_{DS} [12] (tableau II.2).

I_{ch} (A)	0,5	1,0	1,5
dV_{DS}/dt (kV/µs)	1,0	1,9	2,7
Temps de montée (ns)	47	42	40
Fréquence équivalente (MHz)	**7,5**	**8,3**	**8,7**

Tableau II.2 : Détermination de la fréquence équivalente du front de montée de V_{DS}.

On remarque qu'à partir de I_{ch} = 1 A, la fréquence équivalente au temps de montée de la tension V_{DS} correspond à la fréquence de coupure f_0 du filtre passe bas $R_L C_G$. Au delà de

cette fréquence, le courant recueilli dans la capacité est atténué, ce qui explique la saturation des courbes de la figure II.22 en fonction des dV_{DS}/dt.

II.2.3.5 Synthèse

Le pic de tension observé en sortie de la logique correspond à une injection de courant capacitif dans le caisson, consécutif à la brusque variation du potentiel de drain (dV_{DS}/dt) à l'ouverture du MBS. La capacité qui genère ce courant est la capacité de la jonction PN polarisée en inverse entre le caisson d'isolation et le substrat ν. Un pic de courant parasite (positif à l'ouverture et négatif à la fermeture) se retrouve donc injecté dans le caisson P+. Il est collecté par les connexions de surface qui relient le caisson à l'électrode de source. Le dopage du caisson variant de 5.10^{16} à 1.10^{14} cm^{-3}, sa polarisation au potentiel de source se fait par l'intermédiaire d'une forte impédance (≈ 2000 Ω/□). Le passage du pic de courant parasite génère donc une variation du potentiel du caisson. En réalité, le courant est injecté dans le caisson de manière répartie à partir de la jonction PN et la géométrie des connexions de surface joue un rôle important (au même titre que le niveau de dopage) pour limiter les fluctuations de potentiel dans le caisson. Ainsi en collectant à différents endroits du caisson le courant injecté, on réduit le chemin parcouru par les charges et donc la résistance électrique équivalente. De la même façon, une plus forte valeur du dopage du caisson permet de diminuer la résistance d'accès aux connexions de surface.

Ainsi donc, les charges injectées sont collectées à différents points du caisson. Les variations de potentiel dans le caisson P vont donc être plus faibles. Cependant, pour la logique de type NMOS, le silicium dopé P correspond au substrat et à la zone de canal des transistors MOS. Une variation de potentiel de cette région engendre pour les MOS une variation de leur tension de seuil [13], et donc de leur courant drain source I_{DS} (II.5 et II.6), ce qui se traduit par des fluctuations de la tension de sortie de la logique non connectée.

$$I_{DS} \approx \frac{Z}{L} \mu_n C_{ox} (V_G - V_{th}) V_D \text{ pour } V_D << (V_G - V_{th}) \quad (II.5)$$

et

$$I_{DS} \approx \frac{Z}{2L} \mu_n C_{ox} (V_G - V_{th})^2 \text{ pour } V_D < V_{Sat} \quad (II.6)$$

avec

- I_{DS} : Courant drain source (A)
- Z Largeur de canal (μm)
- L : Longueur de canal (μm)
- μ_n : Mobilité des électrons dans la couche d'inversion ($cm^2.V^{-1}.s^{-1}$)
- C_{ox} : Capacité de grille par unité de surface ($F.cm^{-2}$)
- V_G : Tension de grille (V)
- V_{th} : Tension de seuil (V)
- V_D : Tension de drain (V)

II.2.4 Origine des perturbations à la fermeture

II.2.4.1 Origine capacitive

Comme nous l'avons fait lors de la phase de blocage du MBS, on compare sur la figure II.23 le pic négatif de tension en sortie de la logique non connectée avec la dérivée de

la tension drain source V_{DS}. On constate que les deux courbes se superposent parfaitement (à un facteur d'échelle près), ce qui laisse supposer que la surtension a pour origine un phénomène capacitif. Nous allons mener un raisonnement similaire à celui tenu lors de l'étude précédente pour expliquer l'apparition de ces perturbations.

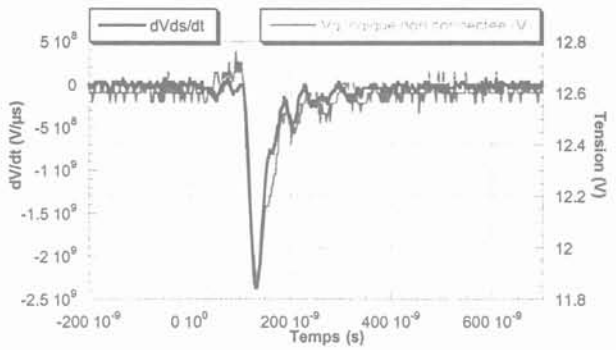


Figure II.23 : Comparaison de dV_{DS}/dt avec le pic de perturbation.

II.2.4.2 Evolution du dV_{DS}/dt

Dans un premier temps nous observons l'évolution du dV_{DS}/dt en fonction du courant moyen dans la charge. On constate alors un phénomène de saturation qui est accentué lorsque la température (donc α) augmente.

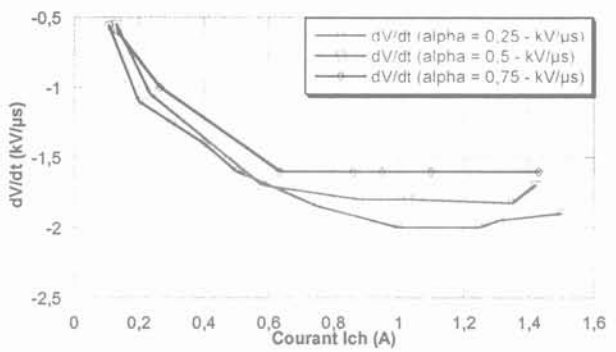


Figure II.24 : Evolution du dV_{DS}/dt pour la puce D2 (en fonction du rapport cyclique alpha du hacheur).

Comme dans le cas de l'ouverture (paragraphe II.2.3.3), la vitesse de commutation du MBS est influencée par la température. Donc plus la logique de commande sera proche, plus sa température de fonctionnement sera élevée, et moins le MBS aura une vitesse de commutation rapide.

II.2.4.3 Evolution du courant en sortie de la logique non connectée I_{LNC}

On relève le courant en sortie de la logique. Si celui ci est induit par des phénomènes capacitifs, on devrait l'observer en comparant son amplitude crête avec le dV_{DS}/dt généré par le MBS lors de sa fermeture (figure II.25).

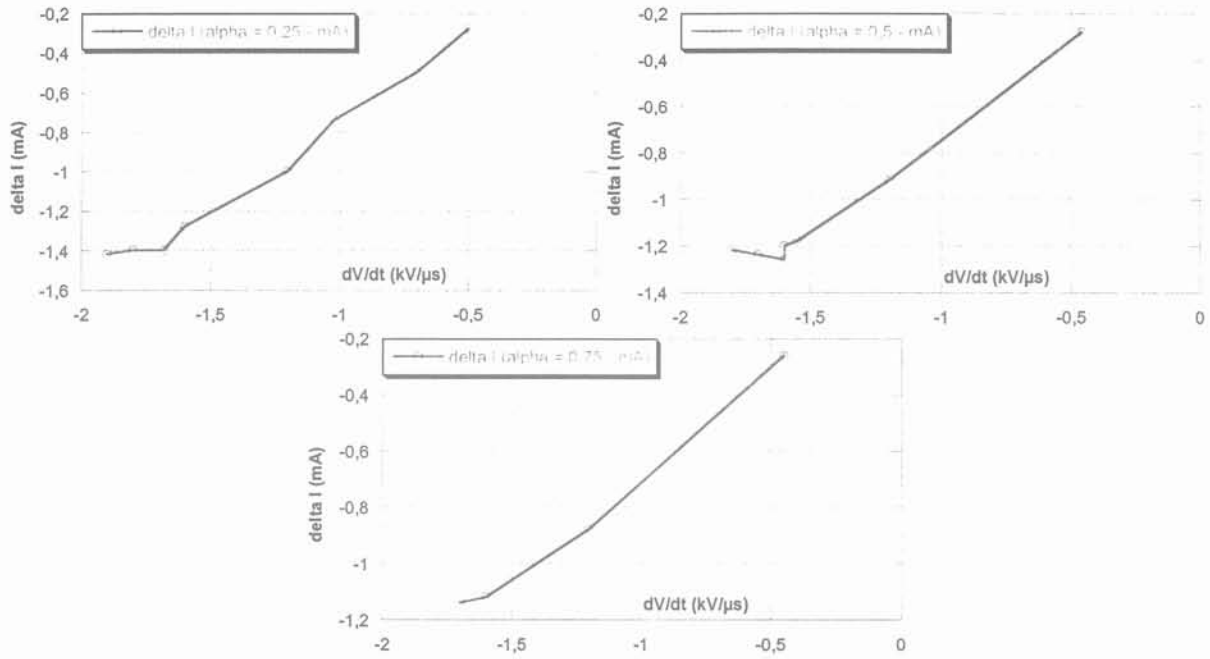


Figure II.25 : Influence du dV_{DS}/dt sur le niveau de courant crête en sortie de la logique de la puce D2.

Tout d'abord on observe effectivement une relation linéaire entre le niveau de courant parasite et la vitesse de fermeture du MBS. Cela confirme l'hypothèse émise sur l'origine capacitive des perturbations. On note cependant la fin de la linéarité entre dV_{DS}/dt et ΔI_{LNC} à partir d'un certain seuil qui correspond à la fréquence de coupure d'un filtre R_LC (en effectuant un raisonnement identique à celui de l'ouverture, figure II.20). On le vérifie en reportant dans le tableau II.3 les temps de descente de la tension V_{DS} ainsi que la fréquence équivalente de ce front de tension. On remarque qu'à partir de I_{ch} = 0,5 A, la fréquence équivalente au temps de descente de la tension V_{DS} correspond à la fréquence de coupure f_0 du filtre passe bas R_LC_G. Au delà de cette fréquence, le courant recueilli dans la capacité est atténué, ce qui explique la saturation des courbes de la figure II.25 en fonction des dV_{DS}/dt.

I_{ch} (A)	0,1	0,5	1,5
dV_{DS}/dt (kV/µs)	-0,5	-1,6	-1,9
Front de descente (ns)	95	83	34
Fréquence équivalente (MHz)	**3,7**	**4,2**	**10,3**

Tableau II.3 : Détermination de la fréquence équivalente du front de descente de V_{DS}.

Si on compare sur un même graphique (figure II.26) l'amplitude crête du courant injecté lors de l'ouverture et de la fermeture en fonction du dV_{DS}/dt (en valeur absolue), on constate que les pentes ne sont pas les mêmes. La capacité du caisson d'isolation est la capacité équivalente de la jonction PN en inverse. Celle ci dépend de la tension à ses bornes, donc de la valeur du potentiel de substrat V_v. A la fermeture du MBS, le potentiel Vv du substrat est au potentiel de la haute tension. La valeur de la capacité de jonction est donc faible. A l'ouverture, le potentiel du substrat est initialement faible, et la valeur de la capacité de jonction est plus élevée.

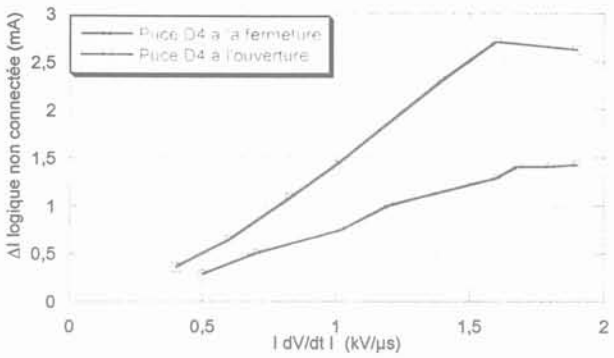


Figure II.26 : Comparaison de l'amplitude crête du courant injecté lors de la fermeture et de l'ouverture du MBS.

II.2.4.4 Synthèse

Les pics de courant observé en sortie de la logique à la fermeture et à l'ouverture du MBS correspondent à une injection de courant capacitif dans le caisson d'isolation de la logique. La différence d'amplitude crête du niveau de perturbations entre les motifs de tests D1, D2 et D4 n'est pas aussi marquée à la fermeture du MBS qu'à son ouverture. Les deux principales raisons sont que les dV_{DS}/dt sont supérieurs à l'ouverture par rapport à la fermeture, et que la valeur de la capacité de jonction caisson d'isolation substrat ν est plus élevée lorsque le potentiel de drain croît que lorsqu'il décroît. Cela génère des niveaux de perturbations plus importants à l'ouverture du composant et une influence de la distance logique connectée-MBS plus marquée.

Jusqu'à maintenant, nous avons étudié les perturbations observées en sortie de la logique non connectée, mais qu'en est-il de la logique connectée ? Le courant parasite qui circule en sortie de logique est impulsionnel, et d'amplitude crête faible devant le courant qui charge et décharge la grille du MBS. Cela explique que l'on ne voit pas de variation notable du potentiel de grille, mais cela ne signifie pas pour autant que la logique connectée n'est pas perturbée. Au même titre que la logique non connectée, un courant capacitif est injecté dans le caisson d'isolation et fait varier localement le potentiel du caisson. Cela induit donc des variations de tensions de seuil des transistors MOS des différents étages d'inverseurs de la logique, ce qui se traduit par un léger déplacement de leur point de fonctionnement de A vers B (figure II.27). La valeur de la tension de sortie n'est cependant pas modifiée. Par contre, si le courant parasite faisait déplacer jusqu'à C le point de fonctionnement d'un inverseur, alors cette modification serait propagée aux étages suivants et la tension de sortie ne correspondrait plus à la consigne du signal d'entré V_{IN}. La conception de la logique fait qu'elle est capable de compenser (jusqu'à un certain niveau) les déplacements parasites des points de fonctionnement des étages inverseurs (c'est la marge de bruit des étages inverseurs CMOS). Si la robustesse de cette logique vis à vis des perturbations occulte d'éventuels dysfonctionnements en régimes transitoire, il faut garder à l'esprit que des perturbations existent. Si on arrive à les déceler, c'est que l'association monolithique fonctionne mal, et en particulier la commande de grille.

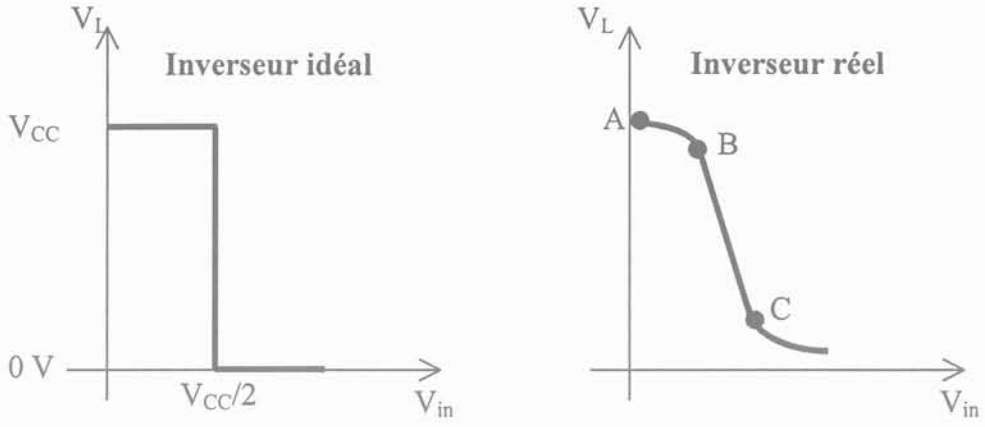


Figure II.27 : Caractéristique idéale et réelle d'un inverseur.

II.2.5 Limites de fonctionnement de l'association puissance commande intégrée

Avec l'étude précédente des interactions puissance-commande en régime dynamique, nous avons désormais une vue globale des différents phénomènes qui interviennent. Dans le cadre de l'association MBS et commande intégrée, le paragraphe II.2.1.1 a montré le bon fonctionnement du composant monolithique au sein d'un hacheur série. Cependant les caractéristiques du MBS (et de sa logique) font que l'on n'atteint pas de forts niveaux de dV/dt. Or l'essentiel des perturbations est engendré suite à des variations de potentiel. On peut donc se demander quelles sont les limites de fonctionnement en terme de dV/dt d'une telle association, et si le remplacement du MBS par un interrupteur, dont les caractéristiques dynamiques seraient semblables à celles des composants du commerce, est une solution envisageable.

II.2.5.1 Régimes statiques

II.2.5.1.1 Le mode bloqué

Lorsque le MBS est bloqué les surtensions parasites observées en sortie de la logique de commande sont dues aux variations de la tension drain source. Les variations du potentiel du substrat génèrent alors, au niveau de la capacité de grille, un courant parasite dont l'effet est amplifié par l'impédance de sortie de la logique. Si on se trouve en polarisation positive ($V_{DS} > 0$ V), le niveau crête des perturbations atteint la tension de seuil du composant de puissance, et on peut envisager une éventuelle mise en conduction du MBS. Mais le risque majeur de ces perturbations reste la destruction des transistors MOS de l'étage de sortie, et donc la perte de commande de l'interrupteur de puissance

Nous avons vu au chapitre I, que les perturbations en polarisation positive sont les plus faibles. La figure I.14 rappelle l'influence de la polarisation continue (V_{DS}) du MBS sur le niveau des perturbations. En se basant sur l'étude faite au paragraphe I.2.3.2.5, on détermine théoriquement la valeur du dV_{DS}/dt maximal pour que le pic de tension n'atteigne pas les 6 V de la tension de seuil du MBS.

D'après l'équation I.26 on a :

$$V_{GSth} > V_L + R_{Lb} C_G \frac{d V_{DS}}{dt} \tag{II.7}$$

Soit

$$\frac{V_{GSth} - V_L}{R_{Lb} C_G} > \frac{d V_{DS}}{dt} \tag{II.8}$$

Pour : $V_{GSth} = 6$ V, $V_L = 0{,}4$ V, $R_{Lb} = 60\ \Omega$ et $C_G = 15$ pF, on a

$$6{,}2\ (kV/\mu s) > \frac{d V_{DS}}{dt} \tag{II.9}$$

Cette valeur de variation de la tension V_{DS} est supérieure à ce qu'il est possible d'obtenir à l'heure actuelle avec les prototypes utilisés. En effet si on considère la structure d'un gradateur (figure II.28), les interrupteurs utilisés sont disposés deux à deux en antiparallèle. Ainsi lorsque T1 commute, sa chute de tension dV_{DS}/dt est directement répercutée aux bornes de T2, T3 et T4. Dans un tel cas de figure, on ne risque pas de provoquer une mise en conduction parasite du composant monolithique. Cependant, l'étude de l'utilisation de MBS dans une structure gradateur à MLI [14] fait ressortir la nécessité de travailler à des fréquences de découpage situées dans la gamme [4 kHz – 10 kHz] pour respecter les normes de compatibilité électromagnétique. Ainsi le remplacement du MBS par un interrupteur rapide, par exemple l'IGBT IRG4BC20FD-S de chez International Rectifier (annexe 7), les dV_{DS}/dt générés lors de ses commutations (de l'ordre de 19 kV/µs à la fermeture) peuvent empêcher le bon fonctionnement de l'association monolithiques. En conservant les caractéristiques de la logique, le remplacement du MBS par un autre composant à grille isolée est assujetti à sa vitesse de commutation qui ne doit pas être trop élevée (6,2 kV/µs).

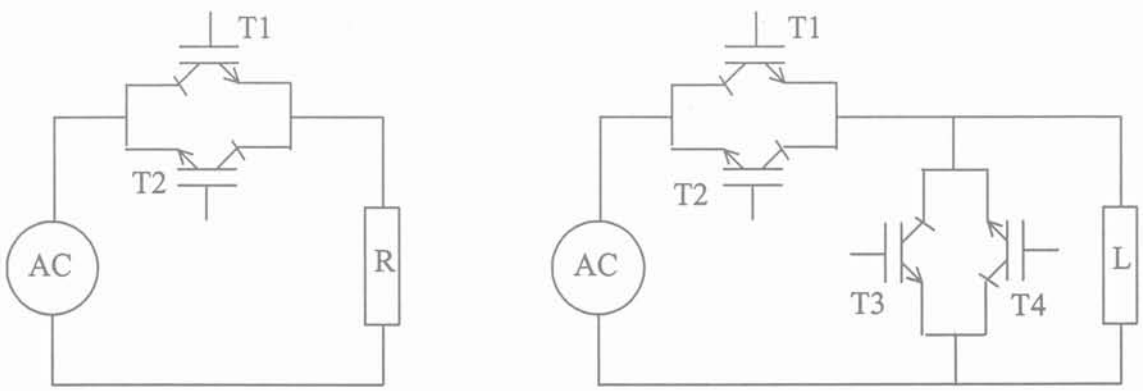


Figure II.28 : Gradateur sur charge résistive et sur charge inductive.

La logique de commande est le maillon faible de l'association monolithique, elle doit être protégée des surtensions parasites.

En polarisation négative (ou nulle), l'amplitude crête des perturbations augmente avec le dV_{DS}/dt (figure II.29).

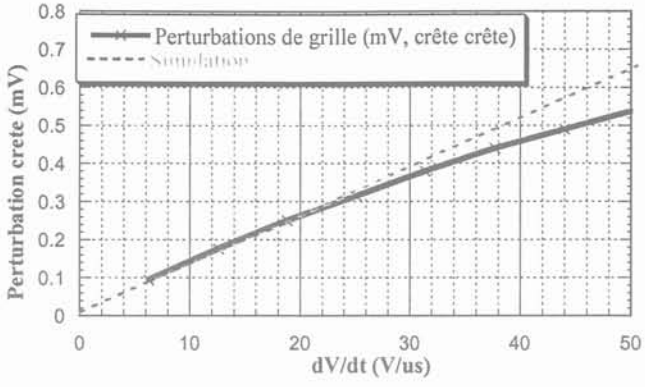


Figure II.29 : Evolution des perturbations avec le dV_{DS}/dt (pour la puce D3 à $U_C = 0$ V).

Au delà de 30 V/µs, on note une divergence entre les résultats expérimentaux et la simulation (figure II.29). Les hautes fréquences utilisées pour générer les dV_{DS}/dt maximum (50 V/µs est atteint pour une tension V_{DS} de fréquence de 800 kHz) sont à l'origine de cette différence. Si nous extrapolons la courbe issue de la simulation pour déterminer le dV_{DS}/dt minimal à appliquer pour générer une surtension de 6 V en sortie de la logique, on trouve une valeur supérieure à 1,1 kV/µs.

Il s'agit là d'une valeur de dV_{DS}/dt plus faible que dans le cas de la polarisation positive puisque ce calcul est effectué pour une polarisation nulle du MBS, ce qui correspond au cas le plus défavorable (figure I.14). La conclusion qui s'impose est la même que celle obtenue pour le cas de la polarisation positive, à savoir qu'il est nécessaire d'optimiser la partie logique afin de limiter les perturbations engendrées par les dV_{DS}/dt.

Il existe des solutions pour diminuer la sensibilité du dispositif monolithique aux perturbations en mode bloqué. L'étude faite au chapitre I (paragraphe I.2.3.2.5) de la géométrie des composants (puce D1) et du dimensionnement de la logique (puce D3) montre des différences significatives de susceptibilité. Des modifications du procédé de fabrication avec la possibilité d'y inclure les résultats de l'étude menée en mode bloqué amélioreraient les performances dynamiques. L'optimisation des paramètres de la logique est, a priori, le moyen le mieux adapté pour diminuer les perturbations, avec notamment le réglage de l'impédance de sortie de la logique à l'état bas (R_{Lb}). En diminuant cette valeur dans le modèle capacitif (figure I.22), la tension parasite de grille générée par le courant parasite issu de la capacité de grille, est réduite (figure II.30). Ainsi, dans le cas d'un gradateur, il sera possible d'intégrer des composants de puissance qui commutent plus rapidement, sans provoquer de dysfonctionnement de la logique et en assurant un meilleur respect des normes.

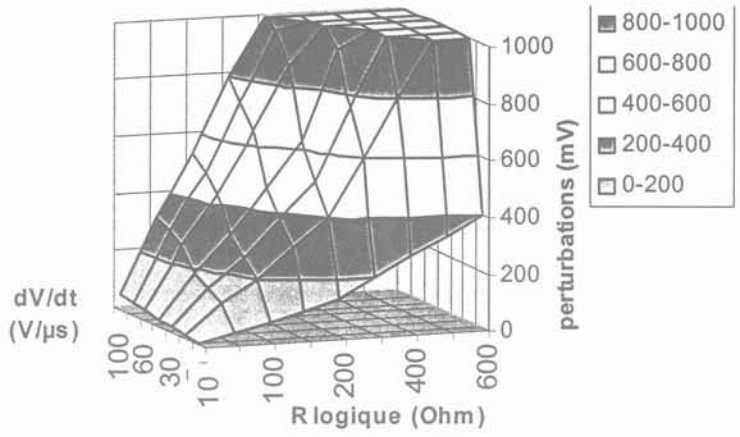


Figure II.30 : Influence de l'impédance de sortie R_{Lb} sur le niveau de perturbations.

Cette solution est efficace et permet un contrôle précis du niveau des perturbations. Elle soulève cependant des problèmes d'ordre énergétique inhérents à l'usage final d'un tel dispositif si, comme cela l'a été préalablement souligné, ce type de composant est destiné à être utilisé dans des applications de domotique ou d'appareils électroménagers de faible consommation énergétique. Le rendement de ces dispositifs doit donc être performant. Des projets sont actuellement à l'étude qui concernent la réalisation d'un dispositif monolithique comportant un interrupteur de puissance et sa logique de commande auto alimentée (et donc isolée), qui permettrait de s'affranchir d'alimentation et d'isolation externe [15]. Au niveau du composant de puissance, cela signifie un minimum de pertes. En ce qui concerne la logique, cela implique une consommation réduite. Or l'impédance de l'étage de sortie conditionne cette consommation. Ainsi, plus l'étage de sortie aura une impédance faible, plus forte sera sa consommation (figure II.31), d'où un compromis à réaliser entre le niveau de perturbations et la consommation électrique de la logique.

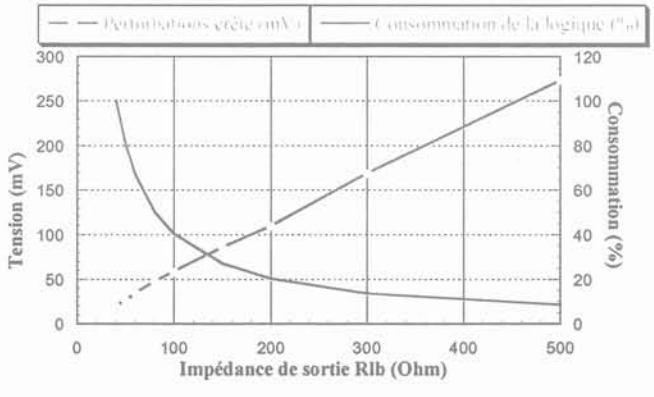


Figure II.31 : Compromis niveau des perturbations-consommation électrique de la logique.

Du point de vue du concepteur, le réglage de l'impédance de sortie ne présente aucune difficulté majeure. Par contre, sa détermination est plus complexe et dépend du cahier des charges du composant monolithique et de la structure dans laquelle il va être intégré. Il est difficile, arrivé à ce stade de la réflexion, d'aller plus avant dans l'optimisation de la logique de commande sans avoir un réel cahier des charges avec des contraintes bien spécifiées. Toutefois nous allons rappeler dans les quelques lignes qui suivent, les paramètres électriques qui sont concernés par la valeur de l'impédance de sortie de la logique à l'état bas.

La valeur de R_{Lb} influe sur :

- le niveau de perturbations de la logique en mode bloqué.

- la consommation électrique de la logique.

- le temps de décharge de la capacité grille source lors du blocage du MBS. Plus R_{Lb} est grande plus le temps de décharge est long, et plus la commutation à l'ouverture est lente [16]. Dans le cas précis du MBS cela est masqué par la durée du courant de queue.

- Les dimensions de la logique. En effet la superficie de l'étage de sortie est inversement proportionnelle à la valeur de R_{Lb}. Cela dit, cette préoccupation n'est à prendre en considération que dans un second temps, compte tenu du rapport des surfaces entre la logique et le MBS (la surface de la logique représente approximativement un vingtième de la surface active du MBS).

En parallèle à de toutes ces contraintes dont il faut tenir compte, se pose le problème crucial du coût de fabrication de ces dispositifs. Dans le domaine des appareils électroménagers grand public ou de la domotique, les bas coûts de revient sont indispensables. Cela impose des contraintes au niveau du procédé de fabrication de la logique. Afin de ne pas augmenter de manière démesurée (par rapport au coût final) le nombre d'étapes du procédé, les étapes nécessaires à la réalisation de la logique (lithographie, implantation, recuits) doivent s'insérer dans celles utilisées pour le MBS. Au final deux niveaux de masquage supplémentaire ont été ajoutés en ce qui concerne la logique de type 2 (et un seul pour la logique de type 1). Cela explique les performances moyennes, mais néanmoins suffisantes, de la commande du MBS, et aussi pourquoi une logique de type CMOS, qui autorisait de meilleures caractéristiques dynamiques et une consommation électrique revue à la baisse, n'a pas été utilisée.

II.2.5.1.2 Mode de conduction

Lorsque le MBS est fermé, des tensions parasites sont observées au niveau de l'électrode de grille lorsque le courant I_{DS}, traversant le MBS, varie. De manière similaire au cas du mode bloqué, ces variations de courant engendrent des variations de potentiel au niveau de la capacité de grille, qui sont à l'origine d'un courant capacitif transmis à l'impédance de sortie de la logique via la connexion de grille. Les risques potentiels de ces surtensions sont un éventuel blocage parasite du MBS ou, plus probablement, une défaillance de la commande qui s'accompagne d'une perte de commande du composant de puissance. L'extinction parasite du MBS se produit si la tension de grille vient à baisser jusqu'à une valeur proche de sa tension de seuil [17]. Une estimation par extrapolation de l'évolution du niveau de perturbations en fonction des variations du courant (dI_{DS}/dt) montre que ce seuil peut être atteint pour des dI_{DS}/dt de l'ordre de la centaine d'ampères par microseconde (figure II.32).

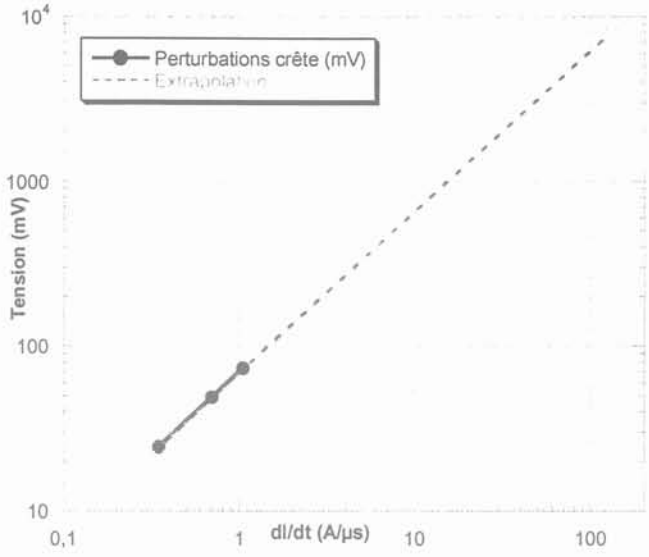


Figure II.32 : Seuil d'extinction parasite du MBS.

Là encore, des solutions existent pour diminuer l'impact des variations du courant sur des surtensions parasites en sortie de la logique. Il s'agit d'adapter la valeur de l'impédance de sortie de la logique à l'état haut (R_{Lh}) pour un niveau de perturbations acceptable, en tenant compte des contraintes de consommation et de vitesse de commutation.

II.2.5.2 Régime dynamique

Lors des phases de régime transitoire, des perturbations ont été mises en évidence au niveau de la logique non connectée. Elles sont engendrées par les brusques variations de potentiel du substrat (dV_{DS}/dt) lorsque le MBS commute. Cela génère alors un courant parasite de type capacitif qui traverse la jonction du caisson d'isolation. Localement, le potentiel du substrat de la logique subit des variations de potentiel qui se retrouvent en sortie de la logique non connectée. La logique étant constituée d'étages inverseurs, leur caractéristique de transfert (figure II.27) fait que dans un premier temps (jusqu'au point B), les effets des perturbations sont amortis d'un étage à l'autre. Dans ce cas, seules les perturbations de l'étage de sortie sont visibles. Par contre, si le niveau des perturbations venait à faire se déplacer sur la caractéristique de transfert le point de fonctionnement au delà du point B, il y aurait alors basculement de l'étage inverseur en question. L'état de sortie de la logique serait alors modifié, passant de l'état haut à l'état bas ou inversement.

En ce qui concerne les perturbations de la logique qui pilote l'électrode de grille du MBS, ses étages inverseurs subissent également les fluctuations du potentiel de substrat. La tension de sortie ne semble pas perturbée, puisque d'une part, lors des commutations, celle ci est imposée par le MBS [18], et que d'autre part les dV_{DS}/dt générés ne sont pas suffisants pour provoquer le changement d'état de la logique. En régime transitoire, les perturbations du signal de grille sont de type "tout ou rien" : soit elles n'ont pas de conséquences visibles sur la sortie de la logique, soit elles provoquent un dysfonctionnement de la commande.

Nous avons vu aux paragraphes II.2.3 et II.2.4 que ce sont les dV_{DS}/dt qui sont à l'origine des perturbations de la logique. Il ne faut cependant pas conclure que plus le MBS sera rapide, plus le point de fonctionnement des étages inverseurs de la logique se rapprochera du point critique B (figure II.27). Dans un premier temps, il est possible de diminuer le temps

d'extinction du courant dans le MBS sans que cela n'ait de conséquences sur le temps de montée de la tension drain source V_{DS}. Le niveau de perturbations serait alors inchangé, alors que la fréquence de fonctionnement possible pour le MBS serait considérablement augmentée. Cela dépend du contrôle de la quantité de charges injectées dans le volume du semiconducteur. Par contre, si des modifications de structure sont faites sur le MBS (grille trench, oxyde de grille d'épaisseur variable) pour se rapprocher des structures classiques des composants à grille isolée rapides, il y aura nécessairement des répercussions au niveau de la durée du pallier Miller, du temps de charge de la capacité grille source, et donc au niveau de la vitesse de variation de la tension V_{DS}. De la même manière, si on muscle la logique de commande du composant de puissance en augmentant le courant de charge de la capacité grille source, on augmente également la vitesse de commutation et donc les dV_{DS}/dt. Dans ce cas, on peut s'attendre à une augmentation des perturbations et des conséquences visibles en sortie de la logique. Cela veut donc dire que si on remplace dans nos dispositifs monolithiques le MBS par un IGBT ou un MOS beaucoup plus rapide (avec des dV_{DS}/dt de l'ordre de 19 kV/µs), la logique, telle qu'elle est conçue actuellement, n'est pas adaptée.

Des solutions existent pour tenter de diminuer l'influence des dV_{DS}/dt. Elles consistent généralement à concevoir des règles de dessin performantes [19] qui procurent aux charges injectées dans le caisson un chemin préférentiel d'évacuation afin de limiter les fluctuations du potentiel de substrat de la logique [20]. Il est donc probable que l'on puisse envisager de remplacer le MBS par un IGBT (ou un MOS) et de continuer à assurer le bon fonctionnement de la logique de commande moyennant quelques aménagements structurels de l'isolation de la logique [21]. Il faut cependant, dans la plupart des cas, trouver des réponses qui n'engendrent pas de surcoûts, afin que l'intégration monolithique des composants reste compétitive vis à vis des composants discrets lorsque cela concerne des marchés tels que l'automobile, l'électroménager grand public ou encore les systèmes de télécommunication.

Pour parer aux perturbations du régime transitoire tout en conservant les contraintes de fiabilité et de coûts, il faut partir du cahier des charges dynamique de l'interrupteur de puissance et raisonner en fonction de ses caractéristiques propres.

II.2.6 Conclusion

Dans cette partie nous avons étudié le fonctionnement en régime transitoire de l'association monolithique MBS-logique de commande. Tout d'abord les commutations du composant de puissance, et notamment son blocage, mettent en évidence son comportement de type IGBT. Il existe en effet une traînée de courant, relativement longue (comparée à d'autres dispositifs du commerce), mais qui peut être fortement diminuée. Les phases transitoires du composant monolithique sont relativement lentes compte tenu des courants et des tensions commutés, et s'expliquent par les caractéristiques délibérément choisies pour la logique. Néanmoins, les fronts de montée et de descente de la tension V_{DS} (dV_{DS}/dt) sont suffisamment raides pour générer des perturbations de type capacitif. Relayés par la capacité de jonction PN entre le caisson d'isolation de la logique et le substrat ν, les dV_{DS}/dt engendrent des pics de tensions en sortie de la logique non connectée.

Par ailleurs l'interaction puissance commande de ce composant monolithique est influencée par un paramètre important du comportement des dispositifs de puissance : la température. La température de fonctionnement de la logique qui pilote la grille du MBS varie en fonction de la distance séparant la partie puissance (source de chaleur) de la partie commande. Cela se retrouve au niveau des pics de tension en sortie de la logique non connectée. Quant à la logique connectée, elle est également perturbée, mais cela ne se voit pas en terme de polarisation de la grille. Et heureusement, puisque pour le MBS cela signifierait

que la tension d'entrée V_{In} de la logique ne commanderait plus la tension de grille. La commande de l'association monolithique ne serait alors pas fiable.

II.3 FILIERE COMPOSANTS DE PUISSANCE SUR SOI

II.3.1 Etude des perturbations

II.3.1.1 Banc expérimental

Dans le chapitre précédent (I.3) il a été expliqué que les perturbations sont engendrées par des phénomènes capacitifs, et que la meilleure plage de fonctionnement pour les étudier est le régime transitoire. Un banc de tests a été élaboré à cet effet (figure II.33).

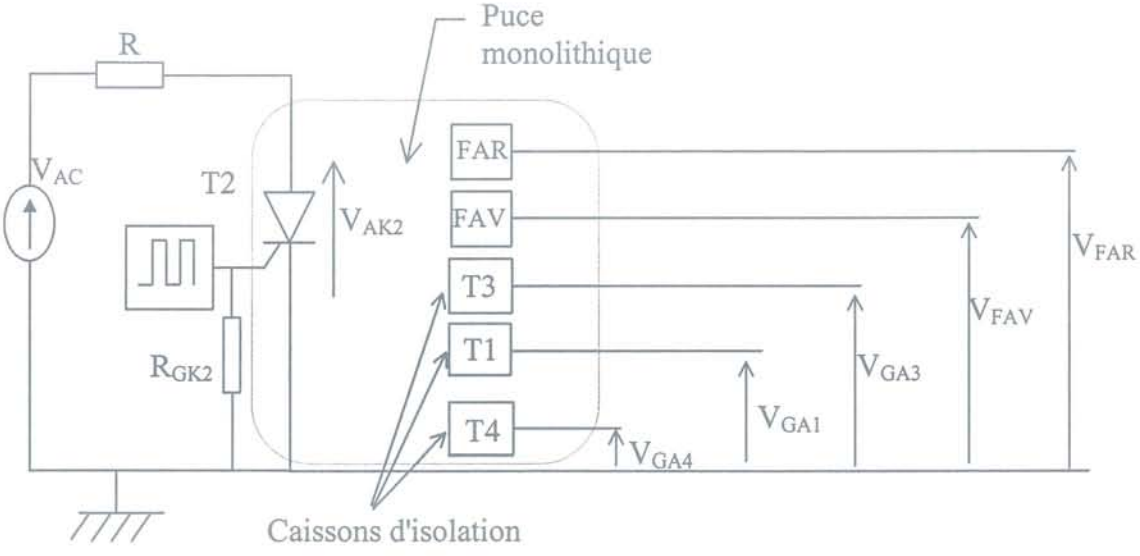


Figure II.33 : Banc de tests.

On connecte un thyristor de la puce monolithique (ici T2) aux bornes d'une source de tension alternative ; une carte de commande est connectée à sa gâchette d'anode afin de pouvoir le commander à la fermeture. Une résistance R_{GK2} de 1 kΩ vient fixer le potentiel de la gâchette de cathode à celui de la cathode lorsque T2 est bloqué. La mise en conduction de T2 est réglée au niveau de la carte de commande à une fréquence de 100 Hz, alors que la fréquence de la source alternative est fixée à 200 Hz. Ainsi T2, qui ne peut conduire que durant les arches de sinusoïdes positives, ne conduira qu'une arche sur deux (figure II.34), ceci afin de limiter la puissance dissipée dans le boîtier, et donc l'influence de la température sur les résultats expérimentaux.

Par ailleurs l'empilement SI (60 µm) / SiO_2 (3µm) / Si (500 µm) équivaut à une résistance thermique de l'ordre de 1,9 °C/W. Si on considère que la couche de brasure possède une R_{th} de l'ordre de 0,1 °C/W [4] et que celle du boîtier vaut aux environs de 0,3°C/W(données constructeur), on arrive à un total de 2,4 °C/W. Les pertes engendrées lors de la conduction du MBS (quelques Watts) vont donc générer une élévation de température du silicium de la dizaine de degrés Celsius par rapport à la température du boîtier. De plus nous pourrons avoir accès à la température moyenne de fonctionnement du thyristor en utilisant un pointeur laser approprié.

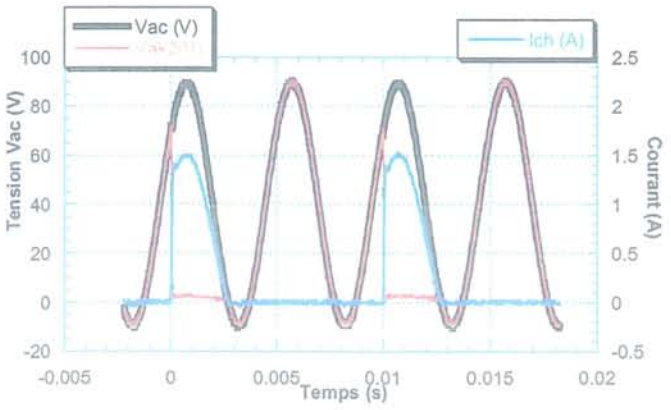


Figure II.34 : Instants de conduction du thyristor T2.

Lorsque T2 commute, on visualise alors les tensions à l'intérieur des autres caissons (ainsi que les potentiels de la face avant et de la face arrière). Un exemple des courbes obtenues est donné figure II.35.

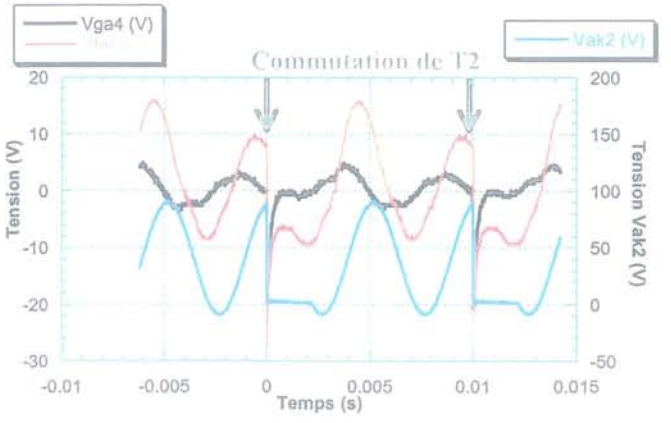


Figure II.35: Courbes expérimentales.

On constate que la commutation de T2 a des répercussions au niveau du potentiel de la face arrière (FAR) et de la tension V_{GA4}. Cependant, à cause de la très forte valeur de l'impédance équivalente entre deux caissons (> 100 GΩ), les sondes de tension, d'impédance 10 MΩ [22], ont un rôle actif dans le circuit. En effet l'isolation fournie par les tranchées est telle que les caissons, s'ils ne sont connectés à aucune partie du circuit, sont tous flottants. Les sondes de tension n'ayant pas une impédance suffisamment élevée, elles influent directement sur les mesures. Le test schématisé sur la figure II.36 permet expérimentalement de s'en rendre compte. On remarque que l'ajout d'une seconde sonde en un point de mesure divise l'amplitude de la tension observée par deux (du fait de la mise en parallèle de deux impédances équivalentes).

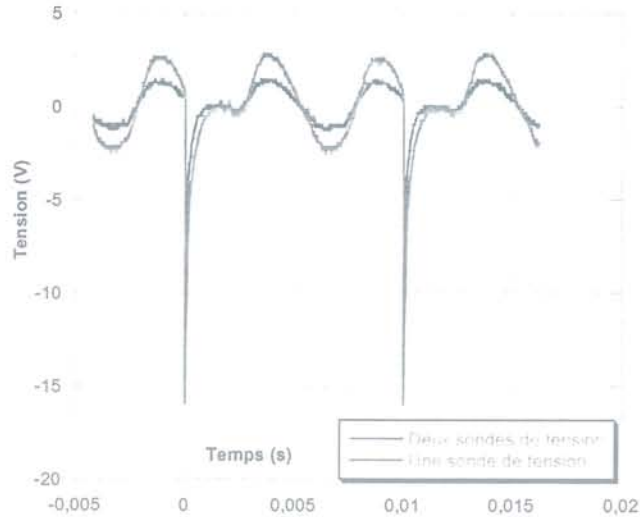


Figure II.36 : Influence des sondes de tension sur la mesure de V_{GA3}.

L'usage de sondes différentielles de tension et de montages de mesure de tension à très haute impédance d'entrée, à l'aide d'amplificateur opérationnel en mode suiveur [23], n'a pas donné de meilleurs résultats. C'est pourquoi nous avons changé de critère de mesure des perturbations en observant désormais les niveaux de courants injectés.

II.3.1.2 Origine capacitive du courant parasite

Nous avons pris le parti de mesurer les courants ; pour cela on impose le potentiel de la gâchette d'anode (V_{GA}) des thyristors à la masse du circuit via une résistance R_{GA} (figure II.37), et une sonde de courant à effet Hall [24] permet de mesurer les courants qui circulent.

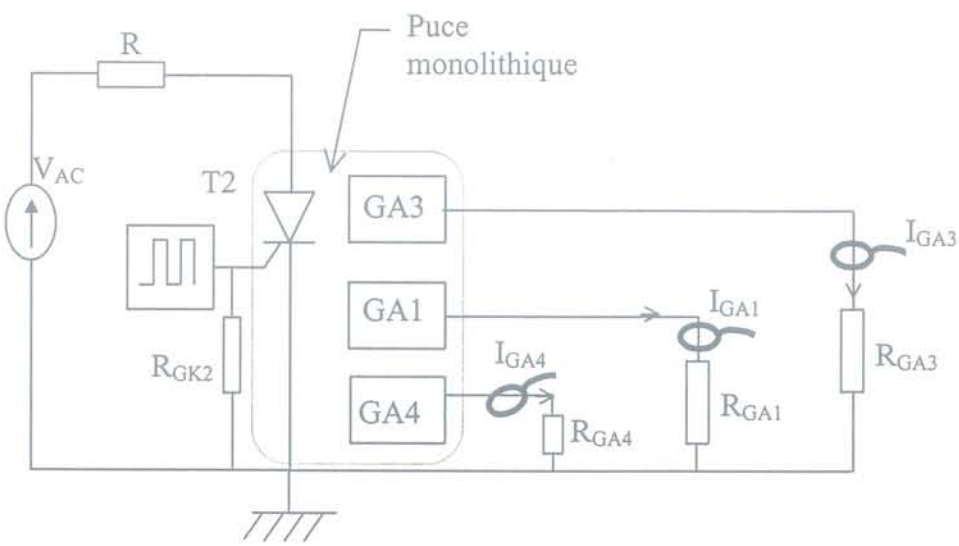


Figure II.37 : Principe de mesure des perturbations.

Pour vérifier l'hypothèse retenue qui consiste à dire que les courants parasites (figure II.38) ont pour origine des effets capacitifs, nous avons dérivé pendant la fermeture de T2 la tension $V_{AK2}(t)$. Comme nous pouvons le constater sur la figure II.39, le graphe de

$dV_{AK2}(t)/dt$ et celui du courant parasite $I_{GK3}(t)$ se superposent. Par cette démarche nous confirmons l'hypothèse avancée qui attribue aux effets capacitifs le courant parasite mesuré.

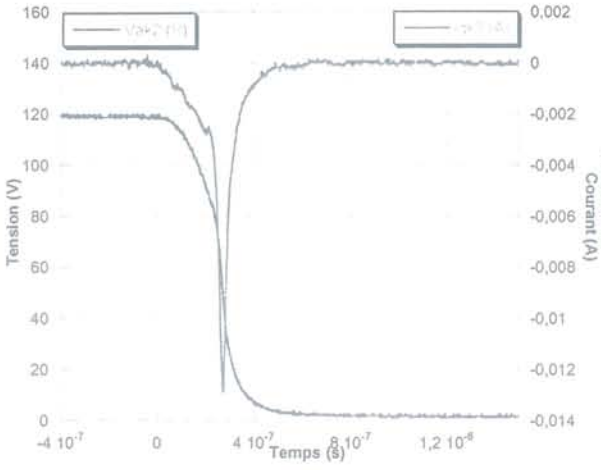


Figure II.38 : Courant $I_{GA3}(t)$ lors de la fermeture de T2.

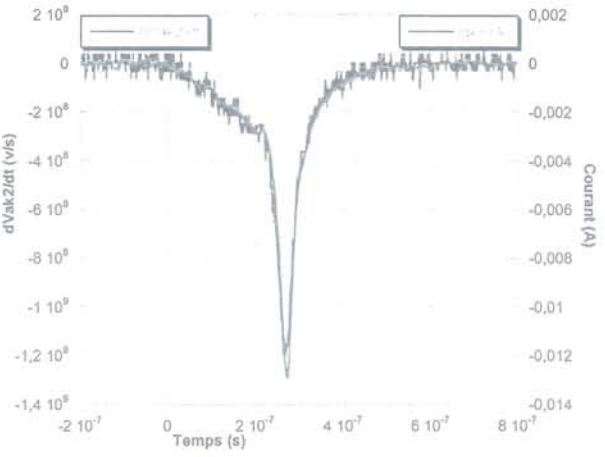


Figure II.39 : Mise en évidence de l'origine capacitive de $I_{GA3}(t)$.

II.3.1.3 Résultats du modèle

Maintenant que l'origine capacitive des perturbations est mise en évidence, il faut désormais valider le modèle capacitif déterminé au chapitre précédent (paragraphe I.3.3). Ce modèle est rappelé sur la figure II.40.

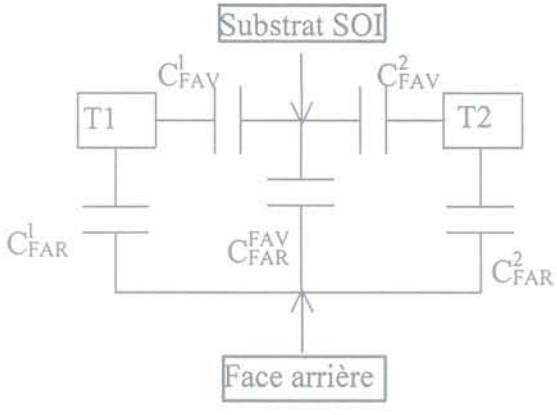


Figure II.40 : Modèle capacitif.

Les capacités qui interviennent ont été déterminées au cours du paragraphe I.3.3 du chapitre I. A l'aide du logiciel PSPICE, on simule la réponse de ce système capacitif aux dV/dt générés lors de la fermeture de T2. On peut comparer ensuite le courant I_{GA3} relevé expérimentalement à celui issu de la simulation (figure II.41).

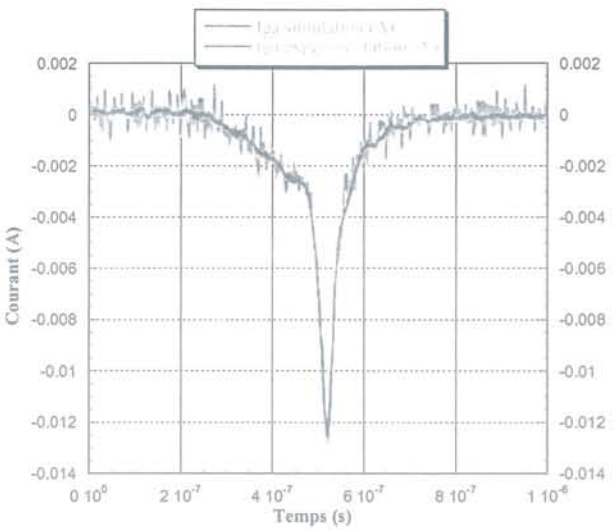


Figure II.41 : Comparaison expérimentation-simulation.

Là aussi les deux courbes se superposent. Puisque le modèle développé, décrit la capacité équivalente qui existe entre deux caissons d'isolation, cela laisse sous entendre que la distance existante entre les deux caissons n'intervient pas. Le courant I_{GA} doit être le même au niveau du thyristor T3 qu'au niveau des thyristors T1 et T4. Les amplitudes crête des courants I_{GA} mesurés expérimentalement sont reportées sur la figure II.42.

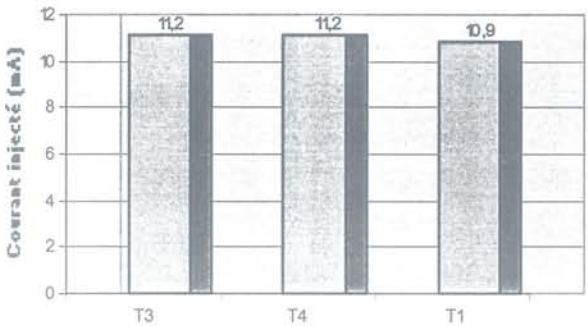


Figure II.42 : Influence de la distance sur l'amplitude crête des courants I_{GA}.

On retrouve le même niveau de perturbations entre les caissons 1 et 3, situés de part et d'autre du caisson 2, et le caisson 4 qui lui se trouve un peu plus éloigné de l'origine du dV/dt. Cela signifie que la distance entre caissons n'intervient pas. Par conséquent, l'intégration des composants SOI peut être maximisée en rapprochant les caissons les uns des autres. Les seules limites à la densité d'intégration étant d'ordre technologique, à savoir l'épaisseur minimale d'une tranchée qui doit supporter une isolation de 600 V et les bordures de dégagement nécessaire à la préparation de la gravure du silicium.

II.3.1.4 Mesure du courant de gâchette

On s'intéresse désormais à l'amplitude du courant parasite qui peut être collecté par l'électrode de gâchette de cathode. Lors de la fermeture de T3, on visualise successivement les courants I_{A2}, I_{GA2} et I_{GK2} pour une résistance de gâchette d'anode de un Ohm (figure II.43). On constate alors que les valeurs crêtes de I_{GA2} et I_{A2} sont sensiblement les mêmes, et plus

élevées que celles de I_{GK2}. De la même façon on observe sur la figure II.43 les grandeurs I_{A3}, I_{GA3} et I_{GK3} suite à la commutation de T2. L'amplitude du courant parasite relevé dans la gâchette d'anode est encore la plus importante, mais cette fois ci les courants de gâchette de cathode et d'anode sont les mêmes, et sont inférieurs à I_{GK3}.

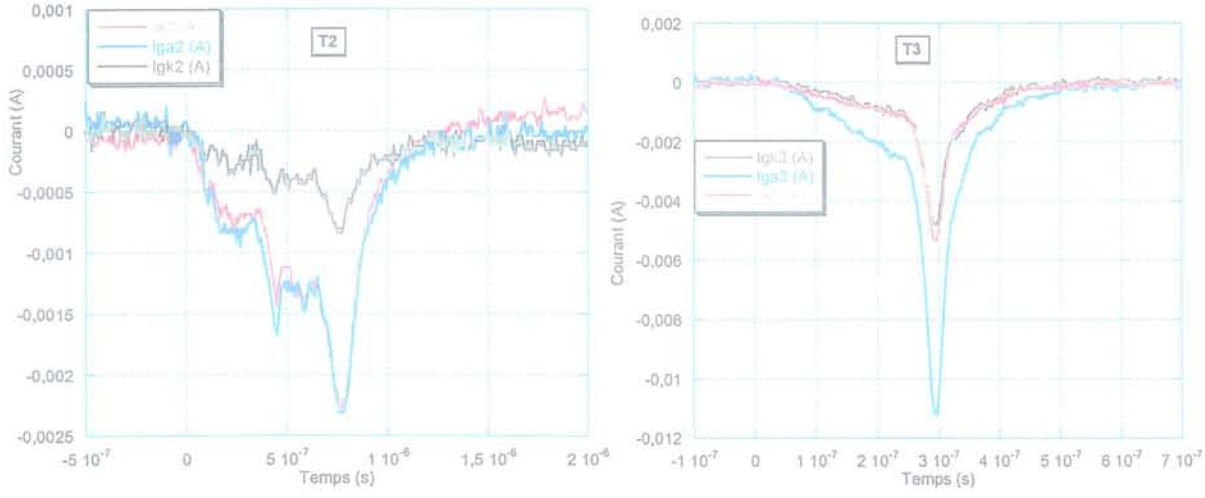
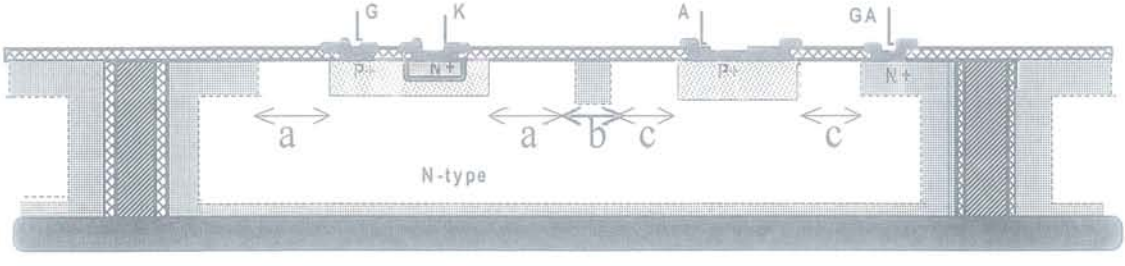


Figure II.43 : Comparaisons des courants d'anode, de gâchette d'anode et de gâchette de cathode suite à la commutation de T3 (et de T2).

Cela s'explique par la structure des thyristors (figure II.44) ; il existe une couche dopée N+ en regard de l'oxyde enterré et de toute la surface de la tranchée d'isolation. Cette couche faiblement résistive représente dans le modèle capacitif (figure II.40) l'électrode commune aux capacités C^3_{FAV} et C^3_{FAR}. C'est donc dans cette couche qu'est injecté le courant parasite provenant des commutations de T2 (et de T3). Cette zone de faible résistivité électrique étant reliée à l'électrode de gâchette d'anode (GA), l'intégralité des charges injectées dans le caisson se retrouve au niveau de la gâchette d'anode. On comprend alors pourquoi l'amplitude crête du courant recueilli par l'anode est la plus élevée.



	a	b	c
T2	30 µm	10 µm	0 µm
T3	40 µm	10µm	40 µm

Figure II.44 : Structure du thyristor T2.

La description de la structure de T2 (c=0, figure II.45) indique qu'il y a un court circuit entre l'anode et la gâchette d'anode, qui explique les formes similaires des courants parasites recueillis. La valeur du courant crête I_{GK2} est quand à elle plus faible. Compte tenu de la structure du thyristor T2 cela se comprend bien puisque les charges injectées au niveau de la

zone N+ de la gâchette d'anode doivent traverser la région de substrat faiblement dopée et franchir la jonction PN gâchette de cathode-gâchette d'anode.

La structure du thyristor T3 est parfaitement symétrique en ce qui concerne les îlots P+ qui constituent les régions d'anode et de gâchette de cathode. Cela se retrouve au niveau des courants parasites I_{AK3} et I_{GK3} qui sont égaux.

La gâchette de cathode des thyristors peut donc recueillir un courant parasite, de l'ordre du milliampère crête dans le cas des thyristors T2 et T3. Cette valeur correspond au niveau des courants de déclenchement et de maintien de ces thyristors. La question qui se pose alors est de savoir si ces courants parasites sont capables de déclencher la fermeture d'un thyristor, et si oui dans quelles conditions.

II.3.2 Etude des conséquences des courants parasites

II.3.2.1 Déclenchement parasite

Maintenant que le modèle qui permet de décrire le courant capacitif qui circule au niveau de la puce est validé, il convient de savoir dans quelles mesures cette injection de charges peut être néfaste au bon fonctionnement des thyristors. Le risque majeur, puisqu'il s'agit de composants bipolaires commandés en courant, est la mise en conduction intempestive d'un composant. Dans cette optique, le banc de tests de la figure II.45 a été développé.

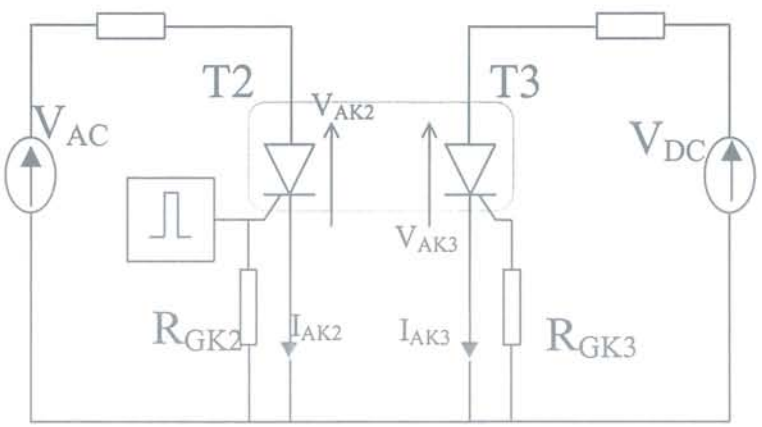


Figure II.45 : Etude du déclenchement parasite.

Le thyristor T2 est toujours connecté aux bornes d'une source de tension alternative V_{AC} et sa commande de gâchette est mono coup. Par ailleurs, on dispose aux bornes du thyristor T3 une alimentation continue de sorte que, si T3 se ferme suite à une injection de charges parasites, sa conduction soit durable. Une résistance R_{GK3} vient assurer la mise à zéro du potentiel de gâchette de cathode. En faisant varier la valeur de R_{GK3} on peut alors rendre plus sensible T3 et ainsi favoriser son déclenchement parasite. C'est ce qu'on observe sur la figure II.46.

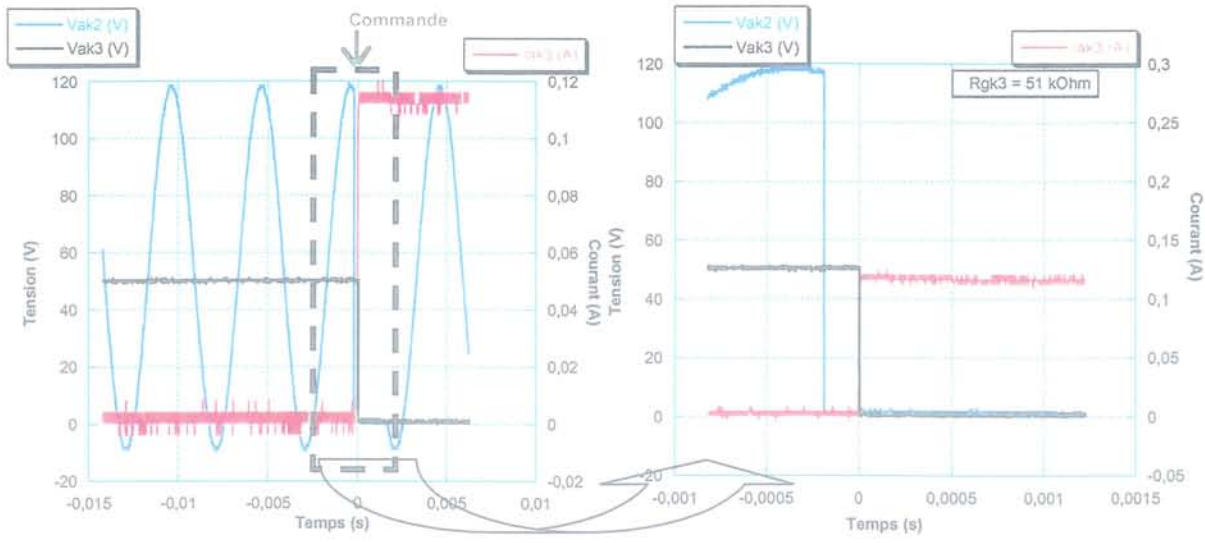


Figure II.46 : Déclenchement parasite de T3 suite à la fermeture de T2 (R_{GK3} = 51 kΩ).

On visualise bien l'instant de commutation de T2 qui est suivi par la chute de la tension V_{AK3} et la montée du courant I_{AK3}. Ce test montre qu'un déclenchement parasite d'un thyristor suite à la commutation d'un composant situé dans un caisson de la puce monolithique est tout à fait envisageable. Dans ce cas précis, la sensibilité de T3 a été augmentée en utilisant une résistance de gâchette de cathode de 51 KΩ. Il est désormais important de définir une zone d'immunité du thyristor vis à vis des déclenchements parasites. C'est l'objet du paragraphe suivant.

II.3.2.2 Immunité aux dV/dt

Pour déterminer la sensibilité de T3 on reporte sur un graphe les points $V_{AK3}(R_{GK3})$ pour lesquels il y a déclenchement parasite (figure II.47).

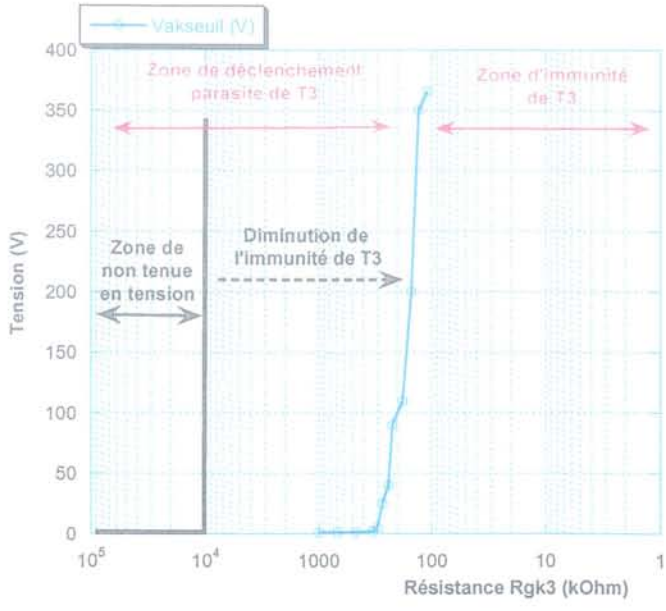


Figure II.47 : Immunité de T3 aux déclenchements parasites.

La susceptibilité de T3 aux dV_{AK2}/dt de T2 est très nette. Sans commutation de T2, la mise en conduction de T3 sous une polarisation continue s'effectue pour des résistances de gâchette supérieures à 10 MΩ alors que dans le cas de la commutation de T2, qui génère des dV_{AK2}/dt de l'ordre de 350 V/µs, il est nécessaire d'imposer une résistance R_{GK3} inférieure à 100 kΩ pour garantir l'immunité aux déclenchements parasites. En terme de résistance de gâchette, les dV_{AK2}/dt ont augmenté la sensibilité de T3 de près de deux décades. On reste cependant loin des valeurs classiques de résistances de gâchette utilisées dans les montages d'électronique de puissance, et qui varient autour du kilo-ohm [4][25].

Tous ces résultats s'appliquent dans le cadre d'un fonctionnement à température ambiante (≈ 30°C). Et, si l'on trace le même graphe que la figure II.45 mais à différentes températures de boîtier, on constate une augmentation de la susceptibilité des thyristors aux déclenchements parasites (figure II.48).

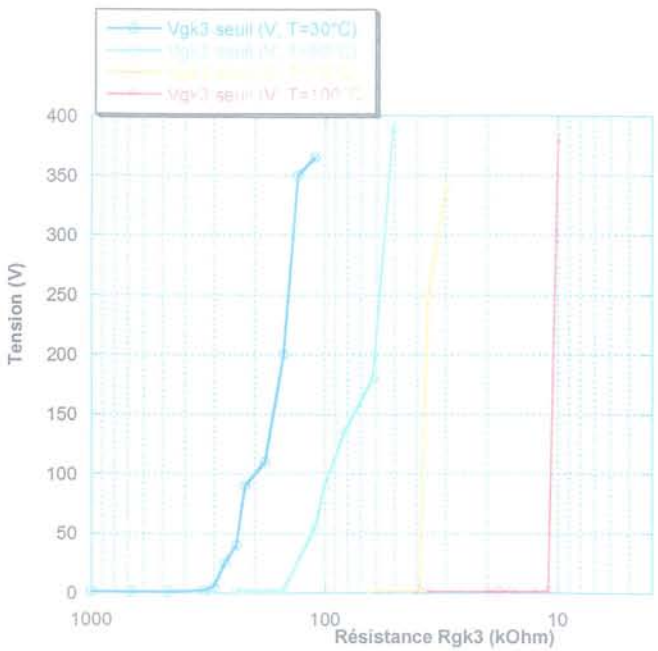


Figure II.48 : Influence de la température sur l'immunité de T3.

Pour une température de boîtier de 100°C, on constate que la limite entre la zone de déclenchement parasite et la zone d'immunité est devenue très abrupte et qu'elle avoisine les 10 kΩ. L'augmentation de la sensibilité des thyristors avec la température est un phénomène bien connu [4][24][26], qui explique le réseau de courbes obtenu. Les figures 49 et 50 donnent un exemple de déclenchement parasite pour le thyristor T2, avec une résistance R_{GK2} = 3kΩ, lorsque T3 est commandé à la fermeture.

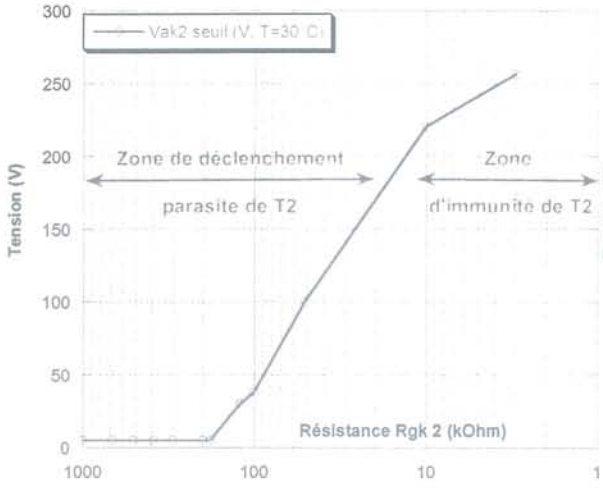


Figure II.49 : Immunité de T2 aux déclenchements parasites.

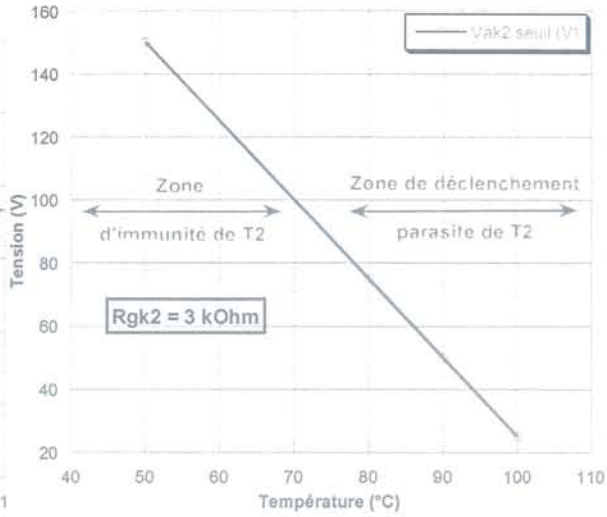


Figure II.50 : Influence de la température sur l'immunité de T2.

On observe alors que la zone d'immunité de T2 est plus réduite que celle du thyristor T3 (figure II.47). Pourtant, pour un même niveau de tension (V_{ak} = 120 V), le thyristor T2 est plus rapide à la fermeture que le thyristor T3 (figure II.51).

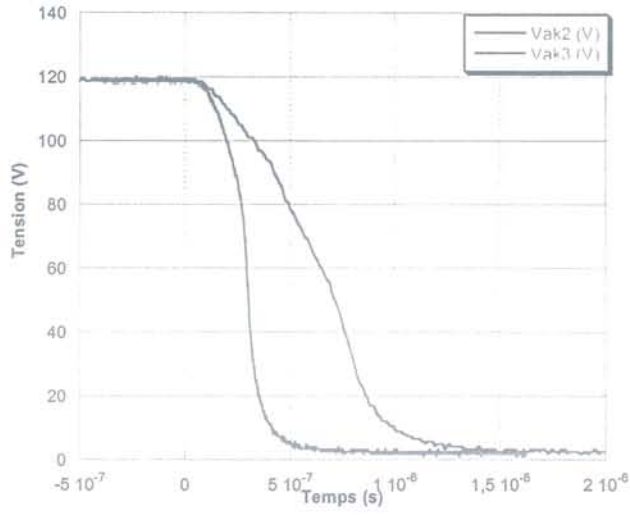


Figure II.51 : Comparaison des commutations de T2 et de T3.

Le dV/dt généré étant plus grand lorsque T2 commute, cela signifie que le courant parasite injecté dans le caisson T3 devrait être plus important que celui injecté dans T2 lorsque T3 commute. Cette différence de vitesse de commutation s'explique par la conception de T2. En effet T2 et T3 ne sont pas conçus de la même manière. La structure de T2 fait que celui ci ne tient pas les tensions négatives. C'est un thyristor asymétrique (0 V, +400 V), alors que T3 lui est parfaitement symétrique (-400 V, +400 V). C'est cette différence structurelle qui explique les vitesses de commutation différentes, et cette géométrie du composant influe également sur sa sensibilité aux déclenchements parasites. Cela explique la diminution de près de deux décades de la zone d'immunité de T2. Ainsi à température ambiante, une résistance de 1 kΩ ne laisse guère de marge de sécurité quand à l'immunité du composant vis à vis des déclenchements parasites.

Si maintenant on prend en compte l'influence de la température (figure II.50), on constate que pour une résistance R_{GK} donnée (3 kΩ), la tension V_{AK} à partir de laquelle il y a déclenchement parasite diminue très nettement lorsque la température de fonctionnement du dispositif augmente.

Le déclenchement parasite d'un thyristor par injection de charges parasites est un phénomène complexe de par le nombre et la nature des paramètres qu'il met en jeu. Bien évidemment, il dépend du système capacitif dont la valeur des éléments est déduite de données physiques et structurelles. Il dépend de paramètres externes comme la température de fonctionnement de la puce mais aussi des paramètres électriques des autres composants présents sur la puce, et qui sont susceptibles de générer des dV/dt. Enfin, il dépend aussi des caractéristiques du thyristor considéré qui, de par sa configuration, peut être rendu plus ou moins sensible aux pics de courants parasites injectés dans le caisson.

II.3.3 Limites du modèle

II.3.3.1 Hypothèse sur le mécanisme de déclenchement parasite des thyristors.

Le courant parasite injecté dans le caisson est un élément nécessaire à la mise en conduction du thyristor T3, comme le montre la figure II.52 ; le déclenchement parasite de T3 est bien consécutif à la fermeture de T2. L'injection du courant parasite capacitive s'effectue simultanément à la fermeture de T2 (figure II.39). On a pu observer expérimentalement que le déclenchement parasite du thyristor s'effectue avec un certain temps de retard par rapport au dV/dt (figure II.53).

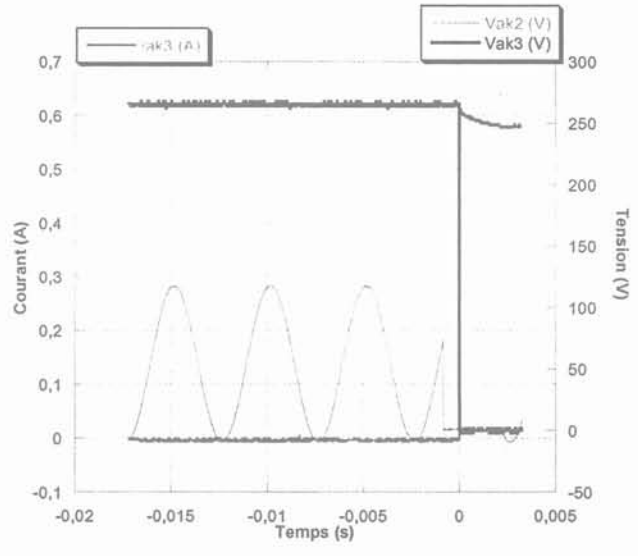


Figure II.52 : Déclenchement parasite de T3 suite à la fermeture de T2.

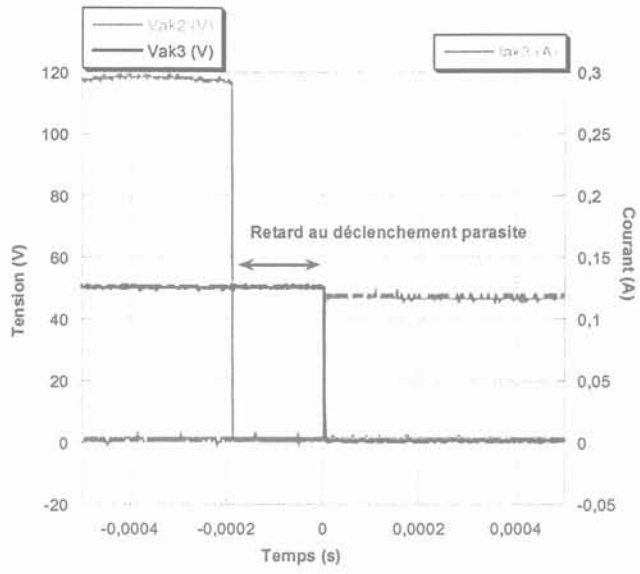


Figure II.53 : Temps de retard du déclenchement parasite du thyristor T3.

Ce temps de retard est de l'ordre de 200 µs, ce qui est trop long pour considérer qu'il s'agisse du temps nécessaire au courant injecté au niveau de la gâchette d'anode pour atteindre la gâchette de cathode, élever son potentiel à 0,6 V et déclencher la commutation de T3. Nous avons essayé de caractériser ce laps de temps. Pour une même valeur de polarisation (V_{AK3}) de T3, on retrouve des valeurs assez dispersées (de 200 à 400 µs) (figure II.54). Mais on constate que plus V_{AK3} est élevée, plus le temps de retard diminue. Cela est d'autant plus observable si l'on compare le cumul des temps de retard pour sept déclenchements parasites en fonction de la polarisation V_{AK3} (figure II.55). La valeur du champ électrique qui règne dans le composant lorsque celui ci est bloqué (en polarisation positive) est donc un facteur d'accélération du phénomène de déclenchement parasite.

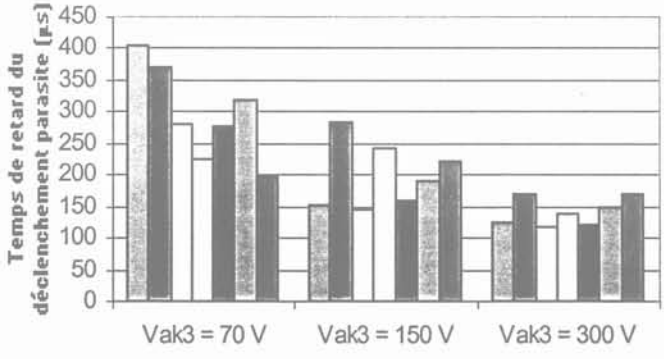


Figure II.54 : Evolution des temps de retard en fonction de la polarisation V_{AK3}.

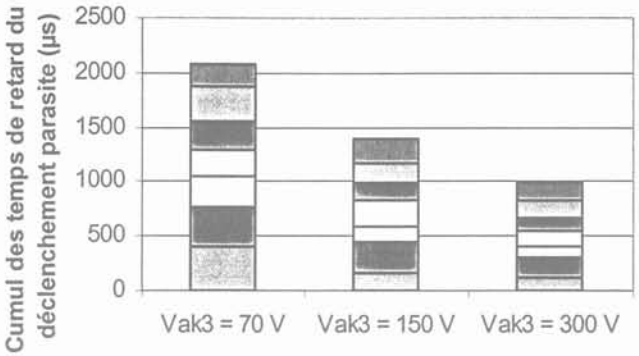


Figure II.55 : Cumul des temps de retard en fonction de la polarisation V_{AK3}.

Comme on l'a vu au cours des tests électriques précédents, la température de fonctionnement et la tension V_{AK} des thyristors sont deux facteurs qui font évoluer la sensibilité aux déclenchements parasites. Le courant de fuite d'une jonction PN en inverse est lui aussi facteur de la valeur de la tension imposée à la jonction et de la température.

L'hypothèse que nous avançons pour le déclenchement parasite des thyristors est liée au courant de fuite des thyristors. Ils présentent en effet un courant de fuite relativement important au vu de leur calibre en tension, de l'ordre de la dizaine de milliampères sous 400 V. Lorsqu'un dV/dt est généré dans un caisson suite à la commutation d'un thyristor, cela crée un pic de courant négatif dans la résistance de gâchette R_{GK}. Selon la convention de signe de la figure II.37, cela correspond à une injection de charges dans la zone de gâchette d'anode. Or cette région est également la base du transistor bipolaire NPN à fort gain (tableau II.4), qui est à l'origine de l'effet thyristor [4].

Courant de base	1 µa	10 µA	1mA
Gain	34	301	138

Tableau II.4 : Gain du transistor NPN.

Cette injection de charges va donc amplifier le courant de fuite de la jonction gâchette d'anode-gâchette de cathode, qui peut être également considérée comme le courant de collecteur du NPN. Lors des tests effectués, la commutation parasite est obtenue en augmentant progressivement la tension V_{AK}, afin de relever la tension de seuil du déclenchement. En augmentant ainsi la polarisation du thyristor, on accroît le courant de fuite de la jonction base-collecteur du NPN qui, amplifié par le gain du transistor, génère un courant de l'ordre du milliampère au moment du déclenchement parasite.

On comprend alors l'influence de la température sur l'immunité du thyristor aux dV/dt. En effet, l'augmentation avec la température du courant de fuite de la jonction gâchette d'anode-gâchette de cathode n'a pas besoin d'être accentuée par l'application d'une tension V_{AK} importante. Ainsi, pour une résistance R_{GK} donnée, la tension V_{AK} qui autorise le déclenchement parasite est plus faible lorsque la température est plus élevée.

Le modèle capacitif de la figure II.41 a été développé afin de confirmer l'origine capacitive des perturbations. Connaissant les dV/dt générés à l'intérieur d'un caisson, il permet de prévoir le courant parasite injecté dans les autres caissons. Afin de prévoir le déclenchement parasite d'un thyristor, ce modèle se place en complément des modèles de thyristors utilisés par le concepteur pour ses applications [27][28]. Par contre, cela souligne

l'utilité de trouver des solutions pour augmenter l'immunité des thyristors, et donc d'accroître leur aire de sécurité.

II.3.3.2 Influence des potentiels FAV et FAR

Au cours des tests effectués précédemment, les potentiels de la face avant et de la face arrière sont restés flottants. Sachant qu'une tranchée supporte 600 V, on peut envisager d'imposer un potentiel fixe à la face avant, c'est à dire à tout le silicium situé entre les caissons. En ce qui concerne la face arrière, il n'y a pas de problèmes particuliers. Cela suppose quand même une application particulière dans la découpe des puces afin que les bords de puces soient nettoyés d'éventuels copeaux métalliques. En effet les contraintes mécaniques des plaques SOI sur lesquelles sont réalisées les tranchées rendent la découpe des composants délicate ; et suite à cette découpe, la présence de résidus métalliques sur la tranche des puces peut provoquer des effets de bords, et casser les connexions entre le boîtier et les faces avant et arrière. Ce cas est apparu quelques fois au cours des expérimentations. Des observations ont montré la trace d'un arc électrique qui s'est produit entre la face avant et la face arrière, vaporisant ainsi les bondings (figure II.56).

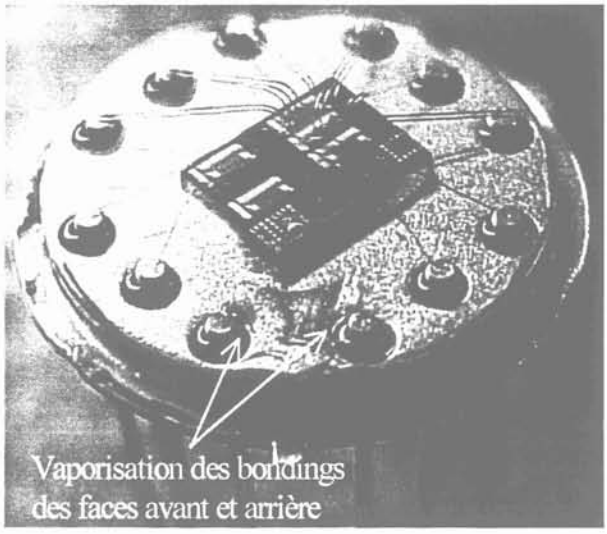


Figure II.56 : Etat des bondings après l'apparition d'un arc électrique entre face avant et face arrière de la puce.

Dans notre étude nous choisissons d'appliquer aux électrodes de la face avant (FAV) et de la face arrière (FAR) le potentiel de masse. Dans un premier temps, une seule de ces électrodes est reliée à la masse (tantôt FAV, tantôt FAR), puis le potentiel de masse est appliqué simultanément aux deux électrodes, cela afin d'observer les variations d'amplitude du courant crête I_{GA3} (figure II.57).

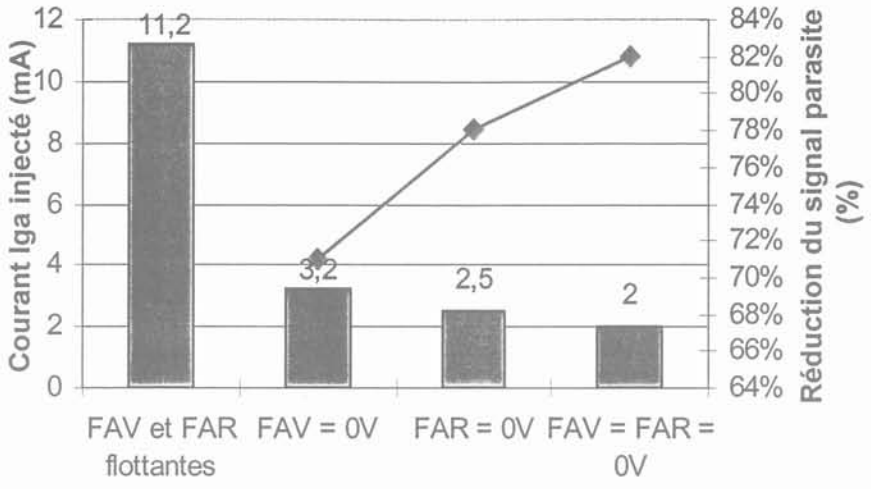


Figure II.57 : Influence des potentiels de la face avant et de la face arrière sur le courant I_{GA3}.

On constate sur la figure II.57 qu'un potentiel fixe en face avant (figure II.40) permet de réduire de 71 % l'amplitude crête du courant capacitif injecté dans le caisson T3 (par rapport au cas où les faces avant et arrière sont flottantes). Cela s'explique par le fait que le courant injecté par la capacité C^2_{FAV} est collecté par la connexion de la face avant à la masse. Il n'est donc pas transmis au caisson T3. De la même manière, si l'on impose le potentiel de la face arrière à zéro, la diminution est de 78 %. Cependant, en imposant simultanément un potentiel nul à la face avant et à la face arrière, on ne devrait plus mesurer de courant parasite en sortie du caisson T3, ce qui n'est pas le cas. Cela met en évidence une limite du modèle capacitif sur laquelle nous allons revenir dans le paragraphe suivant. Auparavant on peut constater que l'amplitude du pic de courant a très fortement diminué : 82 % de baisse en imposant un potentiel nul à la face avant et à la face arrière. La figure II.58 détaille, en terme d'immunité de T3 aux déclenchements parasites, l'effet de la polarisation des faces avant et arrière.

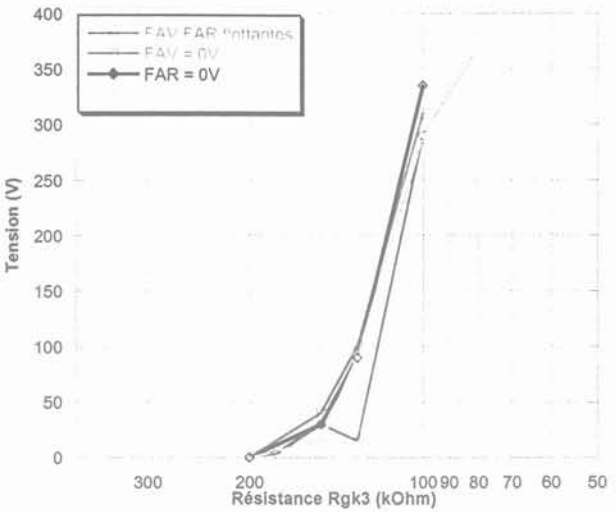


Figure II.58 : Influence des potentiels de la face avant et de la face arrière sur l'immunité de T3.

Sur la figure II.58 on constate que l'immunité de T3 n'est pas augmentée. Cela correspond avec ce qui a été expliqué précédemment : ce n'est pas le courant capacitif injecté qui est directement à l'origine du déclenchement parasite de T3, mais le courant de fuite de la jonction gâchette d'anode gâchette de cathode. Et si la polarisation des faces avant et arrière permet de réduire le niveau de courant injecté, en aucune manière cela n'influe sur le courant de fuite. C'est pour cela qu'il n'y a aucune amélioration de l'immunité du thyristor T3 aux déclenchements parasites, alors que le niveau de perturbations est lui fortement diminué (figure II.57).

D'un point de vue conception de dispositifs, la réduction des courants de fuite semble être un point crucial pour l'amélioration de l'immunité des thyristors aux déclenchements parasites. Mais d'un point de vue pratique, la réduction drastique des signaux parasites qui se propagent dans la structure passe par l'application d'un potentiel fixe aux faces avant et arrière de la puce. La réduction devrait être totale si le modèle était entièrement juste. Le fait qu'il persiste un courant parasite montre qu'il existe toujours un couplage capacitif entre les deux caissons. Une explication possible est que le potentiel de masse que l'on impose de part et d'autre de l'oxyde enterré ne se fait pas au moyen d'une impédance faible en ce qui concerne la face arrière. En effet le dopage du silicium de la face arrière est de 6.10^{15} cm^{-3}, soit une résistance d'environ 450 Ω entre le fond du boîtier et l'oxyde enterré. Dans ces conditions nous ne sommes pas certains que le potentiel du silicium sous l'oxyde enterré soit constamment nul (surtout en dynamique). Par ailleurs, il n'est alors pas impossible qu'une partie de ce silicium soit déplété, ce qui modifierait le schéma capacitif de la figure II.40. Une autre explication réside sans doute dans la définition des différentes capacités du modèle. Sur la figure II.59 est rappelée la coupe simplifiée d'un caisson d'isolation. On constate que l'on a considéré les capacités parasites comme ayant des armatures identiques, en particulier pour ce qui concerne la face arrière. La partie du silicium située exactement en dessous du caisson d'isolation intervient dans la capacité parasite C^{1}_{FAR}, le reste étant comptabilisé dans C^{FAV}_{FAR}. Or il n'est pas certain que ce découpage géométrique corresponde à la réalité physique du phénomène. Sans doute les électrodes des différentes capacités ne sont elles pas symétriques, et les couplages sont-ils un peu plus complexes (figure II.60).

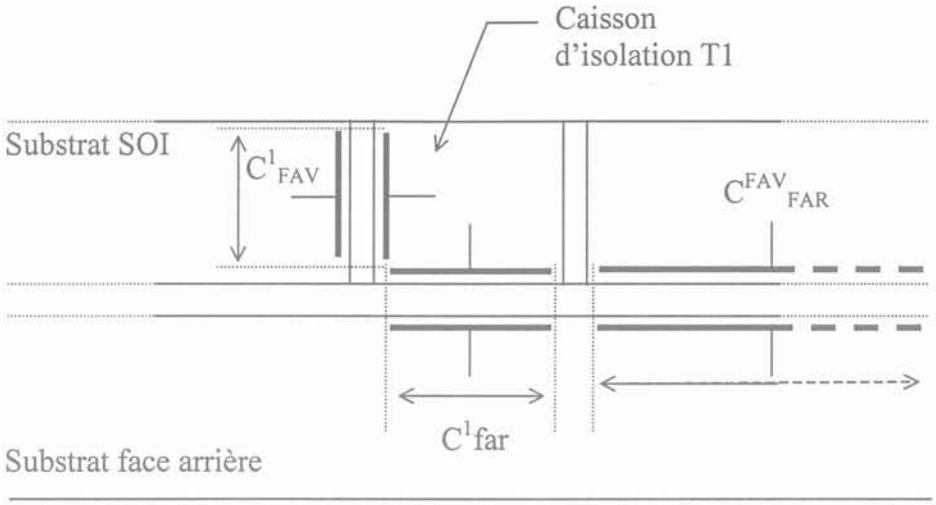


Figure II.59 : Répartition des électrodes des capacités parasites d'un caisson d'isolation (modèle utilisé).

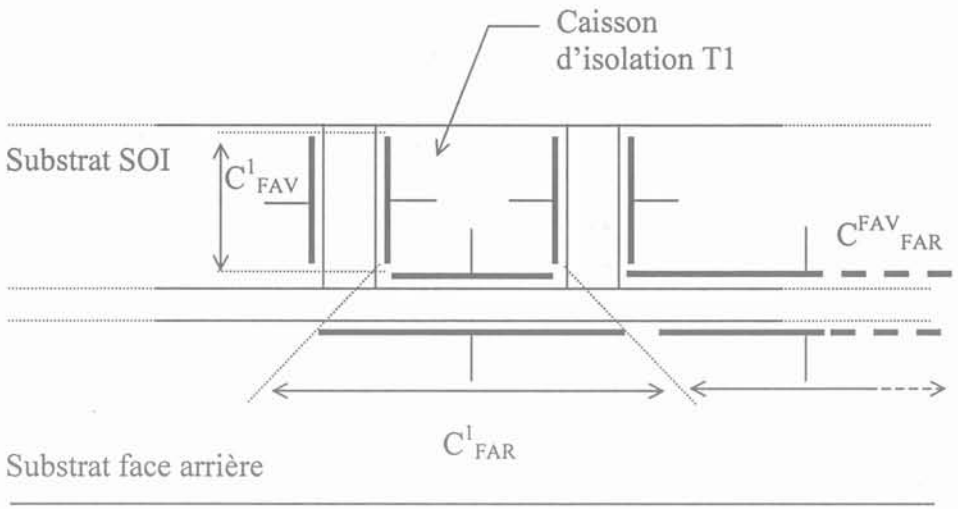


Figure II.60 : Autre répartition des électrodes des capacités parasites envisageable.

Lorsque nous utilisons notre modèle en laissant flottants les potentiels FAV et FAR, nous pouvons le valider. Cependant, en forçant à zéro ces potentiels, nous atténuons de près de 80% l'amplitude des phénomènes observés, et notre modèle est mis en défaut : les mécanismes qui interviennent sont désormais du second ordre. Et il faut affiner le modèle si on veut pouvoir en tenir compte.

II.4 ANALYSES ET CONCLUSION

Nous venons de voir que l'utilisation d'un composant monolithique issu de la filière isolation par jonction ou isolation diélectrique, s'accompagne inévitablement de perturbations. Et même si parfois, ces perturbations se traduisent par des effets parasites indésirables, il existe une plage d'utilisation, relativement étendue, où l'on peut assurer le bon fonctionnement du dispositif monolithique tout en maintenant un niveau de perturbations faible. D'un point de vue électrique, l'intégration monolithique est donc une solution viable.

Dans les paragraphes qui suivent, nous allons essayer de faire un parallèle entre ces deux filières, en commençant par faire un comparatif des différents niveaux de perturbations observés. Ensuite nous évaluerons les possibilités de densité d'intégration qu'offre chacune des deux filières, avant de regarder comment cela peut se traduire en terme de conception de circuits intégrés.

II.4.1 Comparaison des niveaux de perturbations

Durant notre travail de caractérisation des techniques d'isolation, nous avons mis en évidence différents phénomènes de génération des perturbations. Parmi ces perturbations, certaines sont dues aux capacités parasites induites par la structure même de l'isolation (jonction PN ou tranchées). Aussi est il intéressant de classer ces deux solutions technologiques en fonction de leurs performances.

II.4.1.1 Isolation en régime statique

En mode statique, l'association MBS-commande intégrée est perturbée, mais ces parasites sont véhiculés par la connexion puissance-commande. Nous n'avons pas mis en défaut l'isolation par jonction, ou, tout du moins, nous n'en avons observé aucune manifestation. Cependant, en polarisation inverse, une jonction présente un courant de fuite. Ce courant peut, de la même manière que le courant capacitif généré en transitoire, venir perturber le bon fonctionnement de la logique. Ce n'était pas le cas, et pour deux raisons. La première concerne le fait que la jonction n'est pas abrupte, et donc que son courant de fuite est très faible. La seconde est que les dV/dt générés tant en mode bloqué qu'en mode de conduction, n'étaient pas suffisamment élevés (7 V/µs en mode bloqué) pour générer un courant capacitif dans le caisson d'isolation qui puisse faire varier de façon significative le potentiel du substrat de la logique. En ce qui concerne les tranchées d'isolation, nous pouvons formuler les mêmes remarques, à savoir que l'isolation statique est excellente, meilleure que celle d'une jonction PN en inverse ($R > 100\ G\Omega$)[29].

II.4.1.2 Isolation en régime transitoire

Les commutations des composants de puissance génèrent des dV/dt suffisamment importants pour exciter les systèmes capacitifs parasites des différentes isolations. Dans le cas de la filière composants sur SOI, nous avons développé un modèle qui permet de connaître sa réponse à un signal donné. En ce qui concerne l'isolation par jonction, il est possible de déterminer la capacité équivalente de cette jonction et d'en déduire son comportement en fonction de la polarisation du MBS et des dV/dt générés. Cependant, nous ne savons pas prévoir de manière quantitative l'impact de ce courant sur les fluctuations de la tension en sortie de la logique. Il est possible de réaliser une telle étude sur simulateur, et, si l'on veut mieux comprendre les phénomènes de couplage, cela est même indispensable. D'ailleurs un projet européen existe depuis peu sur ce thème [30].

Afin de comparer les deux techniques d'isolation sur des dispositifs différents, nous prendrons comme point de comparaison le courant parasite qui est la cause des perturbations observées. Dans le cadre de la filière MBS et commande intégrée, il s'agit donc du courant en sortie de la logique non connectée à l'ouverture et à la fermeture du MBS. A propos des composants sur SOI, nous prendrons en compte les courants recueillis aux niveaux de

l'électrode de gâchette d'anode, avec ou sans polarisation des faces avant et arrière. On reporte ainsi sur le graphe de la figure II.61, pour des dV_{AK}/dt donnés, l'amplitude crête des courants mesurés.

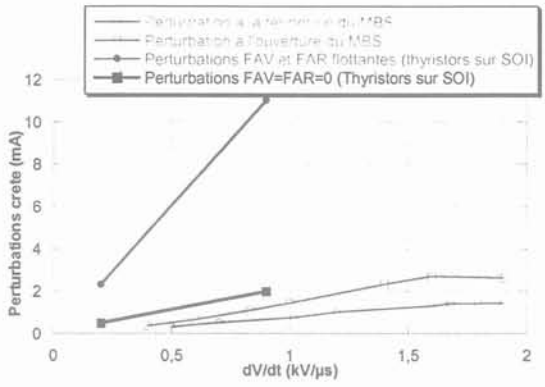


Figure II.61 : Comparaison des niveaux de perturbations entre l'isolation par jonction et l'isolation diélectrique.

On constate alors que les niveaux de courant sont du même ordre de grandeur, exception faite du cas où les faces avant et arrière sont flottantes. Cependant il faut garder en mémoire que dans le cas de la logique non connectée au MBS, le courant que l'on relève n'est qu'une partie du courant injecté dans le caisson P+ d'isolation de la logique. En revanche, dans le cas des composants sur SOI, il s'agit bien de la totalité du courant généré par les dV/dt. Par conséquent, on peut affirmer que l'isolation en régime dynamique est meilleure dans le cas des composants sur SOI.

Nous avons reporté sur le graphe de la figure II.62 des points expérimentaux issus d'un article [31]. Il s'agit du courant parasite généré lors de la commutation de deux IGBT sur SOI, la face arrière étant imposée à zéro. Nous avons également reporté nos points de mesure en guise de comparaison, et nous pouvons observer des résultats comparables alors que la technologie utilisée est a priori différente.

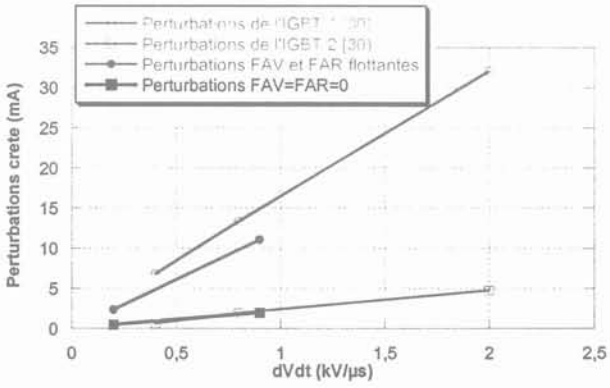


Figure II.62 : Comparaison des niveaux de perturbations.

II.4.2 Comparaison de la densité d'intégration

Un des indicateurs des coûts des semiconducteurs est la surface de silicium utilisée. Si la surface active des composants électriques discrets est essentiellement déterminée par leur calibre en courant, pour un composant monolithique, l'isolation des différentes fonctions électriques impose des règles de dessin. En effet l'isolation de la commande du MBS se fait grâce à un caisson d'isolation (figure II.63).

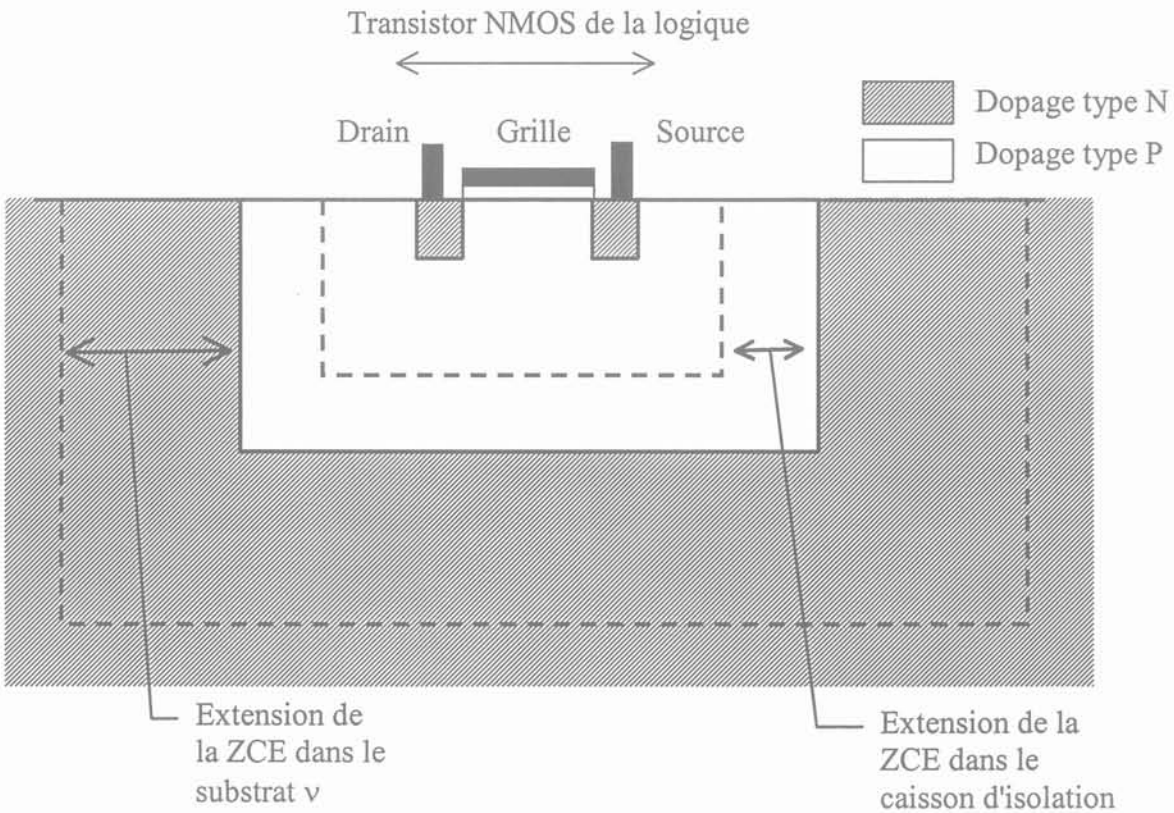


Figure II.63 : Isolation de la logique par caisson d'isolation.

En polarisant le caisson au potentiel de masse, il se crée un zone de charge d'espace qui va isoler les transistors NMOS de la logique du substrat ν du MBS ; mais pour cela, il est indispensable de se prémunir du perçage de la jonction PN, c'est à dire de faire en sorte que la zone de charge d'espace n'atteigne pas les régions N+ des transistors NMOS. L'extension W_P de la zone de charge d'espace est fonction du dopage N_A du caisson selon la relation :

$$W_P = \left(\frac{2\,\varepsilon_{Si}\,\varepsilon_0}{qN_A} |V| \right)^{1/2} \qquad \text{(II.10)}$$

avec

- W_p : Largeur de la zone de charge d'espace (cm)
- ε_{Si} : Constante diélectrique du silicium
- ε_0 : Permittivité du vide ($F.cm^{-1}$)
- Q : Charge de l'électron (C)
- Na : Densité d'accepteur (cm^{-3})
- V : Tension aux bornes de la jonction (V).

Or ce dopage sert également à régler la tension de seuil V_{th} des transistors NMOS [32]. D'où un compromis à réaliser pour que la valeur de V_{th} ne soit pas trop élevée. Au final, la surface du caisson d'isolation devra être plus importante que la surface active de la logique, et ce, d'autant plus que le calibre en tension du composant de puissance est important, faisant diminuer la densité d'intégration. Dans le cas précis du MBS et de sa commande intégrée, les distances puissance-logique qui sont de 840 µm et 1840 µm ne correspondent pas aux contraintes de l'isolation proprement dites. Elles ont été déterminées de manière arbitraire afin d'étudier l'influence de la distance sur le niveau des perturbations recueillies.

En ce qui concerne les composants sur SOI, l'étude des interactions entre caissons fait apparaître dans un premier temps, lorsque les faces avant et arrière sont flottantes, l'absence d'influence de la distance qui sépare deux composants (figure II.42). Cependant, lorsque le potentiel des faces avant et arrière est fixé, des phénomènes qui étaient jusque là masqués par une amplitude du courant parasite relativement importante, deviennent prépondérants. Nous voyons alors apparaître une sensibilité du courant parasite de gâchette d'anode vis à vis de l'éloignement entre caisson (figure II.64).

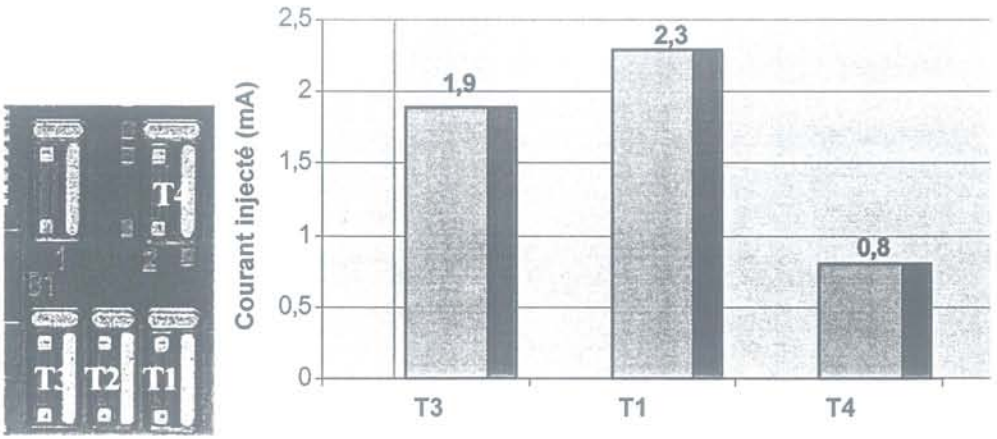


Figure II.64 : Influence de la distance sur le courant parasite de gâchette d'anode (le potentiel des faces avant et arrière étant imposé à zéro) lorsque T2 commute.

On note un écart de 13 % entre les courants injectés dans T1 et T3. Or les surfaces des caissons de T1 et T3 ne sont pas identiques. En effet la superficie du caisson de T1 est légèrement plus élevée (1,42 mm^2) que celle du caisson T3 (1,29 mm^2), soit une différence de 9 %. Cela explique la dissymétrie observée au niveau des courants de gâchette d'anode de T1 et T3 (situés de part et d'autre de T2).

La réalisation de tranchées nécessite à l'heure actuelle de ménager une couronne de 30 µm tout autour de la zone où sera implanté le composant (figure II.65). La tranchée est réalisée au centre de cette couronne. Mais des efforts sont fournis pour diminuer la largeur de cette couronne. On peut néanmoins déterminer l'augmentation relative de la surface de silicium utilisée pour isoler un composant (en considérant une géométrie carrée). Quel que soit le niveau de tension envisagé (<600 V), le surplus de surface nécessaire à l'isolation par tranchées ne dépend que de la surface initiale du composant (figure II.66). Dans le cas d'une isolation par jonction, il faut également tenir compte du niveau de tension.

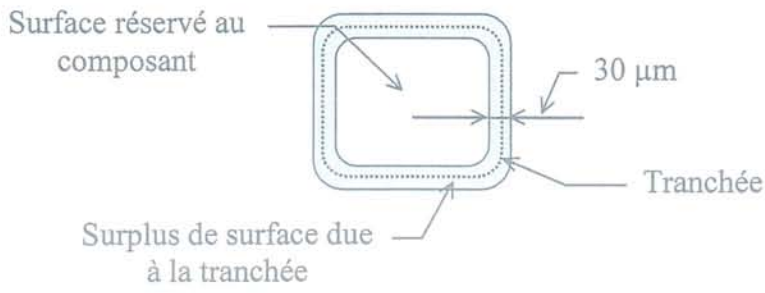


Figure II.65 : Espace nécessaire à la réalisation d'une tranchée d'isolation.

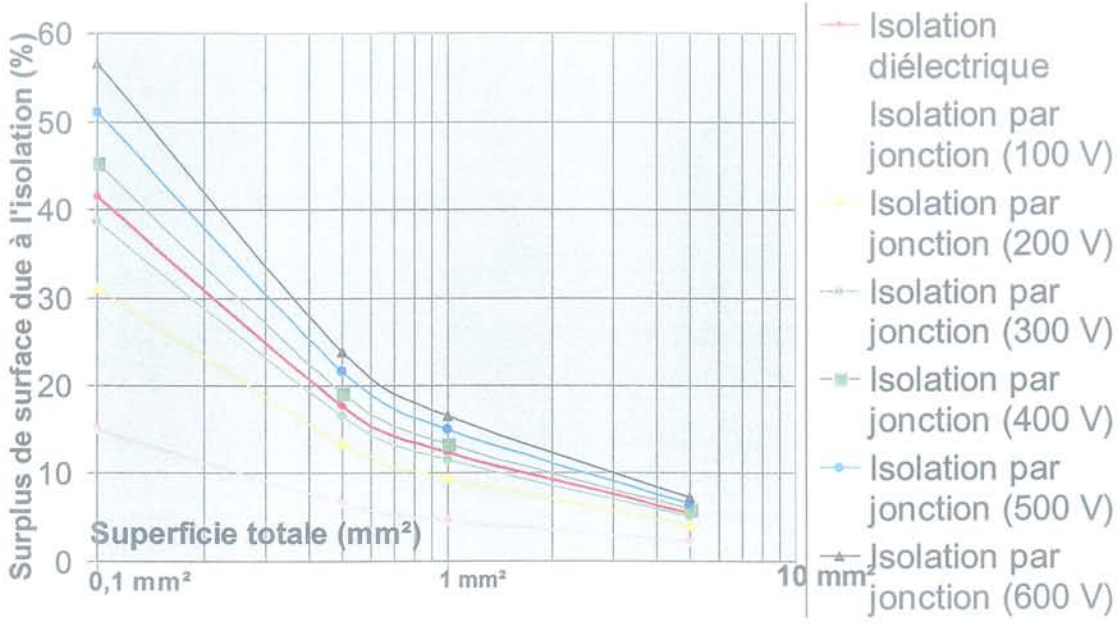


Figure II.66 : Influence de la distance.

On constate que pour les composants de petites dimensions (typiquement de la logique), le gain en silicium est très net si on utilise l'isolation diélectrique pour des tensions supérieures à 300 V. Cependant le gain vis à vis de l'isolation par jonction diminue à mesure que la densité d'intégration augmente, lorsque la taille des composants à isoler croit (1 mm^2 : ordre de grandeur de la surface des thyristors utilisés). Mais il reste attractif dans la perspective de réaliser des circuits complexes, c'est à dire avec de nombreux composants.

II.4.3 Performances des composants monolithiques

L'intégration des composants procure l'avantage de réduire les distances entre les semiconducteurs et, par la même occasion, de diminuer les éléments parasites de câblage. De nombreux travaux en électronique de puissance relatent l'importance du câblage sur les performances des semiconducteurs [33][34][35], et notamment lors des commutations où les inductances parasites génèrent des surtensions que doivent supporter les autres composants du convertisseur. De la même manière, des règles de conception existent, qui permettent, a priori, de limiter les perturbations électromagnétiques, en réduisant certains éléments parasites, sans oublier les éléments parasites du boîtier, envers lesquels l'utilisateur est totalement dépendant.

Les surtensions, par exemple, qui sont liées aux inductances parasites du montage, devraient donc être diminuées de manière considérable. Un exemple concret est celui de l'inductance de maille de la commande des composants à grille isolée (figure II.67).

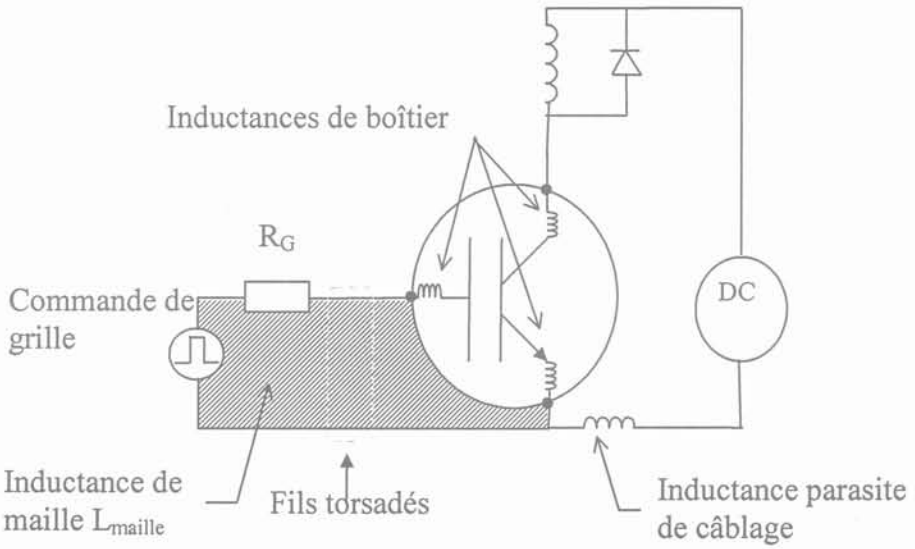


Figure II.67 : Eléments parasites dus au montage et aux connexions de boîtier.

L'inductance de maille définie par les connexions de la logique et les électrodes de grille et de source de l'interrupteur, ralentit et déforme (oscillations) le signal de commande [36]. Afin d'assurer la commutation la plus rapide possible du composant de puissance, il est nécessaire de diminuer la surface de cette boucle. Une solution classique consiste à torsader les fils de connexions ou d'avoir des pistes parallèles les plus proches possible. Néanmoins, l'utilisateur reste tributaire des inductances du boîtier. Considérons maintenant l'association MBS-logique intégrée. La figure II.68 schématise la nouvelle disposition des inductances du boîtier par rapport à la maille critique. Ce qui est avantageux par rapport à la configuration précédente, est le fait que ces inductances n'interviennent plus au niveau de la boucle de commande. Seuls subsistent l'inductance de la connexion logique-puissance, et l'inductance de la maille de commande. Or la distance logique-puissance se compte en dizaines ou centaines de micromètres. L'inductance qui en résulte est réduite au minimum. De plus, la boucle de maille est elle aussi extrêmement diminuée, compte tenu des petites dimensions mises en jeu. On doit alors constater un gain appréciable en rapidité de commutation par rapport à un montage avec des composants discrets.

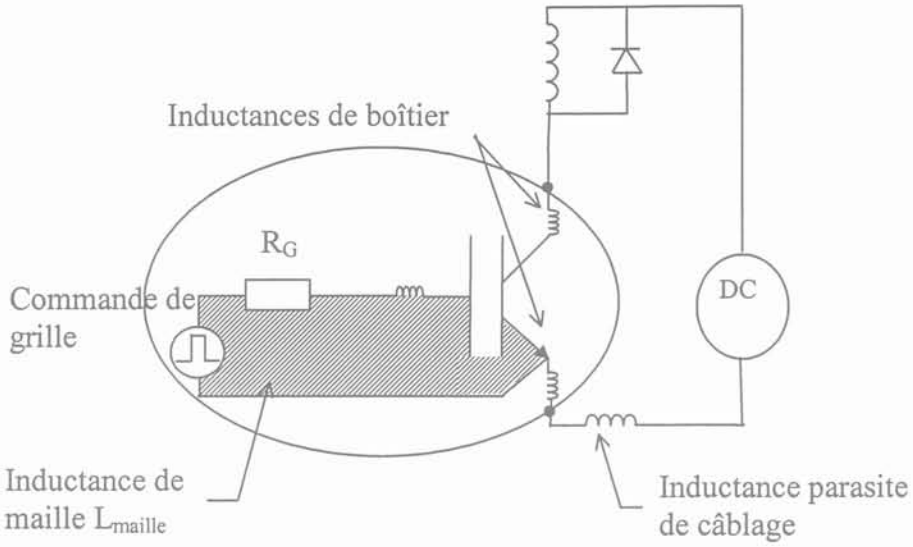


Figure II.68 : Réduction des éléments parasites.

Cette expérience a été effectuée, et aucune différence n'a été constatée. La raison est à rechercher au niveau de l'impédance de sortie de la logique. Elle correspond à la résistance de grille R_G des figures II.67 et II.68, et sa valeur qui est de 60 Ω (ou de 150 Ω) est trop élevée [15]. De ce fait, elle masque complètement les phénomènes liés à la présence d'inductances parasites dans la boucle de commande, comme l'illustre le graphique de la figure II.69.

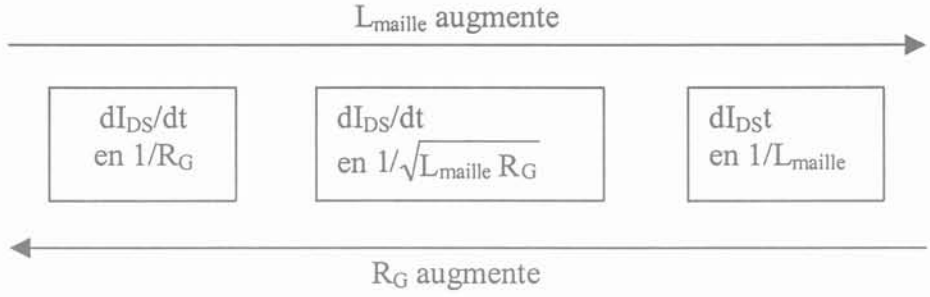


Figure II.69 : Evolution de la vitesse de commutation en fonction de R_G et de L_{maille} [15].

II.5 REFERENCES BIBLIOGRAPHIQUES DU SECOND CHAPITRE

[1] K; Ammous, B. Allard, A. Ammous, H. Morel, *"Sur l'utilisation des cellules de commutations pour la conception des systèmes de puissance intégrés"*, EPF'2000, Lille, pp 107-109.

[2] P. Mourick, "Power semiconductor component with reduced Miller capacity such as IGBT or MOSFET in current rectifier, half bridges, and switches", Brevet, Semikron Electronik, Février 1999.

[3] H. Iwamoto, H. Kondo, S. Mori, J. F. Donlon, A.Kawakami, *"An investigation of turn off performance of planar and trench gate IGBTs under soft and hard switching"*, Proceedings 2000 IEEE Industry Applications Society Conference, Rome, October.

[4] J. Arnould, P. Merle, *"Dispositifs de l'électronique de puissance"*, Hermes, 1992.

[5] T. Laska, L. Lorenz, A. Mauder, "The new IGBT generation – A great improvement potential for motor drive systems", Proceedings 2000 IEEE Industry Applications Society Conference, Rome, October.

[6] J.J Huselstein, C. Glaize, *"IGBT à tenue en tension symmétrique. Caractérisation statique et dynamique en fonctionnement transistor, diode et interrupteur bidirectionnel bicommandable"*, EPF'1998, Belfort, pp 105-110.

[7] C. Larouci, *"Emploi des MBS dans les redresseurs de tension et gradateurs à MLI"*, DEA LEG 1998.

[8] A. Lindemann, *"A new IGBT with reverse blocking capability"*, Proceedings 2001 European Conference on Power Electronics and Applications, Graz, August.

[9] T. Laska, M. Matschitsch, W. Scholz, *"Ultrathin-wafer technology for a new 600V NPT IGBT"*, Proceedings 1997 International Symposium on Power Semiconductor Devices & Ics (ISPSD), pp 361-364.

[10] S. Raël, *"Méthodologie de conception des modules de puissance : étude électrothermique de l'association parallèle"*, Thèse de doctorat de l'INPG, Grenoble, Mai 1996.

[11] E. Farjah, *"Contribution aux caractérisations électrique et thermique des transistors de puissance à grille isolée"*, Thèse de doctorat de l'INPG, Grenoble, Octobre 1994.

[12] J. L. Schanen, *"Electronique de puissance : au cœur de la commutation... Modèles pour l'analyse – Modèles de conception"*, Habilitation à Diriger des Recherches, LEG, 2000.

[13] S. M. Sze, *"Physics of semiconductor devices"*, Wiley International Edition.

[14] C. Larouci, *"Apport d'un composant à grille isolée bidirectionnel en tension dans les convertisseurs raccordés au réseau"*, EPF'2000, Lille, pp 201-205.

[15] C. Roux, *"Etude et conception d'une commande rapprochée auto alimentée"*, DEA LEG 2001.

[16] P.O. Jeannin, *"Le transistor MOSFET en commutation : applications aux associations série et parallèles de composants à grille isolée"*, Thèse de doctorat de l'INPG, Grenoble, Mai 2001.

[17] E. Farjah, J. Roudet, J. L. Shanen, *"Etude comportementale de la commutation d'un transistor MOSFET de puissance"*, Journal de Physique, Décembre 1994, pp 2531-2555.

[18] L. Aubard, *"Modélisation des transistors MOS de puissance pour l'électronique de commutation"*, Thèse de doctorat de l'INPG, Grenoble, Janvier 1999.

[19] T. Yamazaki, N. Kumagai, K. Oyabe, G. Tada, *"New high voltage integrated circuits using self-shielding technique"*, *"*, Proceedings 1999 International Symposium on Power Semiconductor Devices & Ics (ISPSD), pp 333-336.

[20] M. Schenkel, P. Pfäffli, W. Wilkening, D. Aemmer, W. Fichtner, *"Transient minority carrier collection from the substrate in smart power design"*, Proceedings of the 31th European Solid State Device Research Conference (ESSDERC), Nuremberg, September 2001, pp 411-414.

[21] W. W. T. Chan, J. K. O. Sin, S. S. Wong, *"A novel crosstalk isolation structure for bulk CMOS power IC's"*, IEEE Transactions on Electron Devices, vol.45, N. 7, July 1998, pp 1580-1586.

[22] Tecktronic, *"P6134C, Passive probe for DSA 600/11000 series oscilloscopes"*, Instruction Manual Tektronic.

[23] National Semiconductor, *"Operational Amplifiers"*, Databook 1993.

[24] Tecktronic, *"A 6302 & A 6302XL, 20 Amperes AC/DC current probes 070-3905-04"*, Instruction Manual Tektronic.

[25] P. Leturcq, *"Composants semiconducteurs de puissance bipolaires"*, Les Techniques de l'Ingénieur, vol.D4, D3 106 et D3 107.

[26] J.V. Motto, W.H. Karstaedt, J.M. Sherbondy, S. G. Leslie, *"Modeling thyristor and diodes; on state voltage and transient thermal impedance, effective tools in power electronic design"*, Proceedings 1996 IEEE Industry Applications Society Conference.

[27] N. A. Losic, *"Modeling of thyristor circuits in computer-aided analysis and design"*, Proceedings of the 3rd Annual IEEE Applied Power Electronics Conference and Exposition, New York, 1988, pp 219-225.

[28] Y. Murakami, M. Nishimura, *"Thyristor modelling for CAD and simulation of thyristor circuits based on the derived model"*, Proceedings of the IEEE International Symposium on circuits and systems, New York, 1979, pp 116-119.

[29] M. De Courcy, J. C.Alderman, S.Blackstone, H. Gamble, *"A comparison of bipolar devices on bonded and trenched wafers with junction and trench isolated bulk wafers"*, Proceedings 1995 International Symposium on Semiconductor Wafer Bonding Physics and Applications, pp 420-425.

[30] *SUBSAFE (Substrate Current Safe Smart Power IC Design Methodology)*, ESPRIT Project 29647, http://www.iis.ee.ethz.ch/nwp/subsafe/index.html.

[31] H. Sumida, A. Hirabayashi, "Noise current induced by switching of a dielectric isolated lateral insulated gate bipolar transistor on silicon on insulator", Japanese Journal of Aplied Physic, vol.37 (1998), pp 5533-5534.

[32] T. Ohyanagi, A. Watanabe, *"1,3 µm CMOS technology merged with 90 V HG-DMOS on SOI substrate"*, Proceedings 1997 IEEE International SOI Conference, October, pp 72-73.

[33] F. Merienne, *"Influence de l'interaction puissance-commande sur le fonctionnement des convertisseurs d'électronique de puissance : simulation fine – recherché de règles de conception"*, Thèse de doctorat de l'INPG, Grenoble, Janvier 1996

[34] E. Clavel, C. Schaeffer, Y. Marechal, R. Perret, *"Etude et conception d'une fonction interrupteur de puissance réalisée en technologie hybride – Application à la traction"*, Revue Générale de Thermique, n°395, Novembre 1994, pp 669-677.

[35] G. Schulze, H. Stot, L. Lorenz, *"Influence of parasitic effects on the switching and commutation behavior of fast power semiconductor devices"*, Proceedings of the 3rd European Conference on Power Electronics and Applications (EPE), 1989.

[36] International Rectifier, *"Application note 990 : application characterization of IGBTs"*, Technical Information, http://www.irf.com/technical-info/appnotes/an-990.pdf.

Conclusion générale

CONCLUSION GENERALE

Depuis ses débuts, l'évolution de l'électronique de puissance a consisté à développer des semiconducteurs performants en terme de compromis vitesse-puissance-pertes. L'avènement du transistor bipolaire à grille isolée (IGBT) en est la conséquence, et l'apparition récente des composants à superjonction (CoolMos [1], MDmesh[2]) montre que cette tendance est toujours d'actualité. Débutée il y a plus de vingt ans, l'optimisation des composants à grille isolée ne s'est jamais arrêtée. Au contraire, comme la microélectronique, l'électronique de puissance a accéléré son évolution. Et depuis quelques années, il se dégage une nouvelle tendance : l'augmentation du nombre de fonctionnalités présentes autour de l'interrupteur de puissance. Ainsi voit on apparaître ces derniers temps des IGBT qui possèdent des protections en température, en surtension et en surintensité [3]; d'autres possédant sur la même puce de silicium leur logique de commande [4]. La difficulté en électronique de puissance, comparée à la microélectronique, concerne le niveau de tension des différentes fonctions électriques. Dans un premier temps, les faibles niveaux de tension envisagés (<50 V) permettaient aux solutions de la microélectronique d'être viables électriquement. Ainsi l'isolation par jonction PN en inverse des composants a-t-elle été la première solution retenue au début de l'intégration monolithique. Mais rapidement la montée en tension des dispositifs a fait apparaître des problèmes de perturbations, et de coûts (relatifs à la surface de silicium utilisée). Il est alors apparu une seconde technologie qui utilise l'isolation diélectrique : les composants sur SOI.

Permettant l'usage de tensions plus élevées (600 V), cette technologie se limite aux seuls composants latéraux (électrodes en surface de puce), et paraît plus efficace vis à vis des interactions entre cellules isolées diélectriquement. C'est ici qu'intervient notre travail de caractérisation de l'isolation par jonction et de l'isolation diélectrique dans les composants monolithiques. Les différentes études en régimes statiques et dynamiques ont permis d'appréhender un peu mieux les interactions entre les dispositifs d'une même puce de silicium. Et même si la comparaison brute de ces deux choix technologiques n'est pas possible, nous espérons avoir suscité une réflexion quant aux possibilités (et aux restrictions) que proposent chacune de ces deux isolations. C'est, en tout cas, dans ce sens que nous avons voulu aborder la fin du second chapitre et cette conclusion générale, en dressant un bilan comparatif, mais non exhaustif, des potentialités de ces isolations.

↳ L'immunité aux perturbations : la fin du chapitre précédent a permis de confronter les résultats expérimentaux obtenus pour les deux technologies d'isolation proposées dans cette étude. Nous avons pu mettre en évidence une supériorité de l'isolation diélectrique par rapport à l'isolation par jonction, vis à vis des variations de potentiel (dV/dt). Les choses ne sont cependant pas figées et les concepteurs de circuits monolithiques essayent constamment de trouver de nouvelles géométries et de nouvelles structures pour diminuer l'impact des courants parasites. Mais nous nous heurtons alors à des problèmes de confidentialité qui rendent difficile l'appréciation des progrès dans ce domaine.

↳ La densité d'intégration : en ce qui concerne l'isolation par jonction, celle ci découle en partie de la faculté à réduire le niveau des courants parasites qui circulent dans le substrat. A niveau de tension constant, la densité d'intégration des circuits augmente, comme le montre l'évolution chez STMicroélectronics de la BCD ((Bipolar CMOS DMOS) [5]) avec actuellement des règles de dessin de 0,35 µm. Toutefois nous avons vu que le niveau de

tension des composants de puissance reste un élément limitatif : plus cette tension est élevée, plus le caisson d'isolation est gourmand en volume et génère des perturbations. On commence cependant à voir apparaître des circuits monolithiques dans la gamme des 600 V [6]. En revanche, nous avons pu constater que jusqu'à 600 V, le niveau de tension ne pose aucune difficulté aux tranchées d'isolation. L'espace nécessaire à la réalisation des tranchées est fixe. Ainsi la densité d'intégration sur substrats SOI est grande puisque la distance séparant deux caissons est réduite à 30 µm. Cela confère à cette technologie un avantage indéniable mais pas décisif.

↳ Performances individuelles des composants de puissance : la filière MBS et commande intégrée est une technologie compatible avec la réalisation de composants de puissance verticaux, puisque nous avons pu vérifier le bon fonctionnement d'un tel composant. Il est donc possible d'inclure dans le procédé de fabrication les dernières innovations en matière de grille à tranchée, de field stop layer, etc. La logique aura des performances moyennes si elle est réalisée parallèlement aux composants de puissance. Si l'on accepte des niveaux de masques supplémentaires, il est alors possible de concevoir une logique ayant une consommation électrique faible et des caractéristiques dynamiques performantes en utilisant une logique CMOS. Par contre le prix des dispositifs s'en trouve augmenté. En utilisant l'isolation diélectrique des tranchées, le problème est tout autre. En effet, les prototypes à notre disposition comportaient exclusivement des composants bipolaires, mais il est tout à fait possible de réaliser des composants à grille isolée ou une logique de type CMOS [7][8]. Les composants sont alors nécessairement à structure latérale, à cause de l'isolation verticale de l'oxyde enterré. Les composants de puissance ainsi réalisés sont donc de calibre en courant plus faible que ceux atteints dans des structures verticales. La densité de courant par unité de surface des composants latéraux étant plus faible, on a à partir d'un certain seuil, une augmentation conséquente de la surface utilisée qui se traduit par une hausse des coûts. Parallèlement à cela, l'oxyde de silicium est un plus mauvais conducteur thermique que le silicium, les conductivités thermiques étant dans un rapport 100. L'évacuation de la puissance dissipée dans l'interrupteur à travers la couche d'oxyde enterré va générer une élévation de température (augmentation de la résistance thermique) qui va diminuer l'efficacité du refroidissement de la puce. Les caractéristiques électriques des dispositifs de puissance en seront d'autant moins bonnes, même si les substrats SOI n'excluent pas la possibilité de travailler à haute température [9]. De ce fait l'intégration monolithique d'un composant vertical se destine donc à des domaines où l'on recherche une densité de puissance importante, ce qui est synonyme de composants verticaux.

Quelle que soit l'isolation choisie, le gain en compacité a un impact sur les performances du circuit réalisé. Comme nous l'avons expliqué au chapitre II, l'intégration monolithique a pour avantage de réduire les distances de câblage entre composants, et de permettre la maîtrise de la géométrie du circuit à réaliser. Cet avantage que recherchent tous les concepteurs de convertisseurs, découle directement de la compacité de la puce monolithique ; il est donc indépendant de l'option retenue pour l'isolation. Toutefois il convient d'être vigilant, car cet avantage peut très bien se transformer en inconvénient. En effet, si en minimisant les longueurs de connexion, les inductances parasites (et les résistances) sont très fortement réduites, les couplages capacitifs ou inductifs entre pistes conductrices peuvent eux augmenter et créer de nouvelles difficultés.

Le tableau III.1 synthétise en termes simples (+ : "plus avantageux", - : "moins avantageux") une partie de la réflexion qui fait suite à notre travail.

	Filière MBS et commande intégrée	Filière composants sur SOI
Immunité aux perturbations	-	+
Densité d'intégration en haute tension (600 V)	-	+
Performances des circuits réalisés	+	+
Calibre en courant des composants	+	-
Possibilités de fonctionnalités des circuits réalisés	-	+

Tableau III.1 : Comparatif entre les deux techniques d'isolation.

L'intégration monolithique sur SOI est principalement limitée dans le domaine de la puissance par la structure non traversante des composants qui implique une densité de courant plus faible pour une surface donnée. En contre partie elle offre une liberté totale en ce qui concerne la nature et le nombre de composants qu'il est possible de réaliser. Cela amène à créer des composants à forte valeur ajoutée. Autrement dit, la technologie SOI devra servir à concevoir des circuits de puissance, qui peuvent être complexes, et dans lesquels peuvent cohabiter des interrupteurs haute tension (600 V à l'heure actuelle) et des logiques basse tension. Cela signifie que l'utilisateur aura à sa disposition une vaste palette d'association de semiconducteurs, puisqu'il est possible de réaliser des interconnexions entre caissons isolés avec plusieurs niveaux de métal. Les possibilités de circuits sont donc nombreuses avec comme limites, l'influence des courants parasites sur les composants utilisés (nous l'avons vu pour les thyristors mais pas pour les composants à grille isolée), et l'intégration d'éléments passifs de puissance [10].

Avec une isolation par jonction, il est possible de réaliser des composants de puissance avec une logique performante sur un substrat de silicium massif. C'est notamment le cas de la technologie BCD. Le substrat est commun à tous les composants, les perturbations peuvent se propager d'un caisson d'isolation à un autre, et déclencher des transistors parasites [11]. Par ailleurs, les calibres en tension utilisés sont bas pour limiter les courants de fuite des jonctions en inverse. De plus, cette technologie est relativement gourmande en surface de silicium, à mesure que le calibre en tension des interrupteurs augmente. C'est pourquoi des solutions sont constamment recherchées pour diminuer l'espace nécessaire aux caissons P+ d'isolement.

Le substrat de la puce étant commun à tous les composants, on peut agencer plusieurs composants de puissance entre eux, ce qui relève de l'intégration fonctionnelle [12], mais il n'est pour l'instant pas envisageable de concevoir des composants de puissance verticaux qui soient isolés les uns des autres par des caissons traversants du même type que ceux réalisés pour le MBS. Premièrement, ces composants possèdent une anode commune (la face arrière), ce qui est un aspect limitatif au niveau de la conception de dispositifs. Deuxièmement, les caissons traversants de type P impliquent de réaliser des composants bipolaires. Et surtout, le troisième point, qui est rédhibitoire, est que ces caissons n'empêchent en aucune façon les courants de trous de circuler d'un caisson à un autre, en fonction des potentiels des cathodes. Il existe donc, avec la technologie d'isolation par jonction, et dans le cadre d'un composant de puissance à structure verticale, une restriction quant aux fonctions des dispositifs qu'il est possible de réaliser. Il s'agit d'organes de surveillance et/ou de contrôle du composant, pour

réaliser de nouveaux interrupteurs « intelligents » (technologie VIPower de STMicroelectronics : Vertical Intelligent Power devices [13], et autre [14]) qui pourront donner des informations sur leur état de fonctionnement et seront à même d'agir par leur propres moyen en cas de défaillance ponctuelle. Il existe déjà aujourd'hui des modules qui donnent des informations sur la température de fonctionnement du composant, et qui possèdent des protections contre les surtensions et les surintensités. Dans certains cas, il existe même une fonctionnalité qui permet de réguler la vitesse de commutation du semiconducteur en fonction de certains critères tels que la température ou les dV/dt [15][16].

L'utilisation de l'isolation par jonction permet d'intégrer tout autour du composant de puissance une gamme complète de fonctionnalités électriques, qui vont de la protection à la commande et son alimentation découplée. Le travail de conception de l'utilisateur sera facilité, d'autant plus qu'il aura à sa disposition des outils de diagnostic supplémentaires afin d'intervenir sur un convertisseur avant que n'intervienne une défaillance. La possibilité de conserver la structure verticale des composants de puissance permet également de disposer de refroidissements efficaces [17][18], et d'obtenir des densités de courants élevées. Le point crucial restant évidemment les commutations, avec les dV/dt qu'elles génèrent, et auxquels des solutions technologiques commencent à être apportées [19].

Nous en avons fait la remarque : désormais avec des composants monolithiques, l'utilisateur perd une partie de son pouvoir de conception. Ce travail d'agencement des semiconducteurs les uns avec les autres en fonction de leurs caractéristiques respectives et de la topologie du convertisseur, va devenir dorénavant un peu plus l'affaire du fabricant. En tant que client, le concepteur de convertisseurs gardera une place privilégiée auprès des fondeurs avant que ceux ci ne lancent sur le marché tel ou tel type de dispositifs. Mais sa position évoluera quelque peu. Il devra adopter un point de vue un peu plus système (ou architecture des systèmes) et trouver un équilibre entre ses besoins et les impératifs des industriels. Une chose est sûre, une grande partie du travail de conception sera reportée chez les fabricants de semiconducteurs qui devront adopter les meilleurs choix, et notamment en ce qui concerne l'isolation.

Bibliographie de la conclusion générale

[1] L.Lorentz, I. zverev, A. Mittal, J. Hancock, *"CoolMOS - A New Approach Towards System Miniaturization and Energy Saving"*, Proceedings 2000 IEEE Industry Applications Society Conference, Rome, October.

[2] A. Galluzo, M. Melito, S. Musumeci, M. Saggio, A. Raciti, *"A new High Voltage Power MOSFET for Power Conversion Applications"*, Proceedings 2000 IEEE Industry Applications Society Conference, Rome, October.

[3] A. Alessandria, L. Fragapane, S. Musumeci, *"A new monolithic smart IGBT for motor control applications"*, Proceedings of the 9th European Conference on Power Electronics and Applications (EPE), Graz, 2001.

[4] K. Ishii, H. Matsumoto, M. Takeda, A.Kawakami, T.Yamada, *"A high voltage intelligent power module (HVIPM) with a high performance gate driver"*, Proceedings 1998 International Symposium on Power Semiconductor Devices & Ics (ISPSD).

[5] B. Murari, F. Bertotti, G. A. Vignola, *"Smart Power Ics, Technologies and Applications"*, Springer, 1996.

[6] C. K. Jeon, J. J. Kim, Y. S. Choi, M. H. Kim, H. S. Kang, C. S. Song, *"One chip process of LDMOS and BiCMOS used for battery charger IC"*, Proceedings of the 9th European Conference on Power Electronics and Applications (EPE), Graz, 2001.

[7} J. M. Park, E. D. Kim, S. C. Kim, N.K. Kim, W. Bahng, G. H. Song, S. B. Han, *"A monolithic IGBT gate driver for intelligent power modules implemented in 0,8 µm high voltage (50 V) CMOS process"*, Microelectronics Journal 32 (2001), pp 537-541.

[8] K. Watabe, H. Akiyama, T.Terashima, S. Nobuto, M. Yamawaki, T. Hirao, *"A 0,8µm high voltage IC using newly designed 600V lateral IGBT on thick buried oxide SOI"*, Proceedings 1996 International Symposium on Power Semiconductor Devices & Ics (ISPSD), pp 151-154.

[9] J. Korec, "Silicon on insulator technology for high temperature, smart power applications", Materials Science and Engineering B29 (1995).

[10] M. J. Prieto, A.M.Pernia, J. M. Lopera, J. Matin, F. Nuño, *"Thick film integrated inductors for power converters"*, Proceedings 2000 IEEE Industry Applications Society Conference.

[11] M. Schenkel, P. Pfäffli, W. Wilkening, D. Aemmer, W. Fichtner, *"Transient minority carrier collection from the substrate in smart power design"*, Proceedings of the 31th European Solid State Device Research Conference (ESSDERC), Nuremberg, September 2001, pp 411-414.

[12] J. L. Sanchez, *"Intégration fonctionnelle des composants de puissance : principes et technologies"*, Habilitation à Diriger des Recherches, LAAS, Mai 1995.

[13] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, A. Russo, *"Smart power technologies evolution"*, Proceedings 2000 IEEE Industry Applications Society Conference, Rome, October.

[14] Z. J. Shen, S. P. Robb, *"Monolithic integration of the vertical IGBT and intelligent protection circuits"*, Proceedings 1996 International Symposium on Power Semiconductor Devices & Ics (ISPSD), pp 295-298.

[15] O. Guillemet, R. Berriane, J. Jalade, J. L. Sanchez, J. P. Laur, *"Monolithic integration of MOS gated optically triggered thyristor and over temperature protection circuit"*, Proceedings of the 9th European Conference on Power Electronics and Applications (EPE), Graz, 2001.

[16] B. Majumdar, P. Mukherjee, F. A. Taludkar, S. K. Biswas, *" IGBT gate drive circuit with in-built protection and immunity to transient fault"*, Proceedings 2000 IEEE International Conference on Industrial Technology.

[17] C. Perret, *"Etude et conception de micro refroidisseur sur silicium à échange simple phase"*, Thèse de doctorat de l'INPG, Grenoble, Mars 2001.

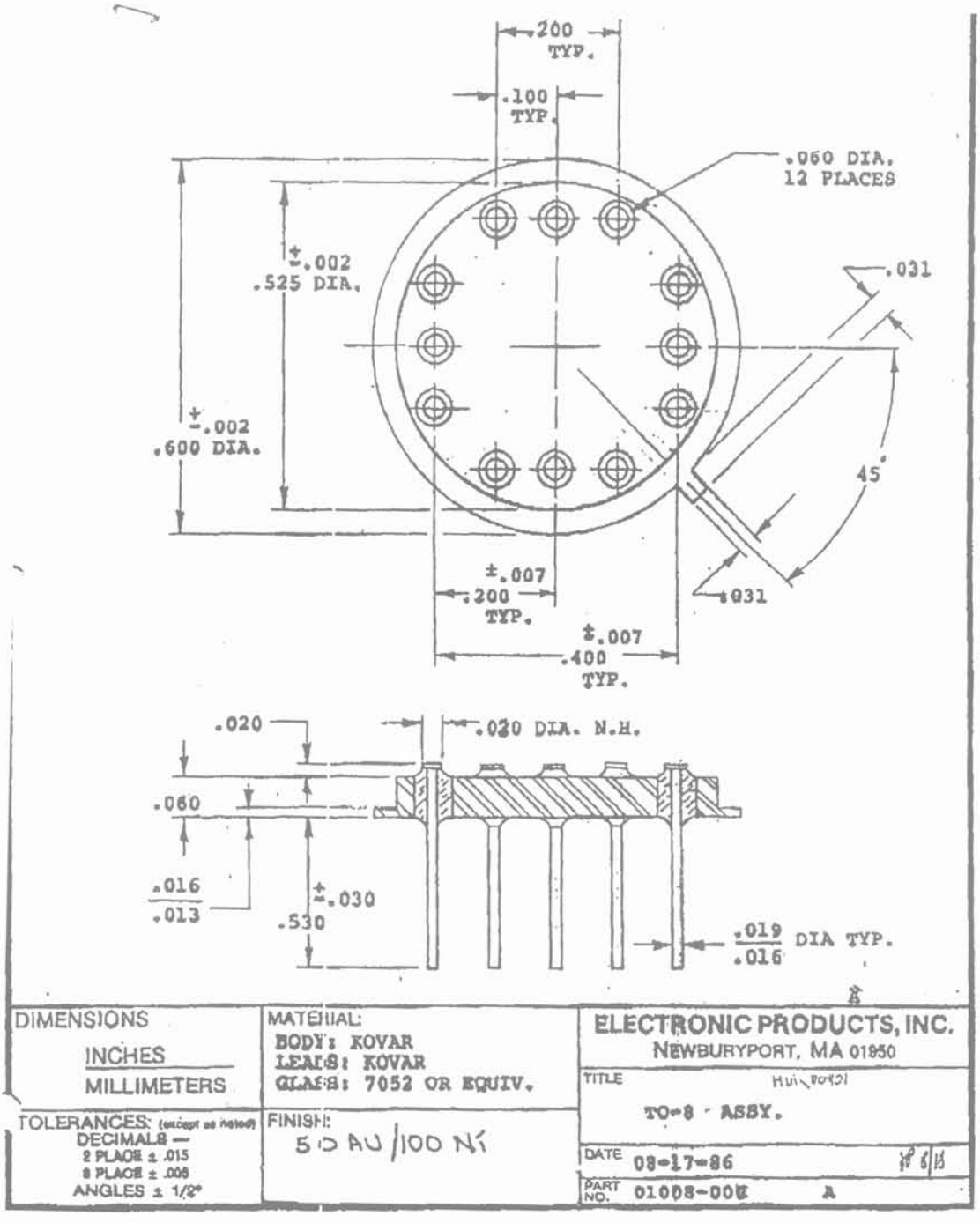
[18] C. Gillot, *"Etude et conception de module de puissance à IGBT à refroidissement double faces par micro canaux"*, Thèse de doctorat de l'INPG, Grenoble, Septembre 2000.

[19] B. Giffard, *"Structure microélectronique comportant une partie de basse tension munie d'une protection contre une partie de haute tension et procédé d'obtention de cette protection"*, Brevet CEA/LETI, 1997.

Annexes

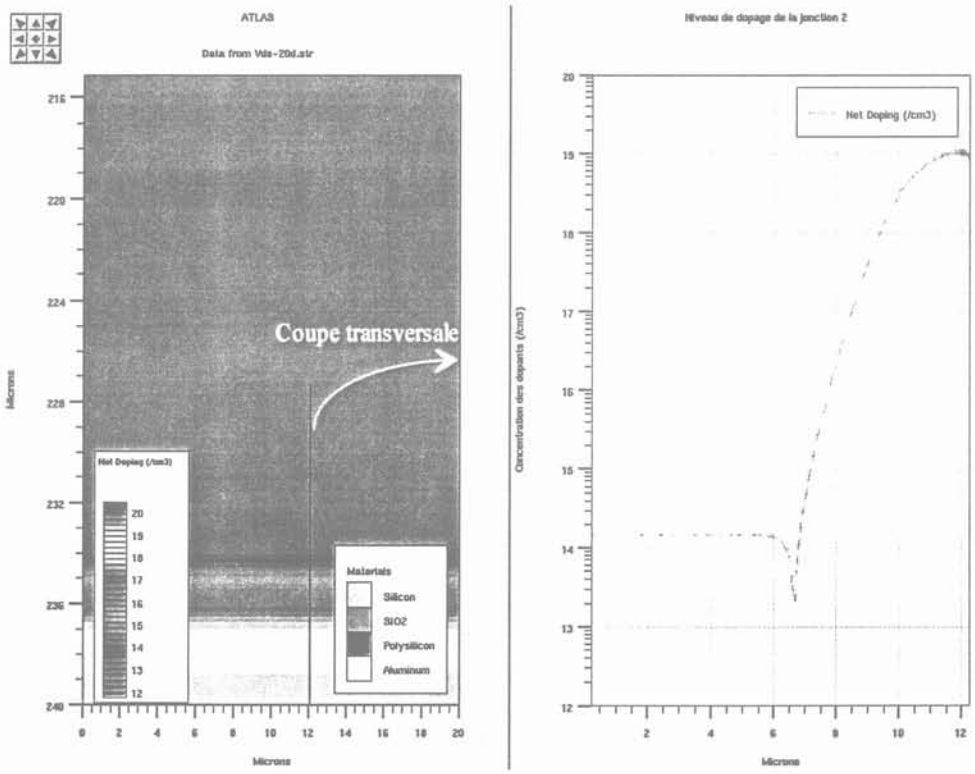
Annexe 1

Fiche technique du boîtier de test dans lequel sont encapsulés les différents prototypes.



Annexe 2

Profil des dopages de la jonction 2 entre le P+ face arrière et le substrat ν.



Annexe 3

Simulation des perturbations de grille en mode bloqué.

Résolution du système différentiel :

$$\begin{cases} \frac{dV_V}{dt}(C_1+C_2+C_G) = C_1\frac{dV_D}{dt} - C_G\frac{dV_G}{dt} \\ \frac{dV_G}{dt}(C_3+C_G) = C_G\frac{dV_V}{dt} - \frac{V_G - V_L}{R_L} \end{cases} \qquad (I.6)$$

$D1 \equiv 3.2 \cdot 10^{-10}$

$D2 \equiv 460 \cdot 10^{-10}$

$Uc \equiv -100$	Polarisation continue du MBS (V)
$Cox \equiv 180 \cdot 10^{-12}$	Valeur de la capacité MOS en régime d'accumulation (F)
$Csc \equiv 13.7 \cdot 10^{-12}$	Valeur de la capacité MOS en régime de forte inversion (F)
$Rg \equiv 60$	Impédance équivalente de la logique (Ω)
$Vout \equiv 0.4$	Composante continue de la tension de sortie de la logique (V)
$C3 \equiv 65 \cdot 10^{-12}$	Capacité grille source (F)
$\omega \equiv 2 \cdot 3.14 \cdot 108 \cdot 10^{3}$	Pulsation électrique (rad/s)
$T \equiv 300$	Température (°K)
$q \equiv 1.6 \cdot 10^{-19}$	Charge de l'électron (C)
$k \equiv 1.38 \cdot 10^{-23}$	Constante de Boltzman (J/K)

$$Vl := \begin{bmatrix} -0.50 \\ 0.4 \end{bmatrix}$$

$$D(t, Vl) := \left(\frac{D2}{\sqrt{0.7 - Uc - 10\sin(\omega \cdot t - 1) + Vl_0}} 10\omega \cdot \cos(\omega \cdot t - 1) \right) + \frac{1}{1 + \frac{C3}{\left[si\left(Vl_0 < 1.49, \frac{1}{Cox} + \frac{2 \cdot \sqrt{-q \cdot \left(1 - Vl_0\right) \cdot \frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} + e - 1}{1.1141 \cdot 10^{-5} \cdot \left(280 \cdot 10^{-9}\right) \cdot \left(si\left(1 - Vl_0 > 0, 1, -1\right) \right) \frac{q}{k \cdot T} \left[e^{\frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} - 1 \right]} \right) \right]^{-1}, Csc \right]} \left(\frac{Vl_1 - Vout}{Rg} \right)$$

$$\frac{D2}{\sqrt{0.7 - Uc - 10\sin(\omega \cdot t - 1) + Vl_0}} + \frac{D1}{\sqrt{0.7 + Vl_0}} + si\left(Vl_0 < 1.49, \frac{1}{Cox} + \frac{2 \cdot \sqrt{-q \cdot \left(1 - Vl_0\right) \cdot \frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} + e - 1}{1.1141 \cdot 10^{-5} \cdot \left(280 \cdot 10^{-9}\right) \cdot \left(si\left(1 - Vl_0 > 0, 1, -1\right) \right) \frac{q}{k \cdot T} \left[e^{\frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} - 1 \right]}, Csc \right) \cdot \left[1 + \frac{1}{1 + \frac{C3}{\left[si\left(Vl_0 < 1.49, \frac{1}{Cox} + \frac{2 \cdot \sqrt{-q \cdot \left(1 - Vl_0\right) \cdot \frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} + e - 1}{1.1141 \cdot 10^{-5} \cdot \left(280 \cdot 10^{-9}\right) \cdot \left(si\left(1 - Vl_0 > 0, 1, -1\right) \right) \frac{q}{k \cdot T} \left[e^{\frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} - 1 \right]} \right) \right]^{-1}, Csc \right]} \right]$$

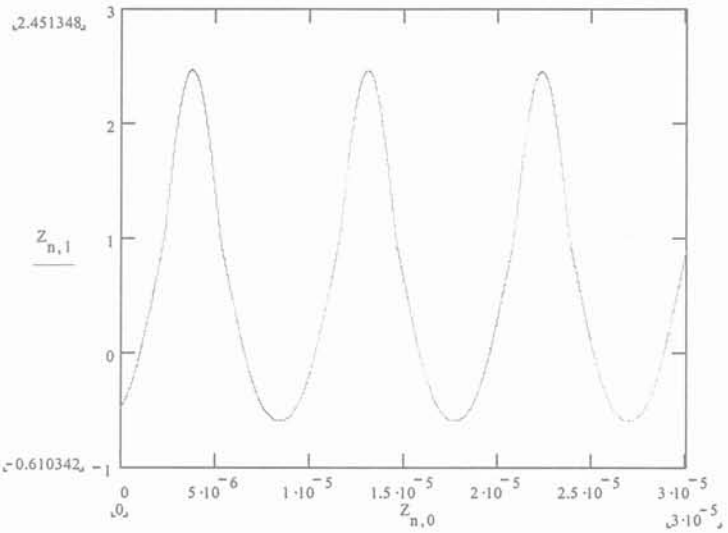
$$\left[\frac{D2}{\sqrt{0.7 - Uc - 10\sin(\omega \cdot t - 1) + Vl_0}} 10\omega \cdot \cos(\omega \cdot t - 1) + \frac{Vout - Vl_1}{Rg} \right] \cdot \left[1 + \frac{1}{1 + \frac{C3}{\left[si\left(Vl_0 < 1.49, \frac{1}{Cox} + \frac{2 \cdot \sqrt{-q \cdot \left(1 - Vl_0\right) \cdot \frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} + e - 1}{1.1141 \cdot 10^{-5} \cdot \left(280 \cdot 10^{-9}\right) \cdot \left(si\left(1 - Vl_0 > 0, 1, -1\right) \right) \frac{q}{k \cdot T} \left[e^{\frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} - 1 \right]} \right) \right]^{-1}, Csc \right]} \right]$$

$$\frac{D2}{\sqrt{0.7 - Uc - 10\sin(\omega \cdot t - 1) + Vl_0}} + \frac{D1}{\sqrt{0.7 + Vl_0}} + si\left(Vl_0 < 1.49, \frac{1}{Cox} + \frac{2 \cdot \sqrt{-q \cdot \left(1 - Vl_0\right) \cdot \frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} + e - 1}{1.1141 \cdot 10^{-5} \cdot \left(280 \cdot 10^{-9}\right) \cdot \left(si\left(1 - Vl_0 > 0, 1, -1\right) \right) \frac{q}{k \cdot T} \left[e^{\frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} - 1 \right]}, Csc \right) \cdot \left(\frac{D2}{\sqrt{0.7 - Uc - 10\sin(\omega \cdot t - 1) + Vl_0}} + \frac{D1}{\sqrt{0.7 + Vl_0}} + C3 \right) + C3 \left(\frac{D2}{\sqrt{0.7 - Uc - 10\sin(\omega \cdot t - 1) + Vl_0}} + \frac{D1}{\sqrt{0.7 + Vl_0}} \right)$$

$$\frac{D2}{\sqrt{0.7 - Uc - 9.5\sin(\omega \cdot t - 1) + Vl_0}} + \frac{D1}{\sqrt{0.7 + Vl_0}} + si\left(Vl_0 < 1.49, \frac{1}{Cox} + \frac{2 \cdot \sqrt{-q \cdot \left(1 - Vl_0\right) \cdot \frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} + e - 1}{1.1141 \cdot 10^{-5} \cdot \left(280 \cdot 10^{-9}\right) \cdot \left(si\left(1 - Vl_0 > 0, 1, -1\right) \right) \frac{q}{k \cdot T} \left[e^{\frac{q \cdot \left(1 - Vl_0\right)}{k \cdot T}} - 1 \right]}, Csc \right)$$

$Z := \text{rkfixed}(V1, 0 \cdot 10^{-6}, 30 \cdot 10^{-6}, 3000, D)$

$n := 0 .. \text{lignes}(Z) - 1$



Résultat de la simulation :

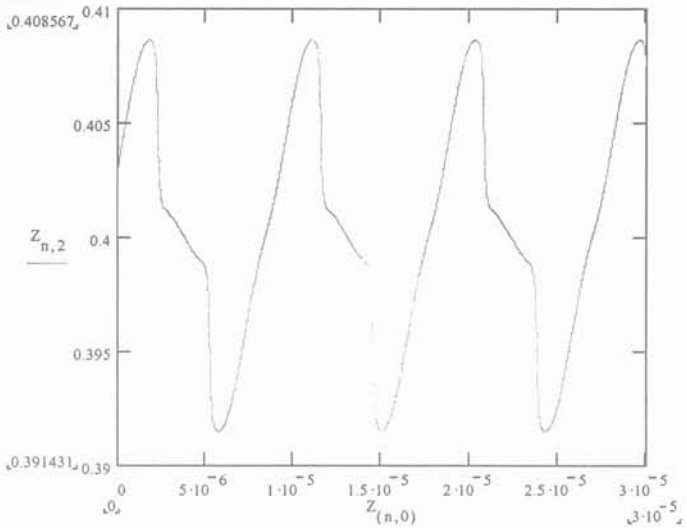


Tableau de valeurs :

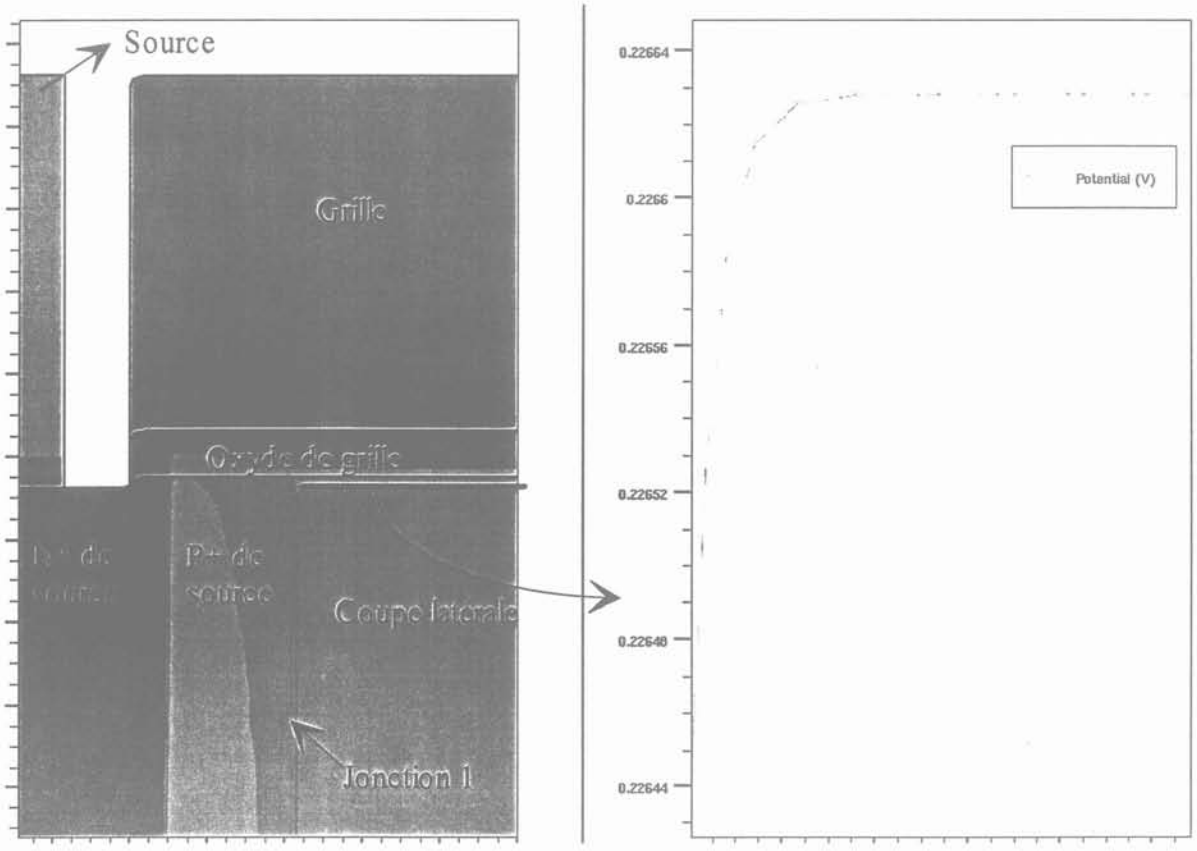
$Z =$

	0	1	2
0	0	-0.5	0.4
1	$1 \cdot 10^{-8}$	-0.49767	0.401799
2	$2 \cdot 10^{-8}$	-0.495069	0.402524
3	$3 \cdot 10^{-8}$	-0.492338	0.402831
4	$4 \cdot 10^{-8}$	-0.489532	0.402977
5	$5 \cdot 10^{-8}$	-0.486673	0.403059
6	$6 \cdot 10^{-8}$	-0.483769	0.403118
7	$7 \cdot 10^{-8}$	-0.480823	0.403166
8	$8 \cdot 10^{-8}$	-0.477836	0.403212
9	$9 \cdot 10^{-8}$	-0.47481	0.403256

Annexe 4

Variation du potentiel de silicium situé sous l'électrode de grille.

La figure ci dessous illustre les variations du potentiel de substrat situé sous l'oxyde de grille. On vérifie, à l'aide de la simulation, que le potentiel varie peu (18.10^{-5} V soit moins de 0,08 % d'écart). Cela permet de valider l'hypothèse faite sur l'uniformité du potentiel du substrat situé sous la grille, et donc de ne pas considérer l'électrode de grille comme étant répartie sur toute la surface du silicium.



Annexe 5

TECHNOLOGIE

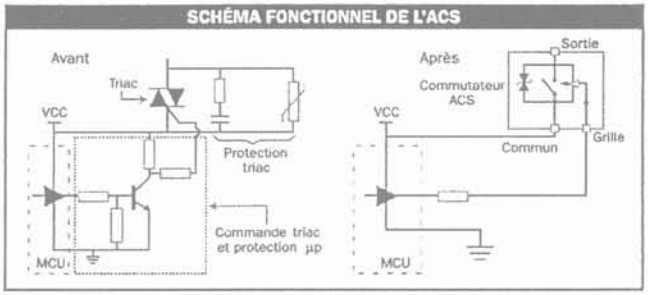
SEMICONDUCTEURS DE PUISSANCE

L'"intégré" va remplacer le triac

STMicroelectronics présente un composant semiconducteur réalisant la fonction d'un interrupteur alternatif protégé en surtension et pilotable directement par un microcontrôleur. Il vise les applications de l'électroménager, en faible puissance pour l'instant.

Les fabricants de semiconducteurs de puissance s'intéressent de plus en plus au marché de l'électroménager, qui a représenté pour l'Europe en 1997 un volume de 63 millions de machines tout confondu, selon une étude publiée par *Appliance Magazine* (dont 40 % pour les applications de lavage). Jusqu'à maintenant, la majorité des fonctions de commutation de ces machines étaient basées sur l'utilisation de composants électromécaniques ou de triacs. Mais face à des besoins d'économie d'énergie et à des baisses de prix des semiconducteurs, les fournisseurs cherchent à affiner les performances de leurs composants pour mieux coller aux besoins. En particulier STMicroelectronics qui dispose d'une technologie baptisée ASD *(voir encadré)* qui permet d'intégrer des fonctions complexes sur un circuit de puissance. Il vient d'introduire sous le nom d'ACS (Alternative current switch) une sorte de triac fonctionnant sur le 220 V pour des courants inférieurs à 0,8 A, mais à partir d'une commande de fonction numérique classique et avec une protection vis-à-vis des surtensions jusqu'à 2 kV par écrêtage à 600 V. Sa commande en courant inférieure à 10 mA lui permet d'être piloté directement par un microcontrôleur. Le prix est annoncé comme étant compétitif avec celui de la solution triac, mais la gamme reste réduite en puissance pour l'instant.

SCHÉMA FONCTIONNEL DE L'ACS



L'ACS, commutateur alternatif, est capable d'écrêter d'éventuelles surtensions du réseau ou de la charge. Il est commandable par un courant de moins de 10 mA, donc directement par un microcontrôleur.

L'inconvénient majeur du triac, commutateur alternatif par excellence, reste sa sensibilité. D'abord aux surtensions, qui imposent de le protéger et de le surdimensionner (une marge de 15 % est recommandée), mais aussi aux variations brusques de tension à ses bornes (dV/dt), la valeur maximale supportable étant de l'ordre de 50 V/µs. Voulant éviter cet inconvénient, STMicroelectronics a protégé son commutateur en surtension grâce à un écrêtage dès 600 V, pour une tension nominale de fonctionnement à 500 V. Il supporte également des variations brusques de tension, jusqu'à 500 V/µs.

Un prix compétitif avec un triac équivalent

Enfin, l'étage de commande est conçu de façon à protéger le microcontrôleur d'un retour éventuel de courant ou de tension. La structure interne de son composant emploie la technologie propriétaire ASD mais suivant des combinaisons de sous-structures sur lesquelles la société reste très discrète. Seul détail technique dévoilé : la sortie est située au-dessus de la puce (contrairement au triac). Le composant peut ainsi être mis en parallèle de façon simple dans un boîtier sans contrainte d'isolation particulière. Deux circuits sont disponibles. L'ACS402 en boîtier DIL20 regroupe 4 ACS avec une connexion commune à une des polarités du secteur alternatif. Il est spécifié pour un courant nominal de 0,2 A par commutateur et un courant total nominal dans le composant de 0,4 A.

Une version simple en boîtier TO92 ou SOT223, référencée ACS108-5SX est, quant à elle, développée pour un courant de 0,8 A nominal. STMicroelectronics annonce un prix, via la distribution et pour des commandes de 10 000 pièces de 0,32 $ pour l'ACS108-5SA et 1,25 $ pour l'ACS402-5B4. Un prix compétitif avec celui d'un triac équivalent (comme le triac 20107 vendu 0,2 $ mais qui impose l'achat et l'implantation d'autres composants externes). Les prochaines versions de l'ACS devraient être commandables en tension. Il est également prévu d'augmenter la puissance commutable, ce qui ouvrirait à ce type de composants le marché de la commande de puissance des moteurs de machine à laver.

Erwan Humbert ■

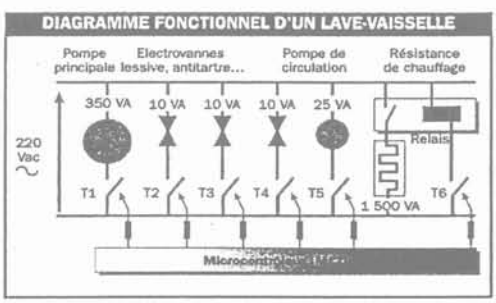
L'ASD, UN COMPOSANT DISCRET SPÉCIFIQUE DÉDIÉ À LA PUISSANCE

L'usine de Tours de STMicroelectronics a développé depuis 1992 un concept de circuit intégré de puissance à partir de modules technologiques élémentaires. L'ASD (Application specific discrete), concept équivalent à la puissance de ce qu'est l'Asic au circuit intégré, vise à remplacer par une seule puce plusieurs discrets de puissance, ce qui le différencie des "circuits de puissance intelligente". La technologie ASD est basée essentiellement sur des structures bipolaires de type thyristor, traversant la plaquette verticalement et horizontalement, associés en brique de base pour réaliser des fonctions plus complexes que celles d'un interrupteur : les premiers composants proposés ont été des circuits de protection contre les surtensions, des circuits de protection télécoms et des circuits d'allumage de moteur à explosion ou de lampes.

Six commutateurs dans un lave-vaisselle

Les fabricants d'appareils électroménagers mettent de plus en plus d'électronique dans leurs produits, afin d'en augmenter le nombre de fonctions : programmes de lavage adaptés au linge introduit (degré de saleté, poids, consommation d'eau), cuissons élaborées, économie d'énergie... Ces changements, qui visent à améliorer le confort des utilisateurs, imposent de passer de l'électromécanique à des semiconducteurs de commutation, compatibles avec les stratégies de commandes par microcontrôleur. Ainsi, pour commander l'ensemble des fonctions de base d'un lave-vaisselle (pompe d'arrivée d'eau, pompe secondaire, résistance de chauffage de l'eau, vannes pour libérer du détergent, du sel régénérant...), ne faut-il pas moins de six interrupteurs capables de fonctionner sur courant alternatif. ■

DIAGRAMME FONCTIONNEL D'UN LAVE-VAISSELLE



Annexe 7

Données constructeurs de l'IGBT IRG4BC20FD-S.

PD -91783A

International
IOR Rectifier

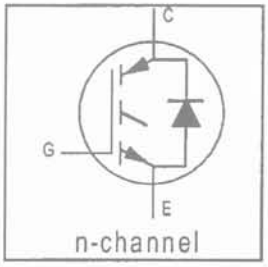
IRG4BC20FD-S

INSULATED GATE BIPOLAR TRANSISTOR WITH ULTRAFAST SOFT RECOVERY DIODE

Fast CoPack IGBT

Features

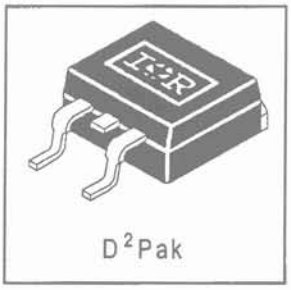
- Fast: Optimized for medium operating frequencies (1-5 kHz in hard switching, >20 kHz in resonant mode).
- Generation 4 IGBT design provides tighter parameter distribution and higher efficiency than Generation 3
- IGBT co-packaged with HEXFRED™ ultrafast, ultra-soft-recovery anti-parallel diodes for use in bridge configurations
- Industry standard D²Pak package



V_{CES} = 600V

$V_{CE(on)\ typ.}$ = 1.66V

@V_{GE} = 15V, I_C = 9.0A



Benefits

- Generation 4 IGBTs offer highest efficiencies available
- IGBTs optimized for specific application conditions
- HEXFRED diodes optimized for performance with IGBTs . Minimized recovery characteristics require less/no snubbing
- Designed to be a "drop-in" replacement for equivalent industry-standard Generation 3 IR IGBTs

Absolute Maximum Ratings

	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Voltage	600	V
I_C @ T_C = 25°C	Continuous Collector Current	16	A
I_C @ T_C = 100°C	Continuous Collector Current	9.0	
I_{CM}	Pulsed Collector Current ①	64	
I_{LM}	Clamped Inductive Load Current ②	64	
I_F @ T_C = 100°C	Diode Continuous Forward Current	8.0	
I_{FM}	Diode Maximum Forward Current	60	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
P_D @ T_C = 25°C	Maximum Power Dissipation	60	W
P_D @ T_C = 100°C	Maximum Power Dissipation	24	
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to +150	°C

Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case - IGBT	—	2.1	°C/W
$R_{\theta JC}$	Junction-to-Case - Diode	—	3.5	
$R_{\theta JA}$	Junction-to-Ambient (PCB Mounted,steady-state)*	—	80	
Wt	Weight	1.44	—	g (oz)

* When mounted on 1" square PCB (FR-4 or G-10 Material). For recommended footprint and soldering techniques refer to application note #AN-994.

IRG4BC20FD-S

International
IOR Rectifier

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)CES}$	Collector-to-Emitter Breakdown Voltage③	600	—	—	V	V_{GE} = 0V, I_C = 250µA
$\Delta V_{(BR)CES}/\Delta T_J$	Temperature Coeff. of Breakdown Voltage	—	0.72	—	V/°C	V_{GE} = 0V, I_C = 1.0mA
$V_{CE(on)}$	Collector-to-Emitter Saturation Voltage	—	1.66	2.0	V	I_C = 9.0A V_{GE} = 15V
		—	2.06	—		I_C = 16A See Fig. 2, 5
		—	1.76	—		I_C = 9.0A, T_J = 150°C
$V_{GE(th)}$	Gate Threshold Voltage	3.0	—	6.0		V_{CE} = V_{GE}, I_C = 250µA
$\Delta V_{GE(th)}/\Delta T_J$	Temperature Coeff. of Threshold Voltage	—	-11	—	mV/°C	V_{CE} = V_{GE}, I_C = 250µA
g_{fe}	Forward Transconductance ④	2.9	5.1	—	S	V_{CE} = 100V, I_C = 9.0A
I_{CES}	Zero Gate Voltage Collector Current	—	—	250	µA	V_{GE} = 0V, V_{CE} = 600V
		—	—	1700		V_{GE} = 0V, V_{CE} = 600V, T_J = 150°C
V_{FM}	Diode Forward Voltage Drop	—	1.4	1.7	V	I_C = 8.0A See Fig. 13
		—	1.3	1.6		I_C = 8.0A, T_J = 150°C
I_{GES}	Gate-to-Emitter Leakage Current	—	—	±100	nA	V_{GE} = ±20V

Switching Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
Q_g	Total Gate Charge (turn-on)	—	27	40	nC	I_C = 9.0A
Qge	Gate - Emitter Charge (turn-on)	—	4.2	6.2		V_{CC} = 400V See Fig. 8
Q_{gc}	Gate - Collector Charge (turn-on)	—	9.9	15		V_{GE} = 15V
$t_{d(on)}$	Turn-On Delay Time	—	43	—	ns	T_J = 25°C
t_r	Rise Time	—	20	—		I_C = 9.0A, V_{CC} = 480V
$t_{d(off)}$	Turn-Off Delay Time	—	240	360		V_{GE} = 15V, R_G = 50Ω
t_f	Fall Time	—	150	220		Energy losses include "tail" and
E_{on}	Turn-On Switching Loss	—	0.25	—	mJ	diode reverse recovery.
E_{off}	Turn-Off Switching Loss	—	0.64	—		See Fig. 9, 10, 18
E_{ts}	Total Switching Loss	—	0.89	1.3		
$t_{d(on)}$	Turn-On Delay Time	—	41	—	ns	T_J = 150°C, See Fig. 10, 11, 18
t_r	Rise Time	—	22	—		I_C = 9.0A, V_{CC} = 480V
$t_{d(off)}$	Turn-Off Delay Time	—	320	—		V_{GE} = 15V, R_G = 50Ω
t_f	Fall Time	—	290	—		Energy losses include "tail" and
E_{ts}	Total Switching Loss	—	1.35	—	mJ	diode reverse recovery.
L_E	Internal Emitter Inductance	—	7.5	—	nH	Measured 5mm from package
C_{ies}	Input Capacitance	—	540	—	pF	V_{GE} = 0V
C_{oes}	Output Capacitance	—	37	—		V_{CC} = 30V See Fig. 7
C_{res}	Reverse Transfer Capacitance	—	7.0	—		f = 1.0MHz
t_{rr}	Diode Reverse Recovery Time	—	37	55	ns	T_J = 25°C See Fig.
		—	55	90		T_J = 125°C 14 I_F = 8.0A
I_{rr}	Diode Peak Reverse Recovery Current	—	3.5	5.0	A	T_J = 25°C See Fig.
		—	4.5	8.0		T_J = 125°C 15 V_R = 200V
Q_{rr}	Diode Reverse Recovery Charge	—	65	138	nC	T_J = 25°C See Fig.
		—	124	360		T_J = 125°C 16 di/dt = 200A/µs
$di_{(rec)M}/dt$	Diode Peak Rate of Fall of Recovery	—	240	—	A/µs	T_J = 25°C See Fig.
	During t_b	—	210	—		T_J = 125°C 17

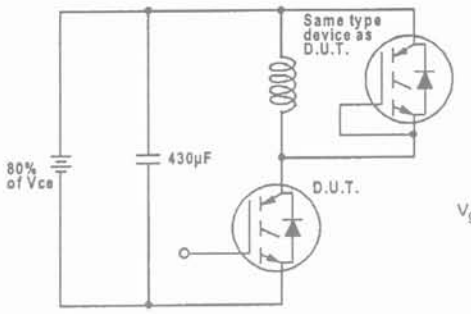


Fig. 18a - Test Circuit for Measurement of I_{LM}, E_{on}, $E_{off(diode)}$, t_{rr}, Q_{rr}, I_{rr}, $t_{d(on)}$, t_r, $t_{d(off)}$, t_f

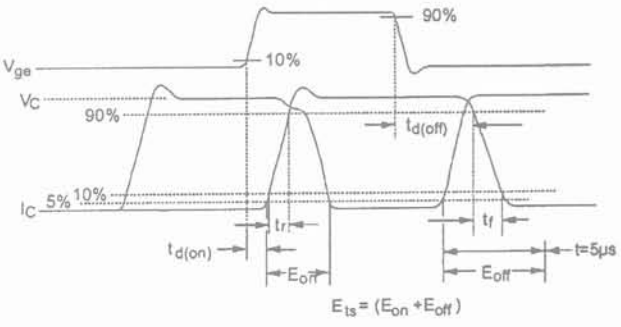


Fig. 18b - Test Waveforms for Circuit of Fig. 18a, Defining E_{off}, $t_{d(off)}$, t_f

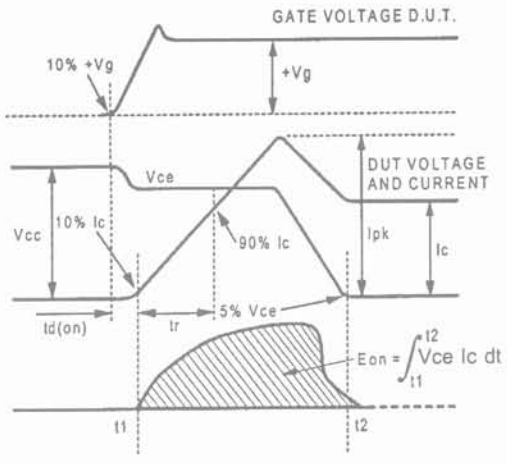


Fig. 18c - Test Waveforms for Circuit of Fig. 18a, Defining E_{on}, $t_{d(on)}$, t_r

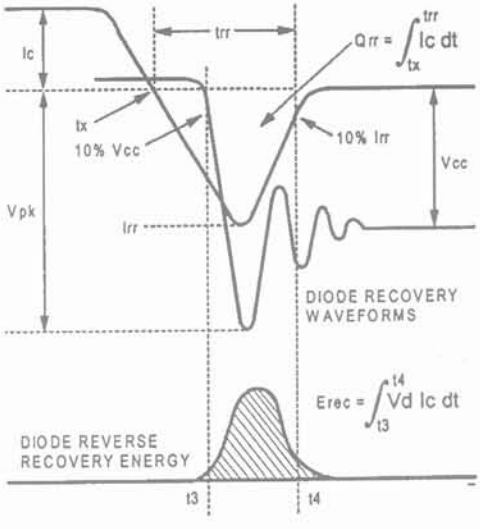


Fig. 18d - Test Waveforms for Circuit of Fig. 18a, Defining E_{rec}, t_{rr}, Q_{rr}, I_{rr}