

# Un Nouveau Système d'Instrumentation en Ligne pour la Caractérisation et l'Adaptation Dynamique aux Variations

B. Rebaud, M. Belleville, E. Beigné, M. Robert, P. Maurine, N. Azemard

**Résumé**— Des dispositifs de surveillance embarqués du processus de fabrication et des paramètres environnementaux sont aujourd'hui indispensables à la lutte contre les effets de la variabilité. Ils permettent également une recherche du point de fonctionnement optimal qui permet de s'affranchir des marges conception, et autorise la baisse de la consommation par des systèmes d'adaptation dynamique.

Ce papier présente un nouveau système de surveillance en ligne permettant d'anticiper en temps réel toute violation de temps en observant les variations des marges temporelles. Ce système est composé de structures spécifiques situées près des bascules, couplées avec un générateur de fenêtre de détection localisé sur l'arbre d'horloge. Validation et performances sont données en technologie 45 nm basse consommation et démontrent la faisabilité et l'efficacité de ce système.

**Mots clés**— Variabilité, Surveillance en ligne, Marge temporelle, Compensation, Point de fonctionnement optimal, Basse consommation, adaptation dynamique.

## I. INTRODUCTION

La diminution de la longueur des transistors dans les technologies CMOS permet d'intégrer de plus en plus d'éléments, mais mène également à une importante augmentation des marges de conception [1]. En effet, l'impact des variations sur ces nouvelles technologies augmente alors que les méthodologies de conception basées sur le pire cas restent les mêmes. Afin d'obtenir des données plus réalistes, des méthodes statistiques [2,3] sont un moyen de réduire ces marges et de garder un bon rendement.

Malheureusement, ces techniques statistiques ne sont pas suffisantes pour prédire les variations dynamiques pouvant survenir au court de la vie du circuit. Pour détecter les effets des variations d'alimentation, de température [4] ou de vieillissement [5], des dispositifs de surveillance embarqués sont alors utilisés. Il existe deux approches différentes.

La première consiste à intégrer un système de capteurs permettant de surveiller les paramètres électriques et physiques du circuit en temps réel et de réagir dynamiquement en adaptant la fréquence, l'alimentation ou le substrat grâce à des techniques comme l'AVBS, AVFS (Adaptive Voltage Biasing Frequency, Scaling). Des systèmes de capteurs tels que [6-10] sont proposés dans la littérature.

Cependant, de tels systèmes comportent des limitations. En effet, leur consommation et leur surface les rendent difficilement intégrables dans tous les circuits. La complexité des informations

renvoyées et la nécessité d'une caractérisation précise (avec l'aide d'une Table LUT) rendent difficile leur utilisation. Enfin, l'utilisation d'oscillateurs en anneau [6, 7, 9] ou de réplique de chemins critiques [10] confère au système un caractère global qui ne permet pas d'observer des variations pouvant survenir au niveau local. En effet, les comportements de tels capteurs peuvent être sensiblement différents de ceux que l'on peut trouver dans la fonctionnalité même du circuit.

La seconde approche consiste à insérer des capteurs au plus près de la fonctionnalité en instrumentant directement les points les plus critiques au niveau des éléments mémoires (bascule ou verrou). Ceci permet de détecter des fautes temporelles. Cette détection peut être implémentée en effectuant des comparaisons sur éléments redondants, avec horloge retardée, ou en détectant un signal dans une fenêtre de détection donnée [11-13].

Cette approche a plusieurs avantages, parmi lesquels on peut trouver (a) le fait de détecter localement les variations dynamiques en regardant directement leur impact sur les temps ; (b) une intégration et une interprétation des données très simplifiée, car d'ordre binaire.

Cependant, il existe également quelques inconvénients à leur utilisation, pour rendre le dispositif robuste. Tout d'abord, pour obtenir une couverture significative, un grand nombre de capteurs est nécessaire, touchant directement la surface et la consommation. Ainsi, leurs caractéristiques doivent être optimisées pour minimiser au maximum leur impact sur le circuit hors et en ligne. Un deuxième désavantage de ce genre de capteurs [11-13] réside dans le fait que la détection de faute implique la nécessité d'un système tolérant aux fautes avec des procédés de rejoue ou de correction par logiciel.

Afin de remédier à ce problème, [14] a proposé d'anticiper les fautes en déterminant une marge de sauvegarde à ne pas violer. Le principal problème de l'implémentation est qu'elle n'est pas adaptée aux variations de fréquence et d'alimentation qu'engendre un système adaptatif. En effet, la marge de sauvegarde est définie par une fenêtre qui varie excessivement avec des conditions d'opération.

Dans ce contexte, la contribution de ce papier est la proposition d'un nouveau système de surveillance embarqué [15], reposant sur les concepts de [11-14], ayant pour but d'anticiper les violations temporelles dans une large gamme de conditions d'opération. Ce système, ayant un faible impact sur la surface et la consommation, est tout à fait adapté à l'application des techniques d'adaptation dynamique en alimentation, substrat et fréquence nécessaires à la recherche d'un point de fonctionnement optimum permettant un gain en consommation significatif.

Le système proposé détecte localement, sur un ou plusieurs chemins, les marges critiques et suit en ligne les variations dynamiques dues à l'alimentation, la température ou le vieillissement. Un point clé de ce système consiste en l'utilisation d'une fenêtre de détection générée directement sur l'arbre d'horloge, distribuée sur plusieurs capteurs.

Le reste de ce papier est organisé comme suit. Le paragraphe II présente le concept de système de surveillance et l'insertion des capteurs près des bascules. Puis, dans le paragraphe III, des détails

Manuscrit reçu le 28 avril 2009

B. Rebaud, M. Belleville, E. Beigné travaillent au CEA-LETI, MINATEC, F38054 GRENOBLE Cedex 9, FRANCE. (e-mail : bettina.rebaud@cea.fr, marc.belleville@cea.fr, edith.beigne@cea.fr)

M. Robert, P. Maurine, N. Azemard travaillent au LIRMM - CNRS - Université Montpellier II, 161 rue Ada, 34392 MONTPELLIER, FRANCE (e-mail : robert,@lirmm.fr, maurine@lirmm.fr, azemard@lirmm.fr)

sont donnés sur l'architecture du capteur. Le circuit de génération de la fenêtre de détection est décrit dans le paragraphe IV. Le paragraphe V fournit des résultats de simulations validant l'ensemble du système. Enfin, une conclusion est donnée dans le dernier paragraphe.

## II. SYSTEME DE SURVEILLANCE

La figure 1 montre le concept développé. Celui-ci est composé de deux blocs, conçus en tant que cellule standard de bibliothèque : un capteur et une cellule spécifique d'arbre d'horloge (appelé CC).

Le capteur doit être inséré près de la bascule D (DFF), localisée à la fin d'un arc de temps critique du circuit. Le CC est inséré sur l'arbre d'horloge en tant que dernière feuille de celui-ci. A noter que le choix des chemins critiques à instrumenter est au dehors du propos de ce papier. Cependant, le choix peut être fait grâce à des méthodologies STA ou SSTA.

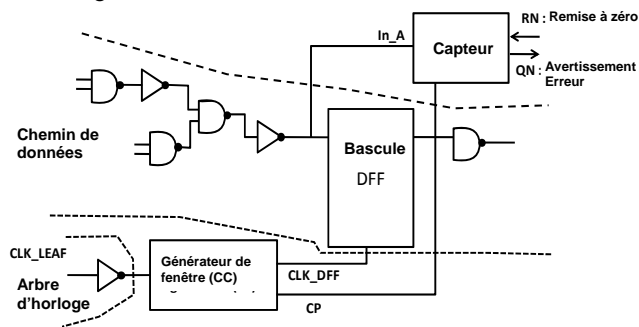


Fig 1 : Système de surveillance sur chemin critique

Comme montré dans la figure 1, le capteur est directement connecté à la sortie du chemin critique, c'est-à-dire à l'entrée de la bascule D. Il reçoit également la fenêtre de détection générée par CC et en phase avec l'horloge. La fonctionnalité de ce capteur est de détecter un événement (transition complète ou partielle) sur le fil Input\_A pendant que la fenêtre de détection CP est active (d'une durée de Dpulse).

Plus précisément (figure 2), la fenêtre de détection commence à  $(In\text{-}to\text{-}CP + CP\text{-}to\text{-}CLK\_DFF)$  avant le front montant de l'horloge et finit à  $(In\text{-}to\text{-}CP + CP\text{-}to\text{-}CLK\_DFF - Dpulse)$ , selon les caractéristiques de temps du capteur lui-même et du CC (voir paragraphe III et IV).

Le temps  $(In\text{-}to\text{-}CP + CP\text{-}to\text{-}CLK\_DFF - Dpulse)$  doit être plus grand (pour des détections d'avertissements) ou au moins égal (pour des détections d'erreurs) au temps d'établissement de la bascule D ( $T_{setup}$ ). Le temps  $T_m$  définit alors une marge de garde, c'est-à-dire le risque pris pour la gestion des anticipations, et est égal à  $(In\text{-}to\text{-}CP + CP\text{-}to\text{-}CLK\_DFF - T_{setup})$ .

Si une transition survient dans la fenêtre de détection, le capteur sauvegarde un signal d'erreur (commute de  $V_{dd}$  à 0), signifiant que pendant le dernier cycle, les conditions en processus de fabrication et environnementales sont telles que la marge à l'erreur est plus petite que  $T_m$  et plus grande que  $(In\text{-}to\text{-}CP + CP\text{-}to\text{-}CLK\_DFF - Dpulse - T_{setup})$ . Ainsi, un tel système permet d'avertir à plus au niveau que les conditions sont telles qu'il faut réagir avant qu'une violation apparaisse.

Ce capteur peut également être utilisé pour détecter une erreur sans aucun CC, en connectant directement CP à CLK-DFF. Mais dans ces conditions, ce capteur aura les mêmes inconvénients que [11-13], c'est-à-dire la nécessité d'insérer des cellules de retard sur les chemins les plus courts arrivant sur la bascule instrumentée.

Pour faire face à toutes les situations en termes de complexité, plusieurs cellules CC avec différentes caractéristiques de temps ( $T_m$ ) doivent être disponibles dans la bibliothèque

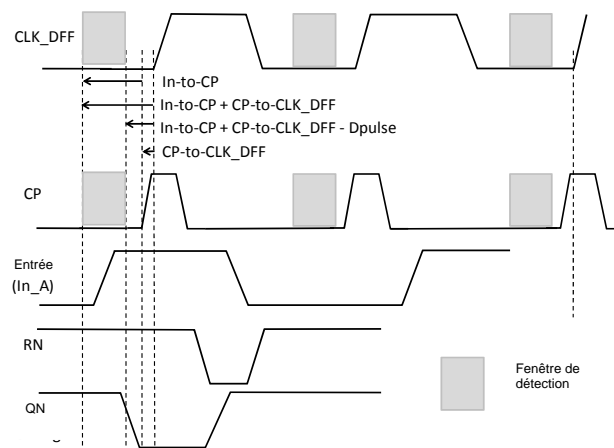


Fig 2: Chronogramme de détection de transition

## III. LES CAPTEURS

Ce paragraphe a pour but d'expliquer le fonctionnement du capteur proposé figure 3 et ses caractéristiques principales. Tous les résultats de simulations proviennent de données d'extraction après dessin de masques.

### A. Capteur à une entrée

Le capteur à une entrée est composé d'un détecteur de transition et d'un élément mémoire implémentée avec une faible boucle de rétroaction (voir figure 3).

Comme illustré figure 3, un événement survenant sur le fil In\_A est propagé à travers une chaîne d'inverseurs menant aux transistors T1 à T4 de tel façon que les transistors T1/T2 ou T3/T4 soient passants durant un court intervalle de temps.

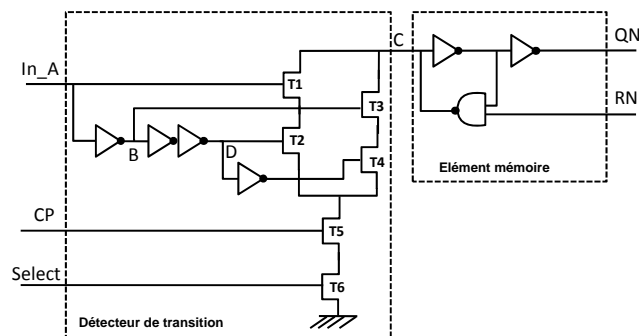


Fig 3: Capteur à une entrée

La transition est alors détectée par le capteur et sauvegardée dans l'élément mémoire si et seulement si cette transition implique la création d'un intervalle de temps  $T$  suffisant pour permettre la décharge de C lorsque les transistors T5 et T6 sont passants ; c'est-à-dire que les signaux CP et Select se superposent assez longtemps avec T. Dans tous les autres cas, la sortie du capteur reste à  $V_{dd}$ .

Pour fonctionner correctement, le capteur proposé doit être conçu de telle façon à ce que la vitesse de décharge, directement corrélée à la taille des transistors, soit assez rapide pour amener C à 0V pendant le temps T.

## B. Surface

Dans les circuits complexes synchrones d'aujourd'hui, largement sujets aux effets des variations, un grand nombre de points d'observation est indispensable pour obtenir un système de surveillance fiable. Ainsi, la surface et la consommation du système doivent être réduites à leur maximum pour que le coût de l'ajout de ce système ne soit pas préjudiciable au circuit.

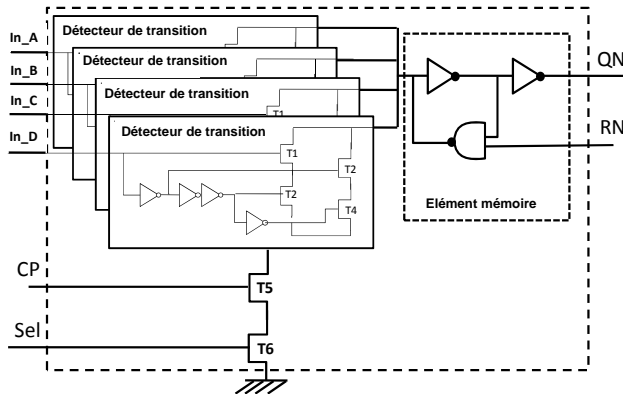


Fig.4: Capteur à 4 entrées.

Pour réduire le nombre de transistors, l'architecture du capteur est telle que l'élément mémoire peut être mutualisé sur plusieurs détecteurs de transition, pouvant mener à une architecture telle que celle de la figure 4. Un dénombrement du nombre de transistors des différentes versions du capteur proposé est donné dans le tableau 1, en comparaison avec celui de l'état de l'art : RAZOR 1 et 2 [11-12].

TABLEAU I: NOMBRE DE TRANSISTORS

Capteur 1 entrée	Capteur 2 entrées	Capteur 3 entrées	Capteur 4 entrées
22	32	46	58
DFF	Scan DFF	RAZOR 1 [18]	RAZOR 2 [15]
26	34	76	47

Cependant, bien que la mutualisation soit très intéressante pour la réduction du coût en surface, augmenter le nombre d'entrées augmente également la charge C, qu'il est plus difficile de décharger. Ainsi, un compromis entre les performances en temps, la surface, et la consommation doit être choisi.

## C. Performances temporelles

Les performances du capteur proposé peuvent être caractérisées grâce à la définition d'un certain nombre de métriques temporelles, définissant son comportement et nécessaires à son intégration dans un flot de conception.

Le temps In-to-CP est un temps spécifique qui a des similitudes avec le temps d'établissement d'une bascule. La figure 5 permet d'expliquer la définition de ce temps.

Comme dit précédemment, le temps de propagation de la transition à travers les inverseurs ouvre une fenêtre durant laquelle une décharge du noeud C est possible. A partir de ce point, 3 cas peuvent être décrits :

Le cas (a) correspond à la situation durant laquelle le temps entre les signaux In-A et CP permet la complète décharge du noeud C.

Le cas (b) correspond à la situation qui ne permet pas une décharge complète car le temps séparant In\_A et CP est trop long.

Enfin, le cas (c) correspond à la situation inverse, c'est-à-dire que le temps entre In-A et CP est trop court, et la fenêtre CP est déjà fermée avant que la décharge de C soit complète.

Ainsi, grâce à cet exemple, on peut définir aisément le temps In-to-CP à partir duquel la détection est possible, c'est-à-dire le temps maximum entre In\_A et CP pour permettre le bon fonctionnement du capteur. Ce temps doit également être pris en compte pour la définition de la marge temporelle  $T_m$  car elle définit la fenêtre de détection, commençant au niveau du cas (b) pour finir au cas (c) (en temps relatif entre les deux signaux)

Le temps RN-to-QN est également une métrique de la structure proposée. Il s'agit du temps de charge du noeud C jusqu'au niveau logique '1' à travers la porte Nand2.

Le troisième temps permet de définir la vitesse même du capteur : il s'agit de du temps de propagation entre la détection et l'arrivée du signal à la sortie QN. Ce temps est défini par le temps de décharge du noeud C. Il peut être compté à partir soit de CP soit de In-A, selon l'ordre d'arrivée sur le capteur.

Enfin, pour une intégration dans des circuits de haute performances en vitesse, il est évident que les temps CP/In-A-to-QN et RN-to-QN doivent être les plus faibles possibles.

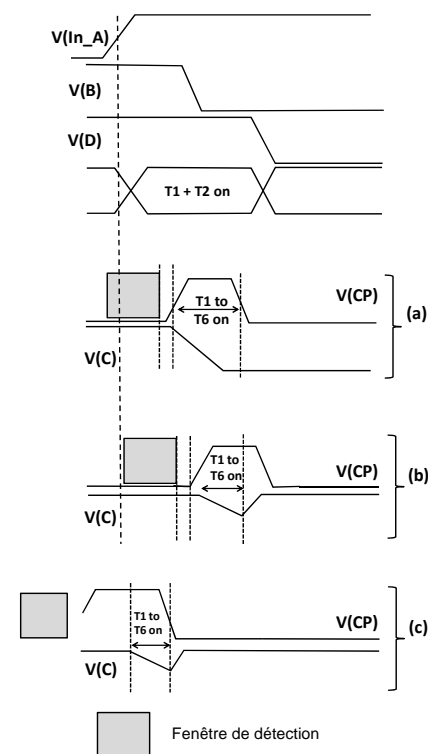


Fig 5: Chronogramme illustrant les différentes situations de la détection d'une transition selon la position des entrées du capteur.

Le tableau II donne les résultats des performances simulées de capteurs proposés, avec mutualisation des entrées sur l'élément mémoire. De plus, ces capteurs ont été dimensionnés de tel sorte que leur surface soit minimale (les longueurs des transistors T1 à T6 sont pris au minimum de la technologie)

Comme montré dans le tableau II, un nombre croissant d'entrées implique des temps IN-to-QN, RN-to-QN plus longs, due la l'augmentation de la charge interne C. On voit également qu'il y a peu de différence pour les temps de pulse CP, les capteurs étant ouverts pour les temps de pulsation minimaux de la simulation.

Enfin, on peut noter une dissymétrie de 50 ps environ entre les fronts montants et descendants, due au fait que la structure introduit un retard d'un inverseur supplémentaire pour les fronts descendants. Cependant, cette dissymétrie n'a pas de conséquences graves étant donné que le temps de pulse minimal pour CP est de 150 ps.

TABLEAU II: TEMPS CARACTERISTIQUES (PS)

	# Transistors	Temps In/CP-to-QN (Rise/fall)	Temps RN-to-QN temps	Temps niv. haut min CP	Temps niv. bas min RN	Temps In-to-CP Rise/fall
Capteur 1 bit	22	156/203	221	165	165	63/98
Capteur 2 bits	39	263/302	404	163	215	53/102
Capteur 3 bits	46	262/322	531	167	280	54/110
Capteur 4 bits	58	295/359	573	164	320	48/105
Bascule D	26	225/230	x	210	x	x
Bascule D avec scan	34	235/242	x	300	x	x

Performances temporelles en pire cas, 1.05V, 125°C pour une charge de 10fF et des transitions d'entrée de 100ps (20%-80%)

Si le tableau II donne les performances temporelles des capteurs, le tableau III montre les performances dans différentes conditions environnementales en température et en alimentation du capteur 4 entrées en processus pire cas. Ces simulations montrent que les capteurs peuvent être utilisés facilement jusqu'à une alimentation de 0,6V, pour toute la gamme de température [-40°C, 125°C]. A noter que les capteurs de 1 à 3 entrées ont des performances meilleures.

TABLEAU III: EVOLUTION DU TEMPS IN-TO-QN (PS) DANS DIFFERENTES CONDITIONS V, T

V / T	-40°C	10°C	60°C	85°C	125°C
0.6 V	4002	2785	2464	2195	1819
0.8 V	741	710	672	646	602
1.0 V	360	333	329	326	320
1.1 V	274	257	257	258	257
1.2 V	224	212	214	215	216

#### D. Consommation des capteurs

Le pire cas de consommation est généralement pris dans le meilleur processus de fabrication, à haute température (125°C) et haute tension d'alimentation. Dans ces conditions, les consommations statique et dynamique ont été mesurées.

Les simulations sur les consommations statiques, pour toutes les possibilités de polarisation d'entrées sur les capteurs de 1 à 4 bits, donnent une consommation d'environ 100nW (1nW en cas typique), ce qui est sensiblement du même ordre de grandeur qu'une bascule D de sortance minimale.

En ce qui concerne la consommation dynamique des capteurs de 1 à 4 bits d'entrée, les valeurs sont données dans le tableau IV. Cette puissance est principalement dissipée lors du passage d'un signal dans les inverseurs créant la fenêtre d'ouverture des transistors en série. Ces inverseurs ont la même activité que la décharge du nœud C se fasse ou non. Les données du tableau IV ont été extraites lors de l'arrivée d'un front sur les entrées à CP=0.

TABLEAU IV. CONSOMMATION DYNAMIQUE DES CAPTEURS (nW/MHZ)

Capteur 1 bit	Capteur 2 bit	Capteur 3 bit	Capteur 4 bit	Bascule D	Bascule D avec scan
7.6	15	22	30	8	9

On voit que la consommation dynamique augmente linéairement avec le nombre d'entrées. Ceci prouve bien que ce sont les inverseurs qui dissipent la principale puissance. Ainsi, du point de vue de la consommation dynamique, l'utilisation de capteurs à plusieurs entrées n'a pas trop d'intérêt mais cela permet toujours de réduire significativement la surface.

La consommation dynamique pendant une remise à 0 de l'élément

mémoire est principalement du à la charge de la capacité C par un petit transistor PMOS. Cette consommation augmente également linéairement avec le nombre d'entrées car la capacité augmente. Dans le pire cas de consommation, avec un temps de transition de RN de 160ps, la consommation dynamique est de 9,2 nW pour un capteur à 1 entrée, et de 14 nW pour un capteur à 4 entrées. Cependant, il faut noter que la remise à zéro ne se fait pas fréquemment et donc cette consommation a un très petit impact sur la performance totale du système.

#### IV. CELLULE D'ARBRE D'HORLOGE

Ce paragraphe a pour but présenter la fonctionnalité des cellules d'arbre d'horloge (CC) vues figure 6 et leurs performances.

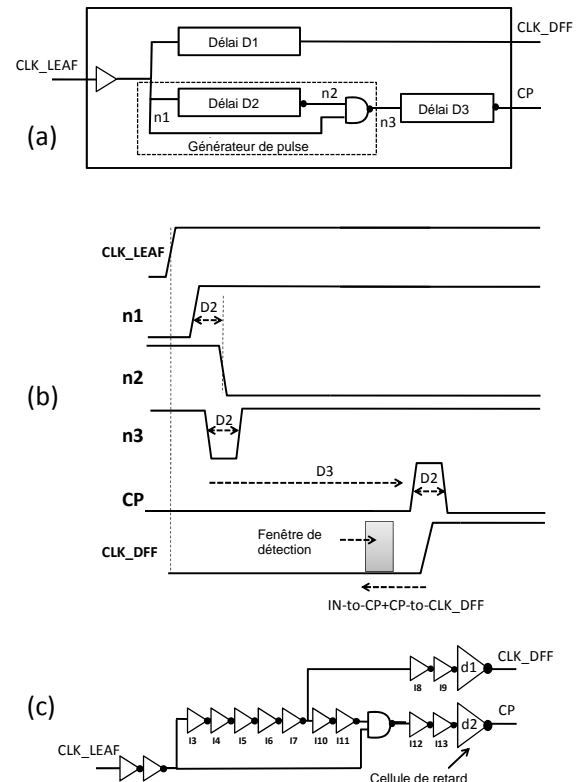


Fig.6. Implémentation basique de la Cellule CC et chronogramme associé

#### A. Conception des cellules spéciales d'horloge

La génération de la fenêtre CP est un point clé de la solution proposée car il en fixe les principales caractéristiques temporelles. Ainsi des cellules spéciales d'horloge (CC) ont été conçues. Comme on peut le voir figure 6a, ces cellules sont insérées en bout de chaîne de l'arbre d'horloge et plus précisément entre CLK\_LEAF et CLK\_DFF, ce dernier signal fournissant l'horloge de la bascule à observer.

La figure 6a donne la structure basique d'un CC. Il est composé d'un générateur d'impulsion qui fixe la largeur du signal CP, c'est-à-dire la durée de Dpulse (égale à D2) de la fenêtre de détection. Les temps D1 et D3 permettent de fixer l'intervalle de temps entre CP et CLK\_DFF et donc également la marge temporelle Tm voulue.

Comme les cellules CC définissent l'essentiel des temps définissant le système de surveillance, il est essentiel que ceux-ci soient le moins possible sensibles aux variations de processus de fabrication et d'environnement. Ceci peut être mis en œuvre en : (a) utilisant le plus possible d'éléments identiques dans la conception des

cellules et, (b) mutualiser autant que possible les éléments entre les chemins. Une solution proposée est donnée figure 6c. Comme vu dans cette figure, les inverseurs I1 à I7 sont partagés par les chemins de CLK\_LEAF à CLK\_DFF et CLK\_LEAF à CP ; tandis que les inverseurs I8, I9 et d1 sont équivalents à I10, I11 et d2. A noter que des résultats sur la sensibilité aux variations de CC sont donnés dans le paragraphe suivant.

## B. Surface

Pour minimiser le coût en surface du à l'intégration du système de surveillance proposé, les CC peuvent évidemment être partagés entre plusieurs capteurs (voir figure 7). Le choix du nombre et de l'emplacement des CC résulte évidemment d'un compromis entre la difficulté d'intégration sur l'arbre d'horloge, l'emplacement des bascules à observer et le gain en surface/consommation que peut apporter de grandes mutualisations des CC.

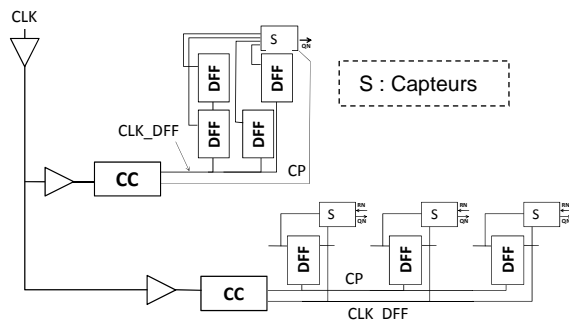


Fig 7: Exemple d'arbre d'horloge instrumenté du système proposé

## C. Performances temporelles et comportement

De même que pour les capteurs, plusieurs caractéristiques temporelles peuvent définir le comportement des CC et faciliter leur intégration.

Parmi elles, les temps CLK\_LEAF-to-CLK\_DFF et CLK\_LEAF-to-CP sont les délais de propagation du signal d'entrée sur les sorties CP et CLK\_DFF. Ces temps, notamment CLK\_LEAK-to-CLK\_DFF sont importants car ils rajoutent un retard sur l'arbre d'horloge, retard à prendre en compte pour équilibrer l'arbre d'horloge entre les bascules instrumentées et les autres.

L'intervalle de temps entre CP et CLK\_DFF (CP-to-CLK\_DFF) et la largeur du pulse CP (Dpulse) sont spécifiques au dispositif de surveillance, définissant la marge Tm et la largeur de la fenêtre de détection. Il est ainsi essentiel de bien contrôler ces temps. Cette importance explique l'avantage d'avoir plusieurs CC avec des temps différents, ou des cellules programmables, définies en tant de cellules standards dans une bibliothèque, pour faciliter l'intégration.

TABLEAU V: PERFORMANCES TEMPORELLES D'UN CC PROGRAMMABLE

	Fenêtre W1 $\mu / \sigma$	Fenêtre W2 $\mu / \sigma$
CLK-LEAF-to-CLK_DFF	231 / 17 ps	231 / 17 ps
CLK-LEAF-to-CLK_CP	224 / 16 ps	173 / 13 ps
CP(rise)-to-CLK_DFF	8 / 5.2 ps	61 / 8 ps
CLK_DFF-to-CP(fall)	98 / 10 ps	153 / 13 ps
Dpulse	106 / 11.3 ps	214 / 15.3 ps

Le tableau V donne les moyennes et déviations standards simulées des temps caractérisant un CC incorporant des éléments de programmation de délai, avec de fortes capacités de sortance (grâce aux inverseurs d1 et d2). La programmation permet de choisir deux types de marges Tm, grâce à deux fenêtres de détection W1 et W2. Les résultats proviennent de simulations Monte Carlo 1000 tirages

pour une alimentation de 1,1V, à 25°C, un temps de transition de CLK\_LEAF de 30 ps et une charge de 60fF pour CLK\_DFF et 30fF pour CP.

Comme on peut le voir dans le tableau V, les temps Dpulse de 106 ps et 210 ps définissent la largeur des deux fenêtres de détection W1 et W2, pendant un court laps de temps représentant 5% de la période avec une horloge de 500 Mhz. Les temps CP-to-CLK\_DFF, nécessaires dans la définition de Tm, sont de 98ps et 153 ps avec une déviation standard de 10%.

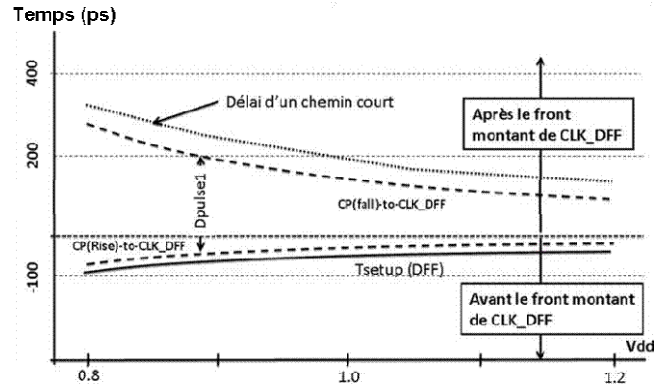


Fig.8. Simulation de la première fenêtre CP W1 générée par la cellule programmable (Processus de fabrication typique @25°C)

La figure 8 représente l'évolution des temps d'arrivée des fronts montants et descendants de la fenêtre CP par rapport au front montant d'horloge, permettant de définir la fenêtre de détection W1. Cette figure surligne plusieurs propriétés intéressantes des cellules CC.

Premièrement, on peut observer que plus l'alimentation est basse, plus cette fenêtre CP est large avec l'augmentation du temps CP(fall)-to-DFF. Cependant, cette sensibilité est réduite (<55ps/100mV), associée à celle des cinq inverseurs impliqués dans la génération du délai D2. Ceci explique que la sensibilité de Dpulse1 soit similaire à celle d'un chemin court (de profondeur logique de 4 portes) et particulièrement plus basse que celle d'une chaîne longue (10-20 portes). Ce comportement est un avantage clé pour maintenir une largeur de détection relativement petite comparée au temps de propagation de chemins critiques.

Un second résultat intéressant est de remarquer que la sensibilité de CP(rise)-to-CLK\_DFF suit celle du temps d'établissement (Tsetup), signifiant que la position de la fenêtre de détection évolue avec ce temps. Cela garantit que le système de surveillance s'enclenche bien avant l'apparition effective d'une erreur avec l'évolution de l'alimentation.

TABLEAU VI: CONSOMMATION DES CC

	Conso. Stat. (mW)	Conso. Dyn ( $\mu$ W/MHz)
Buffer faible sortance	$8.8 \cdot 10^{-5}$	$5 \cdot 10^{-3}$
Buffer grande sortance	$5.4 \cdot 10^{-4}$	$25 \cdot 10^{-3}$
CC 1 (1 fenêtre de détection)	$2.0 \cdot 10^{-3}$	$38 \cdot 10^{-2}$
CC 2 (2 fenêtres de détection)	$2.2 \cdot 10^{-3}$	$40 \cdot 10^{-2}$

## D. Aspects de Consommation

Comme ces cellules CC sont placées sur l'arbre d'horloge, en bout de branche, elles ont le même facteur d'activité que tout autre tampon de l'arbre. Leur consommation doit donc être gardée le plus bas possible. Le tableau VI donne les consommations des cellules conçues et en référence, celle de tampons standards, avec faible et grande sortance. Ces données ont été obtenues par simulation dans le pire cas de consommation c'est-à-dire pour 1,2V, à 125°C avec des charges de sortie et des fronts d'entrée similaires.

On peut conclure de ce tableau que la cellule CC dissipe 8 fois plus de consommation statique et 15 fois plus de consommation dynamique qu'un tampon à forte sortance (consommation dynamique recouvrant le front montant et le front descendant du pulse CP). Cependant, il faut garder à l'esprit que le nombre de ces cellules est réduit, significativement plus faible que le nombre de tampons dans l'arbre d'horloge.

## V. VALIDATION DU SYSTÈME

Pour valider l'ensemble du système, des capteurs, avec des cellules spécifiques d'arbre d'horloge (CC) (programmables à deux fenêtres de détection) ont été intégrés dans un circuit arithmétique pour surveiller des chemins critiques. Toutes les simulations présentées ont été réalisées dans de nombreuses conditions de processus de fabrication, température et alimentation.

Dans un premier temps, nous nous sommes focalisés sur le pire chemin critique, ayant une profondeur logique de 14 portes. Plus précisément, pour plusieurs conditions de fonctionnement, nous avons extrait le temps d'établissement de la bascule, le temps d'arrivée de la donnée et les temps à partir desquels la transition est détectée, pour W1 et W2, définissant les réelles fenêtres de détection du système.

A partir de ces simulations, nous pouvons alors obtenir la fréquence maximale de fonctionnement du chemin ( $F_{max}$ ) et déterminer la marge prise lors de l'utilisation du système de surveillance, c'est-à-dire la fréquence maximale sans transition détectée. Ainsi, il a été défini que l'utilisation du système permettait de travailler à 94% (pour W1) et 90% (pour W2) de cette fréquence maximale en processus typique, 1,1V, 25°C, démontrant la bonne résolution proposée par le système. Cette marge prise est bien en deçà de la marge de conception lors de la phase CAO de l'élaboration du circuit. Pour différentes conditions VT, le pourcentage moyen est de 96% pour W1, ce qui démontre bien que le système peut facilement s'adapter à différentes modes d'utilisation.

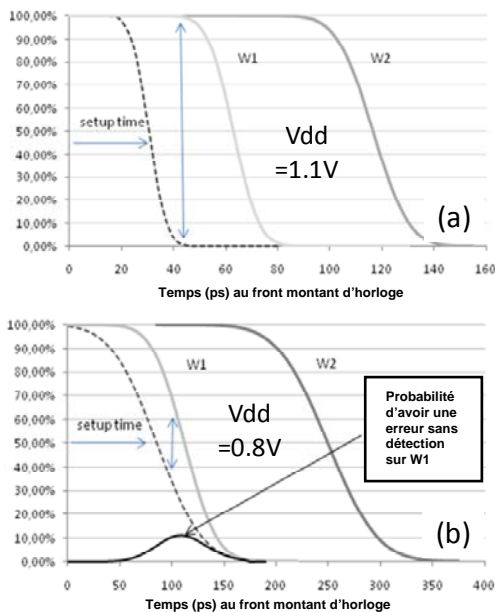


Fig.9. Efficacité du système de surveillance

Dans un second temps, des simulations statistiques ont été réalisées pour évaluer la densité de probabilité d'avoir un comportement correct, c'est-à-dire d'avoir une détection avant que l'erreur effective ne survienne. Les Figures 9a et 9b illustrent ces résultats.

Dans ces figures, l'abscisse représente le temps au front montant d'horloge. Les lignes en pointillés illustrent la probabilité d'avoir une faute, c'est-à-dire le temps d'établissement de la bascule observée et les lignes pleines les probabilités d'avoir une détection pour les fenêtres W1 et W2.

A  $V_{dd}=1,1V$ , ces variations sont faibles, et donc les pentes des courbes sont raides. Dans ce cas, il n'y a aucune chance qu'une erreur survienne réellement avant qu'elle ne soit au préalable détectée.

Au contraire, on voit que pour  $V_{dd}=0,8V$ , les variations sont plus élevées et les pentes plus douces : il existe alors une probabilité non nulle d'avoir une erreur sans que la fenêtre W1 ne l'ait détectée. Mais à noter que le calcul de cette probabilité représentée en noir a été effectué en considérant que les variations de processus de fabrication sont totalement décorrélées sur le chemin de données, sur le CC et sur le capteur, ce qui n'est pas réaliste. La vraie probabilité est donc beaucoup plus faible. Mais cet état de fait justifie l'utilisation de CC programmable pour changer de fenêtre de détection quand les conditions le requièrent.

## VI. CONCLUSION

Un nouveau système basé sur la surveillance des marges de temps des chemins critiques est présenté [15]. Ce système permet d'anticiper, lors de la marche du circuit, et avec une bonne résolution temporelle, les violations de temps dans des conditions d'opérations en fréquence et alimentation très variées. Ses performances, validées en 45 nm, permettent d'utiliser ce système pour de l'adaptation en ligne des caractéristiques du circuit en utilisant des techniques de gestion de l'alimentation, du substrat ou de la fréquence. A noter que ce système ne permet pas de détecter les erreurs dues aux radiations (SEUs).

## REFERENCES

- [1] S. Borkar *et al.* "Designing Reliable Systems from Unreliable Components: The Challenges of Transistor Variability and Degradation", IEEE, Micro, vol. 25, no. 6, pp. 10-16, Nov/Dec 2005
- [2] V. Migairou *et al.* "A Simple Statistical Timing Analysis Flow and Its Application to Timing Margin Evaluation" PATMOS 2007: 138-147
- [3] D. Blaauw *et al.* "Statistical timing analysis: From basic principles to state of the art," IEEE TCAD of Integrated Circuits and Systems, vol. 27, no. 4, pp. 589-607, Apr. 2008.
- [4] B. Lasbougues *et al.* "Temperature- and Voltage-Aware Timing Analysis". IEEE Trans. on CAD of Integrated Circuits and Systems 26(4): 801-815 (2007)
- [5] C. R. Parthasarathy, *et al.* Design-In Reliability for 90-65nm CMOS Nodes Submitted to Hot-Carriers and NBTI Degradation. PATMOS 2007: 191-200
- [6] M. Nourani *et al.* "Testing On-Die Process Variation in Nanometer VLSI", IEEE Design & Test of Computers, Vol. 23, I. 6, 2006 pp. 438 - 451
- [7] SB Samaan, "Parameter Variation Probing Technique" US Patent 6535013, 2003
- [8] H-J Lee, "Semiconductor device with speed binning test circuit and test method thereof" US Patent 7260754
- [9] Z. Abuhamdeh, *et al.* "A Production IR-Drop Screen on a Chip" IEEE Design & Test of Computers, Vol. 24, Issue: 3, pp. 216-224, 2007
- [10] A. Drake *et al.* "A Distributed Critical Path Timing Monitor for A 65nm High Performance Microprocessor," ISSCC 2007, pp.398-399.
- [11] S. Das *et al.*, "A Self-Tuning DVS Processor Using Delay-Error Detection and Correction", IEEE JSSC, vol.41, no.4, pp.792-804, 2006.
- [12] D. Blaauw *et al.* "Razor II: In situ error detection and correction for PVT and SER tolerance," ISSCC 2008, pp. 400-401
- [13] Keith A. Bowman *et al.*, "Energy-Efficient and Metastability-Immune Timing-Error Detection and Instruction-Replay-Based Recovery Circuits for Dynamic-Variation Tolerance." ISSCC 2008. pp 402-623.
- [14] M. Agarwal *et al.*, "Circuit Failure Prediction and Its Application to Transistor Aging," Proc. VLSI Test Symp., pp. 277-286, 2007.
- [15] B. Rebaud *et al.* "An Innovative Timing Slack Monitor for Variation Tolerant Circuits", ICICDT'09, Austin TX, USA, Mai 2009.