Conception d'élements passifs magnétiques pour convertisseurs de faible puissance

Alain Salles

▶ **To cite this version:**

Alain Salles. Conception d'élements passifs magnétiques pour convertisseurs de faible puissance. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2008. Français. NNT : . tel-00339320

HAL Id: tel-00339320
https://theses.hal.science/tel-00339320

Submitted on 17 Nov 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Toulouse

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *l'Université Toulouse III - Paul Sabatier*
Discipline ou spécialité : *Conception des Circuits Microélectroniques et Microsystèmes*

Présentée et soutenue par *Salles Alain*
Le *26 Septembre 2008*

Titre : *Conception d'éléments passifs magnétiques pour convertisseurs de faible puissance*

JURY

François Olivié: Président - Professeur à l'Université Paul Sabatier
Roberto Giral : Rapporteur - Professeur à l'Université Rovira i Virgili de Tarragone
Mohamed Benzohra : Rapporteur - Professeur à l'Université de Rouen
Pierre Merle : Professeur à l'Université de Montpellier II
Alain Lamure : Membre invité - Professeur à l'INPT
Corinne Alonso : Directrice de Thèse - Professeur à l'Université Paul Sabatier
Bruno Estibals : Co-directeur de Thèse - Maître de conférence à l'Université Paul Sabatier

---

Ecole doctorale : *GEET*
Unité de recherche : *UPR 8001*
Directrice de Thèse : *Corinne Alonso*
Co-directeur de Thèse : *Bruno Estibals*

Ce manuscrit présente mes travaux de thèse réalisés au LAAS-CNRS. Je remercie les directeurs successifs du LAAS-CNRS, Malik GHALLAB et Raja CHATILA, de m'avoir permis d'effectuer mes recherches au sein du laboratoire. J'adresse également mes remerciements aux responsables successifs des groupes M2D, Gérard SARRABAYROUSE et Pierre TEMPLE-BOYER, et ISGE, Jean-Louis SANCHEZ et Maryse BAFFLEUR, de m'avoir accueilli.

Je remercie François OLIVIE d'avoir présidé le jury de ma thèse. Je tiens à adresser mes remerciements à Mohamed BENZOHRA et Roberto GIRAL pour avoir accepter la tâche de rapporteur, ainsi qu'aux autres membres du jury : Pierre MERLE et Alain LAMURE pour leur présence et leur commentaires sur la qualité de mes travaux.

Ma plus grande reconnaissance va vers mes encadrants, Corinne ALONSO et Bruno ESTIBALS, qui m'ont guidé pendant mes années passées au LAAS-CNRS. Je leur suis reconnaissants de m'avoir amené vers toujours plus de curiosité scientifique et toujours plus de rigueur et de méthode dans mon travail. La confiance qu'ils m'ont accordée et les moyens qu'ils ont su mettre à ma disposition, m'ont permis de travailler dans les meilleures conditions possibles et de fournir en retour un travail, je l'espère, pertinent. Les moments passés à voyager et les apéros resteront toujours de grands souvenirs et ont participé à créer un groupe solide.

Ces travaux n'auraient pas pu être menés à bien sans la disponibilité, l'amitié et la compétence de l'ensemble du personnel de l'équipe TEAM : David BOURRIER et Monique DILHAN, les acteurs majeurs dans la mise au point du procédé technologique de réalisation d'inductances ; le couple d'Inséparables, Sébastien PINAUD et Ludovic SALVAGNAC, toujours disponibles pour trouver un petit créneau « d'évap » quand il le fallait ; David COLIN et Hugues GRANIER qui ont souffert pour monter et bonder autant de composants en un si court délai ; Franck CARCENAC qui a pris en main dès le début ma formation aux techniques microélectroniques ; Monique BENOIT, Véronique CONEDERA, Laurent MAZENQ, Pierre-François CALMON, Laurent JALABERT, Laurent BOUSCAYROL et Bernard ROUSSET dont les conseils tout au long de la préparation des échantillons ont été extrêmement profitables. Qu'ils trouvent ici, l'expression de ma gratitude pour leur aide et tous les bons moments passés en leur compagnie.

Mes remerciements vont également à mes compagnons de thèse. Tout d'abord, le guide : Angel CID-PASTOR (dit « Doctor² ») qui par son enthousiasme, son humour, son soutien et ses conseils m'ont permis d'y voir plus clair dans les problèmes de « potencìa » et de garder le cap quand les problèmes s'accumulaient. Venga tío ! Visca Barça !!!

Un grand merci aux deux Fred et Anne HEMERYCK pour les bons moments passés au bureau.

Egalement, je remercie les stagiaires et thésards de l'équipe de Corinne et Bruno : Philippe ARTILLAN (mon Padawan !!), Cédric CABAL (Lou Cab), Stéphane PETIBON, Adan SIMON MUELA, Lionel SEGUIER, Jean ABBOUD, Jean-François REYNAUD. Je vous souhaite un bel avenir et bon courage pour vos soutenances !!

Je remercie les permanents du laboratoire pour les discussions et le partage de différents points de vue qui permettent de progresser : Pierre ALOÏSI, Vincent BOITIER, Magali BRUNET, Henri CAMON, Bruno JAMMES, Jérôme LAUNAY, Laurent JALABERT et Liviu NICU (tous deux à l'origine de mon venture au LAAS)….et pendant une trop courte période Luis MARTINEZ SALAMERO.

Un grand merci aux amis de toujours : David PARYL, Jérôme et EME (BBBB) et Olivier SANCHEZ (Pancho) pour leur soutien et leur secousses quand le moment l'imposait !!!

Finalement, je vais adresser mes plus profonds remerciements à ma femme Julie pour m'avoir supporté (dans tous les sens du terme) pendant cette période très particulière de la vie qu'est la thèse. Elle a été sans conteste ma meilleure découverte de ces trois ans et son amour a été un phare quand le doute s'installait. Je remercie enfin mes parents qui m'ont permis d'arriver jusqu'ici et dont le soutien indéfectible ne pouvait m'amener qu'à la réussite. Je remercie également ma belle-famille pour son soutien et leurs prières. A vous, ma famille et mon enfant à venir, je dédie ce travail en preuve de ma reconnaissance et de mon affection.

Résumé de la thèse : *«Conception d'éléments passifs magnétiques pour convertisseurs de faible puissance»*

Alain SALLES

Directrice de thèse : Corine Alonso, 7 Avenue du Colonel Roche, 31077 Toulouse

Co-Directeur de thèse : Bruno Estibals, 7 Avenue du Colonel Roche, 31077 Toulouse

Mots-cléfs : Microélectronique, Inductances, Intégration, Convertisseurs, Puissance, DC/DC, Couplage magnétique.

Cette thèse se place dans le contexte d'alimentation des systèmes électroniques nomades fonctionnant sous faible tension et faible courant. Le dimensionnement et la réalisation d'éléments passifs magnétiques intégrés, pour le stockage d'énergie à l'échelle de la commutation y est abordé pour tenir compte de la taille, la position de l'alimentation de puissance par rapport au système à alimenter ainsi que de son rendement et sa densité de puissance. De plus, face à la demande de systèmes rapides, à faible encombrement et finement régulés, les fréquences de commutation tendent naturellement à augmenter. L'intégration monolithique des composants des convertisseurs de puissance est une des solutions plausibles. Toutefois, la réalisation de tels composants pose actuellement un réel défi technologique. De nombreuses équipes travaillent depuis plus de trente ans sur le problème de l'intégration de composants magnétiques sur silicium. Ces réalisations font appel aux techniques de réalisation microélectroniques, tel la croissance électrolytique, pour le dépôt des matériaux avec des épaisseurs contrôlées. L'objectif aujourd'hui est de réaliser une inductance de 1µH capable de supporter 1W avec des tensions de l'ordre du volt, dans une gamme de fréquence allant de 1MHz à 10MHz. Pour ces raisons de compacité et pour garantir une plage fréquentielle de fonctionnement suffisante, nous avons travaillé avec des structures inductives planaires spirales, similaires par la forme à celles utilisées dans le domaine de l'intégration pour les radiofréquences (RF).

L'étude des phénomènes physiques liés au caractère inductif et résistif de spirales planaires à partir d'équations et d'une définition géométrique normalisée du composant a abouti vers la mise en place d'outils d'étude numérique permettant d'analyser les liens entre les paramètres géométriques et les paramètres électriques du composant. Il est alors apparu que les dimensions géométriques nécessaires à l'accomplissement du cahier des charges précédent (notamment l'objectif de très faible résistance), se heurtaient aux limites des possibilités de réalisation technologiques (facteur de forme des conducteurs, résolution spatiale). Dans le but, de dépasser ces limites, nous nous sommes intéressés à l'association série/parallèle d'inductances magnétiquement couplées. Les simulations ont démontrées qu'une marge de manœuvre existait, permettant une optimisation des performances électriques des composants.

Un procédé technologique basé sur les techniques MEMS de résine épaisse et de croissance électrolytique de cuivre, a été développé pour valider les modélisations précédentes. Ce procédé permet de réaliser de manière générique des inductances planaires classiques ainsi qu'un empilement de plusieurs bobines connectées entre elles ou non, sur un substrat silicium. Le procédé a également été mis au point sur substrat Pyrex® pour supprimer les courants induits dans le substrat, sources de perturbations pour le comportement fréquentiel de l'inductance et de la résistance. Un banc de caractérisation impédance métrique a également été conçu afin de déterminer les limites du fonctionnement fréquentiel des composants réalisés qui ont permis de valider les performances des composants Ce travail ouvre de nombreuses perspectives dans la réalisation de composants magnétiques intégrés, assurant des fonctions électroniques connues et nouvelles, notamment en démontrant la faisabilité de transformateurs avec différents rapports de transformation ainsi que de fonctions de filtrage performant.

INTRODUCTION GENERALE **8**

CHAPITRE 1 : PROBLEMATIQUE ET ETAT DE L'ART DES INDUCTANCES. **11**

1. INTRODUCTION **11**

2. BESOINS ÉNERGÉTIQUES DE L'ÉLECTRONIQUE PORTABLE ET EMBARQUÉE. **12**
II-1. Rappels historiques. 12
II-2. Indicateurs économiques de l'électronique portable. 14
II-3. Exemple d'électronique portable. 16
II-4. Un exemple d'électronique embarquée : l'automobile. 17

3. LES ÉTAGES D'ADAPTATION POUR LA CONVERSION DE PUISSANCE. **18**
III-1. De l'architecture généralisée à l'architecture distribuée. 18
III-2. Principales architectures utilisées pour les convertisseurs « Point of Load ». 22
III-2-1. Structure non-isolée Buck, Buck-Boost et Buck synchrone 22
III-2-2. Structures Buck multiphase - Interleaving 24
III-2-3. Convertisseurs isolés 25
III-2-4. Synthèse 26

4. LES COMPOSANTS UTILISÉS DANS LES POL. **26**
IV-1. Les composants actifs. 26
IV-2. Les composants passifs. 28
IV-2-1. Les condensateurs 29
IV-2-2. Les inductances 32

5. ETAT DE L'ART DE L'INTÉGRATION DES INDUCTANCES. **34**
V-1. Les principales topologies d'inductance 35
V-2. Vers l'intégration des convertisseurs. 40
V-3. Synthèse. 41

6. CONCLUSION **42**

CHAPITRE 2 : METHODOLOGIE DE CONCEPTION OPTIMISEE D'INDUCTANCE INTEGREE. **44**

1. INTRODUCTION **44**

2. LES PHÉNOMÈNES PHYSIQUES INDUISANT UN COMPORTEMENT INDUCTIF D'UNE SPIRALE PLANAIRE. **45**
II-1. Etablissement d'un modèle analytique simple pour le dimensionnement d'inductances circulaires 47
II-2. Influence de la géométrie sur le comportement inductif d'une spire planaire 51
II-2-1. Validation des modèles 51
II-2-2. Etude du ratio R/L en fonction des paramètres géométriques 52
- Etude de l'influence du nombre de tours N pour un espacement s donné 52
- Etude sur l'espacement s à nombre de tours N donné 53

- Etude de s à N adapté pour obtenir un L constant 53
II-2-3. Synthèse 54
II-3. Influence de la fréquence sur le comportement fréquentiel. 55
II-3-1. Les paramètres technologiques [79] 55
II-3-2. Courants induits : natures, origines et conséquences 57
II-3-3. Simulations aux éléments finis avec Coventorware 58
II-3-4. Synthèse 60
II-4. Méthode de dimensionnement pour une inductance planaire classique 60
II-4-1. Les paramètres pertinents 61
II-4-2. Discussion sur les choix de conception 61
II-4-2-1. Pour atteindre l'objectif d'inductance, Lobj 61
II-4-2-2. Pour atteindre l'objectif de résistance, Robj 61
II-4-3. Synthèse 63

3. ETUDE DE L'ASSOCIATION DE PLUSIEURS INDUCTANCES PLANAIRES 64
III-1. Motivation. 64
- Interleaved 64
- Stacked 64
III-2. Influence de la géométrie sur le comportement inductif et résistif de l'association de plusieurs bobines magnétiquement couplées 65
III-2-1. Association d'inductances en parallèle 65
III-2-1-1. Structure multibrin « interleaved » 67
III-2-1-2. Structures à plusieurs brins superposés – Structures « stacked » 70
III-2-1-2-1. Modification du modèle analytique pour l'étude d'une structure de deux bobines superposées. 71
III-2-1-2-2. Analyse avec le modèle analytique développé 71
III-2-2. Association d'inductances en série 73
III-2-2-1. Théorie de la mise en série 74
III-2-2-2. Analyse avec le modèle analytique développé 75
II-2-3. Synthèse 76
III-3. Analyse fréquentielle de l'association de deux bobines magnétiquement couplées 76
III-3-1. Stucture « Interleaved » – Mise en parallèle 76
III-3-2. Structure « Stacked » 77
III-3-2-1. Mise en parallèle 77
III-3-2-2. Mise en série 78
II-3-3. Synthèse 79
III-4. Comparatif des inductances monobrins et multibrins. 80
III-4-1. Structure Interleaved 80
III-4-1-1. En statique 80
III-4-1-2. En fréquence 83
III-4-2. Structure stacked en parallèle 85
III-4-2-1. En statique 85
III-4-2-2. En fréquence 86
III-4-3. Structure stacked en série 87
III-4-3-1. En statique 88
- Dimensionnement à paramètres géométriques constants 88
- Dimensionnement à encombrement minimum 89
- Dimensionnement à encombrement fixe 89
III-4-3-2. En fréquence 90
III-5. Méthodologie de conception d'une association de plusieurs inductances. 91

4. CONCLUSION 95

CHAPITRE III : PROCEDE TECHNOLOGIQUE POUR LA REALISATION D'INDUCTANCES INTEGREES. 96

1. INTRODUCTION 96

2. PROCÉDÉ TECHNOLOGIQUE DÉVELOPPÉ POUR LA FABRICATION DE STRUCTURES INDUCTIVES PLANAIRES INTÉGRÉES 97
II-1. Le principe de croissance électrolytique [112] 99
II-2. Le choix de la base de croissance 100
II-2-1. Conséquences sur l'attaque chimique des matériaux conducteurs et leurs sélectivités 100
II-2-2. Conséquences sur la croissance électrolytique : problèmes d'inhomogénéité de l'épaisseur de cuivre électro-déposée. 103
II-3. L'enduction de SU-8 106
II-3-1. Enjeux de l'enduction 106
II-3-2. Tests de la résine SU-8 afin de définir les paramètres d'enduction 107
II-4. Synthèse 111

3. OBSERVATIONS ET COMMENTAIRES SUR LES STRUCTURES OBTENUES111
III-1. Premier niveau de croissance de cuivre 111
III-2. Enduction de la résine SU-8 114
III-3. Réalisation du deuxième niveau d'inductance 115
III-4. Synthèse 118

4. EVOLUTIONS DU PROCÉDÉ TECHNOLOGIQUE 118
IV-1. Base de croissance en Ti/Cu 118
IV-2. Solutions annexes pour réduire l'épaisseur et l'inhomogénéité de la couche de SU8 119
IV-3. Réalisation d'inductances sur wafer Pyrex® 123
IV-4. Synthèse 127

5. CONCLUSION 128

CHAPITRE IV : CARACTERISATIONS ELECTRIQUES D'INDUCTANCES INTEGREES. 130

1. INTRODUCTION 130

2. CARACTÉRISATION FRÉQUENTIELLE DES STRUCTURES INDUCTIVES RÉALISÉES 131
II-1. Le banc de mesure 131
II-2. Reproductibilité 134
II-2-1. Sur silicium 134
II-2-1-1. Valeur d'inductance élevée 134
II-2-1-2. Valeur d'inductance faible 136
II-2-2. Sur Pyrex 138
II-2-3. Comparaison Silicium/Pyrex® 140
II-3. Caractérisation fréquentielle de bobines classiques 141

II-4. Caractérisation fréquentielle de l'association en parallèle de bobines selon une topologie « interleaved » 145
II-5. Caractérisation fréquentielle de l'association en parallèle et en série de bobines selon une topologie « Stacked » 147
II-5-1. Mise en parallèle 148
II-5-1-1. Sur silicium 148
II-5-1-2. Sur Pyrex et comparaison avec Silicium 150
II-5-2. Mise en série 153
II-6. Comparaison entre structures inductives classiques et « Interleaved » 157
II-7. Comparaison entre structures inductives classiques et « stacked » 166

3. CARACTÉRISATION EN COURANT DES STRUCTURES INDUCTIVES RÉALISÉES 170
III-1. Description du montage 170
III-2. Inductance spirale 2,5 µH & 16,6 Ohms - Mesures avec un courant de sortie de 100 mA170
III-3. Inductance spirale 160 nH & 3,3 Ohms 171
III-3-1. Formes d'ondes 171
III-3-2. Récapitulatif des principales caractéristiques électriques mesurées 173

4. CONCLUSION 174

CONCLUSION GENERALE 176

ANNEXES 179

REFERENCES BIBLIOGRAPHIQUES 182

LISTE DES FIGURES 191

Introduction Générale

Une nette accélération du développement et de la mise sur le marché de nouveaux systèmes électroniques portables et embarqués a marqué le milieu des années 90, avec comme moteurs d'évolutions, les téléphones cellulaires et, sur des gammes de puissance plus importantes, les ordinateurs portables. Ces produits, aujourd'hui largement diffusés, ont fait évoluer le comportement du consommateur vers le nomadisme avec une forte demande de miniaturisation pour en faciliter encore l'utilisation. L'évolution des produits électroniques associés à ces applications portables est directement liée aux progrès successifs accomplis par la lithographie optique, avec une résolution toujours plus importante repoussant régulièrement les limites physiques. Cela a permis de tendre vers plus de fonctions plus complexes pouvant s'exécuter plus rapidement et une augmentation importante de la densité de puissance transmise.

Pour un produit donné, ces fonctions ont toutes des rôles spécifiques (calcul, mémoire, ventilation, etc.). Elles se singularisent alors par leur besoin énergétique propre (niveau, durée, nombre) pour effectuer leur tâche. Ceci rend rapidement complexe l'apport et le traitement de l'énergie nécessaire. Par conséquent, la connaissance précise des besoins énergétiques de chaque fonction est nécessaire pour concevoir une architecture optimisée d'alimentation. Lorsque les caractéristiques de fonctionnement de chacune des fonctions sont identifiées, le choix du type d'alimentation qui y répondra le mieux est le fruit de nombreux compromis (compacité, performances, prix, normes CEM, normes de robustesse et plus récemment impact environnemental). Il est donc également nécessaire d'avoir une connaissance précise des possibilités des différents types de structures de conversion de l'énergie actuelles et des tendances futures vers l'intégration de puissance de fonctions de conversions et de stockage. Finalement, pour déterminer les performances des diverses solutions d'alimentations, leurs limites de fonctionnement (liées à leurs composants internes) doivent être connues. Cette vision d'ensemble permet de déterminer les verrous technologiques actuels. Ces travaux de thèse se situent dans cette problématique de soucis de conception d'architecture d'alimentation optimisée, tenant compte des dernières évolutions technologiques de fabrication de chacun des composants internes. D'après cette approche descendante, du besoin jusqu'au composant, que nous avons suivi pour définir les caractéristiques de futures alimentations intégrées et de leurs composants, nous nous sommes rapidement aperçu des problèmes rencontrés sur les composants

passifs présentant de fortes pertes lors du fonctionnement des alimentations. Etant donné l'ampleur des travaux à accomplir pour lever ce verrou, ces travaux se sont principalement concentrés à résoudre la problématique des inductances intégrées soumises à de fortes variations de densités d'énergie.

Dans cette optique, nous débuterons par une étude bibliographique établissant les besoins actuels et à venir en énergie des systèmes électroniques portables. Pour cela nous prendrons divers exemples de systèmes et nous établirons un parallèle entre l'évolution de la technologie microélectronique et celle de leurs besoins énergétiques. Nous nous baserons alors sur des études référencées (ITRS) qui nous permettrons ensuite de réaliser une prévision court terme de ce que pourrait être l'alimentation en énergie des futurs systèmes électroniques portatifs. A partir de la connaissance de ces besoins, nous pourrons en analyser les conséquences sur les stratégies de conception des architectures d'alimentation puis de celles des convertisseurs de puissance. Nous verrons comment en fonction de l'évolution du besoin en énergie, les architectures se sont adaptées avec comme lignes directrices la fiabilité et de hauts de rendements énergétiques. Ensuite, de la modification des architectures d'alimentation nous préciserons les conséquences directes subies par les structures de conversion pour garantir l'alimentation énergétique des systèmes. En particulier, nous étudierons les solutions successives misent en œuvre dans l'industrie ainsi qu'un certain nombre de structures innovantes publiées par divers groupes de recherche. Nous tenterons alors de retenir les évolutions technologiques essentielles que pourraient subir les structures classiques pour suivre l'évolution des besoins en énergie des fonctions électroniques. Notamment, nous justifierons la nécessité d'intégration monolithique des convertisseurs d'énergie pour garantir le caractère nomade des systèmes électroniques futurs. Ces mutations technologiques touchent principalement aux performances des composants qui doivent être toujours plus compacts tout en supportant des densités d'énergie plus importantes avec moins de pertes. Nous étudierons alors chacun des composants actifs et passifs, dans le but de rappeler les principales sources de pertes d'énergie ainsi que les diverses solutions mises en œuvre pour améliorer leurs performances. En particulier, nous nous pencherons sur le cas des inductances dont l'intégration représente actuellement un défi technologique majeur. L'analyse des besoins des systèmes (notamment celui de dynamique) nous amène alors à considérer des fréquences de découpage de convertisseurs suffisamment élevées pour que l'inductance (et le filtre de sortie en général) puisse atteindre des tailles millimétriques, compatibles avec un système embarqué. Nous présenterons alors les résultats majeurs obtenus par diverses équipes de recherche. Dans l'objectif d'utiliser des inductances intégrées à de très hautes fréquences, nous nous intéresserons en particulier aux techniques mises en œuvre dans le domaine RF, notamment le choix d'une topologie planaire d'inductance et les moyens de réduction des pertes substrat. Finalement, nous terminerons cette première partie en établissant un comparatif des performances de quelques structures DC/DC intégrées, utilisant des bobines planaires intégrées sur substrat silicium.

La conception d'inductances au sens large est un sujet qui a donné matière à publication de la fin du XIX^{ème} siècle jusqu'à nos jours. Les applications ont évolué mais les problèmes sont récurrents. Quelle que soit le domaine, le problème du calcul de l'inductance et de la résistance d'un circuit électrique est central. En puissance, ce type de composant est employé pour le stockage de l'énergie (inductance forte) et doit présenter un minimum de pertes par effet Joules (résistance faible). Ce compromis se révèle difficile à réaliser. Cet élément voit son volume augmenter avec l'énergie qui doit être stockée. La réduction des dimensions de ce composant passe alors par l'augmentation de la fréquence de stockage/déstockage de l'énergie. L'étude bibliographique précédente aura permis d'établir clairement que les solutions misent en œuvre en RF peuvent être transposées dans le domaine de la puissance. Toutefois, de nouvelles contraintes doivent être prisent en compte et leur impact sur la topologie d'inductance doit être connue. Dans la deuxième partie de cette thèse, nous nous

concentrerons alors sur la modélisation du composant. De nombreux logiciels professionnels (HFSS, Maxwell3D, ADS, Sonnet) sont capables de simuler de manière précise les performances fréquentielles de bobines. Néanmoins, les temps de calculs sont notoirement longs, incompatibles avec un prototypage rapide du composant. Pour cette raison, nous commencerons par réaliser un état de l'art des expressions numériques destinées au calcul de l'inductance de circuits électriques. Nous discuterons de leur intérêt respectif par rapport à notre sujet d'étude pour finalement en choisir une avec laquelle nous construirons notre modèle numérique. A partir de ce dernier, une étude paramétrée sera réalisée afin d'établir les liens entre la géométrie du composant et ses caractéristiques électriques (inductance et résistance). Des résultats obtenus, nous proposerons alors une méthodologie de conception de bobines planaires classiques, avec comme objectif la minimisation de la valeur de la résistance pour une valeur d'inductance donnée. Cette première étape permettra de voir les limites de l'utilisation d'une seule inductance. Nous étendrons alors notre modélisation numérique à l'association de plusieurs inductances magnétiquement couplées. L'étude portera sur la pertinence de connecter en série ou en parallèle deux inductances ou plus, et les topologies envisageables. Nous montrerons que de telles associations permettent de dépasser certaines limitations technologiques et de dégager de nouvelles marges de manœuvre pour l'optimisation des performances des composants. En particulier, nous porterons à l'attention du lecteur l'intérêt d'un fort couplage magnétique et les conditions à respecter pour le garantir. Une méthodologie de conception, adaptée à ce type d'associations, sera finalement proposée.

Dans la perspective d'une validation expérimentale, la troisième partie de nos travaux a consisté à mettre en place un procédé de fabrication basé sur l'expérience acquise au laboratoire des techniques de conception microélectroniques MEMS. Nous détaillerons ainsi les étapes du procédé technologique développé au cours de cette thèse, en justifiant les choix réalisés. Nous aborderons notamment les problèmes d'homogénéité de croissance électrolytique de cuivre, nécessaire au respect des dimensions des conducteurs, ainsi que la procédure adéquate pour garantir les conditions géométriques d'un couplage magnétique fort, dépeintes au chapitre précédent. Par ailleurs, nous nous attacherons a montrer les évolutions du procédé nécessaires à l'amélioration de la reproductiblité ainsi apportées tout au long des trois dernières années seront présentées.

A partir des simulations, nous avons fixé un jeu de paramètres géométriques et dessiné des masques optiques pour la réalisation microélectronique des composants. Le problème de la caractérisation des composants sera ensuite abordé. Deux types de mesures ont pu être réalisés sur des composants inductifs montés sur boîtier. Dans un premier temps, un banc de caractérisation impédance métrique a été créé pour analyser le comportement fréquentiel de l'inductance, de la résistance et du facteur de qualité des bobines fabriquées, en fonction des paramètres géométriques et du type d'association. Nous comparerons les valeurs statiques aux résultats de simulation et nous conclurons sur la pertinence de la méthodologie de conception proposée. Egalement, les limites de fonctionnement en fréquence seront abordées en fonction des topologies d'association de bobines et du substrat. Ensuite, ces mêmes composants seront insérés dans un convertisseur Buck afin de connaître leur tenue en courant maximum. Nous relèverons les formes d'ondes relatives au fonctionnement des inductances intégrées et nous les commenterons.

Chapitre 1 :
Problématique et état de l'art des inductances.

1. Introduction

Les alimentations électriques, nécessaires pour faire fonctionner les diverses fonctions électroniques, sont composées de composants actifs assurant le transfert d'énergie (amplificateurs de puissance, composants actifs en régime linéaire et/ou commutation) et de composants passifs associés (inductances, capacités, transformateurs) ayant divers rôles comme le stockage temporaire de l'énergie électrique, le filtrage, l'isolation galvanique, le transfert énergétique ainsi que l'adaptation d'impédance.

Etant données les évolutions importantes ces dernières années, subies par les systèmes électroniques portables et embarqués, le besoin énergétique associé est devenu plus exigent à la fois par la complexité des fonctions à assurer et les performances requises. La problématique d'intégration de puissance qui en résulte est au cœur des évolutions dans ce domaine. Pour mieux situer l'état du domaine ainsi que ses besoins, nous rappelons à travers quelques exemples simples de structures de conversion, les besoins et les évolutions technologiques et économiques qui en découlent en première partie de ce chapitre. Nous montrons ainsi par exemple que la diminution des tensions d'alimentations sous le volt, entraine l'apparition de systèmes réclamant des dynamiques en courants très élevées et en conséquence la remise en cause des architectures et des structures d'alimentation de puissance traditionnelles, pour aller vers des alimentations distribuées plus compactes voire avec le plus de fonctions intégrées possibles.

Plus largement, l'évolution des architectures de puissance a entrainé l'émergence des structures Point-of-Load (POL). En fonction des diverses contraintes, nous dressons les caractéristiques de la prochaine génération d'alimentation en tenant compte de la nécessité d'intégrer de plus en plus de parties pour atteindre l'objectif d'alimentation toute intégrée. Les performances de structures de conversion d'énergie classiques et moins classiques, pouvant correspondre aux spécifications d'un étage POL, sont également présentées.

Nous rappelons ensuite les contraintes des composants actifs et passifs actuels en insistant sur les mécanismes de pertes d'énergie et les raisons des limites technologiques actuelles interdisant l'intégration complète d'alimentations de moyennes et fortes puissances. Cette partie met notamment en évidence la nécessité d'augmenter les fréquences de découpage pour minimiser la taille des filtres

de sortie et rendre possible la miniaturisation des étages de conversion. Pour cela, l'intégration monolithique de l'ensemble des composants actifs et passifs est un objectif difficile à réaliser.

Nous consacrons une part importante de ce chapitre à l'état de l'art de l'intégration des inductances qui représente aujourd'hui un des plus importants verrous technologiques à lever pour aboutir à des alimentations toutes intégrées. De cet état de l'art, nous pouvons constater que malgré toutes les tentatives technologiques, il n'existe pas de solutions abouties industrielles d'inductances destinées au stockage et au transfert d'énergie ayant des tailles compatibles avec les techniques d'intégration de puissance utilisées pour les composants actifs. Nous avons élargi nos recherches à l'étude d'inductances, destinées à des applications RF, qui présentent des formes compactes voire intégrées. Même si le domaine d'application n'est pas le même, il permet de localiser les principaux problèmes liés à l'intégration technologique de composants inductifs et les solutions qui sont aujourd'hui mises en œuvre. Ces dernières années quelques exemples de réalisations d'inductances intégrées pour la puissance ont fait l'objet de publications ainsi que, pour de très faibles puissances, les premiers convertisseurs quasi intégrés avec des inductances micro-usinées. Nous citons les plus aboutis en montrant les performances atteintes et les problèmes qu'il reste à résoudre pour intégrer des inductances de forte valeur, avec une faible résistance série et une plage fréquentielle de fonctionnement étendue.

2. Besoins énergétiques de l'électronique portable et embarquée.

II-1. Rappels historiques.

L'invention du premier transistor à semi-conducteur date de 1947 et revient à une équipe de chercheurs des laboratoires Bell d'AT&T qui comprenait William Shockley, Walter Brattain et John Bardeen. Très vite, des applications pour l'amplification audio ont été mises au point et les premières radios à transistors ont été vendues par Texas Instruments en 1954. Depuis, l'évolution technique des transistors s'est caractérisée par une diminution de ses dimensions. De 1985, en un peu plus de 15 ans, la résolution des procédés de lithographie optique est passée successivement sous la barre des 1 µm puis de 0,1 µm, autorisant la réalisation de transistors avec des longueurs de grille du même ordre de grandeur (Figure 1.1). Aujourd'hui, la production de microprocesseurs utilise en grande majorité une technologie de 90 nm de résolution et de plus en plus de 65 nm. Une évolution vers 45 nm est annoncée pour les années à venir [1].

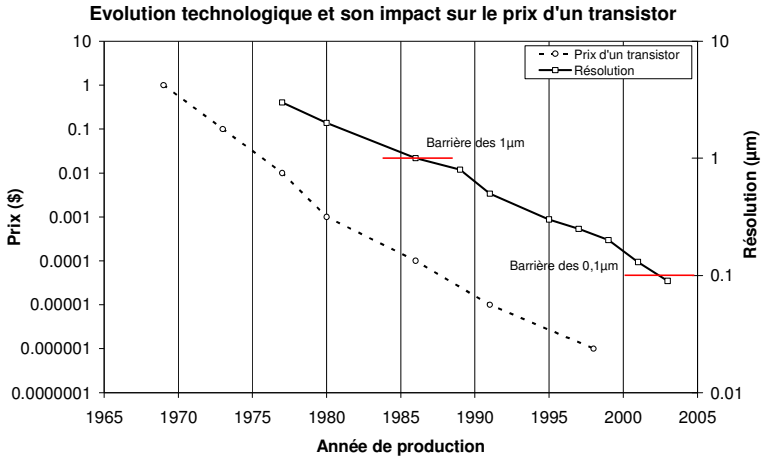


Figure 1.1. Evolution de la résolution des procédés lithographiques et impact sur le coût d'un transistor [1].

A mesure que les dimensions des transistors se réduisent, les circuits intégrés deviennent plus complexes mais également moins chers (Figure 1.1). Les progrès de la lithographie ayant rendus

possible la réalisation de transistors plus petits, une progression ininterrompue du marché de l'électronique est observable depuis 40 ans. Après l'apparition des premières radios à transistors, les années 80 voient apparaître de nouveaux produits issus de la micro-informatique. Dix ans plus tard, les systèmes portables et embarqués, tels que les téléphones portables et autres GPS, deviennent des produits de grande consommation. Cette progression dans le marché de l'électronique s'est accélérée au début des années 90, dès lors que la microélectronique a rendu possible l'intégration des systèmes de traitement et de transmission/réception de l'information. Les systèmes sont devenus de plus en plus complexes dans un volume toujours plus réduits. La progression du nombre de transistors dans les processeurs Intel témoigne d'une telle évolution (Figure 1.2) [1].

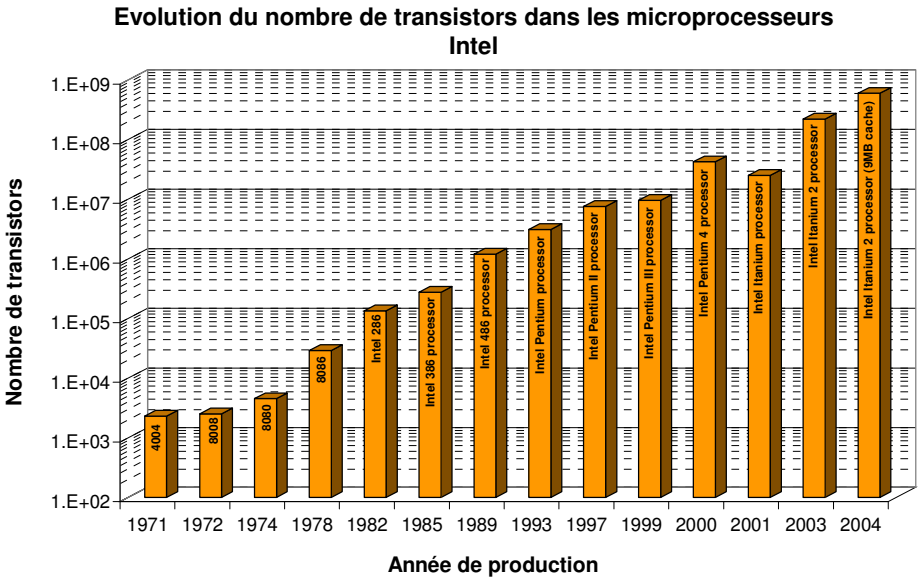


Figure 1.2. Evolution du nombre de transistors dans les microprocesseurs Intel [1]

Plus petits et plus rapides (capacités parasites réduites), les transistors sont de plus en plus nombreux dans les processeurs, associés à une croissance des fréquences d'utilisation [1]. En guise d'exemple, un processeur actuel de type Pentium 4 possède 100 fois plus de transistors qu'un processeur Pentium III alors que la fréquence du cœur a été multipliée par 6 (Tableau I.1) [2].

Processeur	**Pentium® III**	**Pentium® 4 « Extreme »**
Année d'industrialisation	2000	2005
Fréquence du coeur (Hz)	600M	3.73G
Tension (V)	1.75	1.30
Tolérance en tension (mV)	+40/-80	±19
Puissance (W)	19.6	150

Tableau I.1. Comparaison des performances d'un Pentium III et d'un Pentium 4 « extreme » [2].

Cette complexification répond à une demande des utilisateurs pour augmenter des fonctionnalités et perfectionner les systèmes de traitement de données (image, son, etc). Toutefois, le fonctionnement simultané d'un grand nombre de transistors (mémoires, circuits logiques, etc) pose des problèmes de consommation d'énergie. En effet, le passage d'une architecture de Pentium III, avec 50 millions de transistors, à une architecture de Pentium 4 de dernière génération avec 600 millions de transistors, voit sa consommation énergétique presque multipliée par 10. Dans les années à venir, les prévisions de l'ITRS (International Technological Roadmap for Semiconductors) [3] tendent à montrer que cette

tendance risque de se poursuivre. Ces courbes prévoient qu'en 2010, la puissance à fournir à un MPU (Micro Processor Unit) devra être d'environ de 220 W (Figure 1.3).

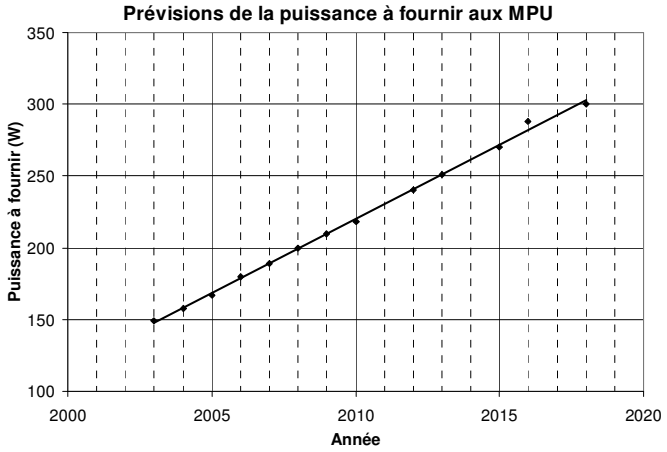


Figure 1.3. Prévisions de l'ITRS de la puissance totale consommée par un microprocesseur [3].

La consommation d'un transistor est diminuée si sa largeur de grille est réduite, tandis que la consommation globale des circuits augmente à cause de la multiplication de transistors nécessaires devant fonctionner en même temps pour assurer une fonction donnée (Figure 1.4) [4].

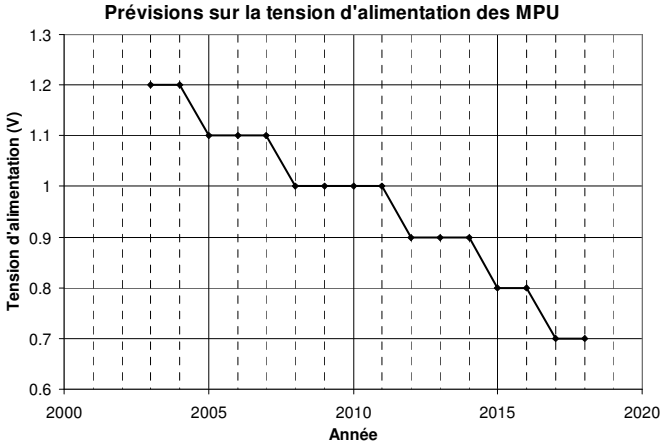


Figure 1.4. Prévisions de l'ITRS concernant la tension d'alimentation d'un microprocesseur [3].

Avec cette augmentation prévue de la consommation des circuits, les structures classiques de conversion de puissance doivent évoluer pour repousser leurs limites en termes de densité de puissance et de dynamiques de régulation. La hausse de puissance consommée et la baisse des tensions d'alimentation repositionnent le problème vers plus de pertes Joules. La surface de cuivre des cartes doit alors augmenter pour limiter les pertes en conduction. En conséquence, la conception des cartes de puissance évolue pour privilégier une distribution d'une grande quantité de puissance sous forte tension et faible courant tout près des charges. Un étage supplémentaire avant la distribution est alors nécessaire pour délivrer à la charge de l'énergie sous faible tension et fort courant, au plus près des charges comme nous le montrons dans le paragraphe suivant [3].

II-2. Indicateurs économiques de l'électronique portable.

Pour que le marché des systèmes portables puisse continuer à se développer, il faut que leur autonomie soit encore améliorée. Or, les systèmes électroniques portables ou embarqués, autonomes en énergie, utilisent aujourd'hui l'énergie électrique fournie par des piles, des batteries ou des accumulateurs faisant appel à un stockage chimique faute de nouvelles solutions. Pour maintenir une

autonomie suffisante, l'énergie fournie par ces éléments de stockage doit être gérée avec des rendements les plus élevés possibles. Par exemple, pour limiter les pertes d'énergie, l'utilisation de modes de fonctionnement en état de veille à faible consommation de courant est souvent mise en avant, lorsque des parties d'un système électronique ne sont pas sollicitées. Ce mode de fonctionnement supplémentaire implique le développement de composants ayant des courants de fuite très faibles lorsqu'ils sont dans leur état ouvert (off). Toutefois, à côté des innovations indispensables en terme de moyens de stockage de l'électricité avec de meilleurs rendements de restitution de l'énergie électrique, de gros efforts doivent porter sur les circuits de conversion et de traitement de l'énergie électrique pour leur faire atteindre des rendements encore plus élevés en particulier dans des régimes de basse consommation, avec un encombrement et un poids minimum afin de satisfaire aux besoins des futurs systèmes électroniques.

A mesure que les marchés de l'électronique portable et embarqué se développent associés à une miniaturisation, la maîtrise des technologies permettant l'intégration de tous ces circuits de puissance devient sensible. Pour preuve, le diagramme du volume de vente mondiale de circuits intégrés pour la gestion de l'énergie montre une progression constante sur ces 4 dernières années (Figure 1.5) [5].

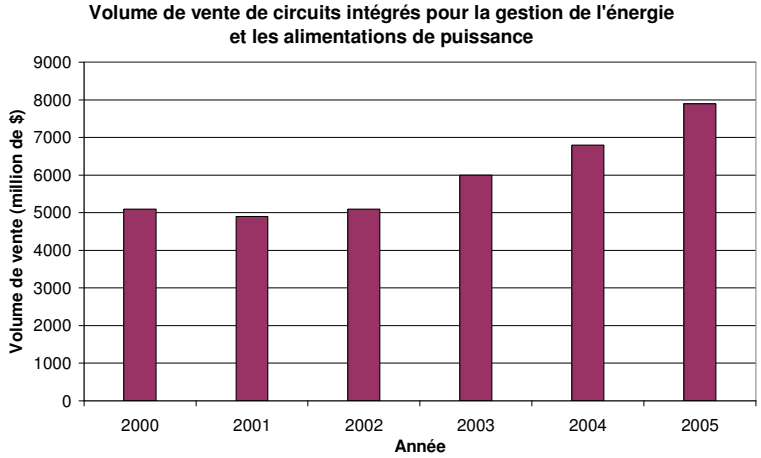


Figure 1.5. Evolution du volume de vente de circuits intégrés pour la gestion de l'énergie [5].

Ce volume de vente varie selon les applications (Figure 1.6) [5]. Si les applications « grand public » restent majoritaires (télécommunication, informatique, etc), des domaines représentant des enjeux sensibles (aéronautique, militaire, transferts de données) sont en cours de développement.

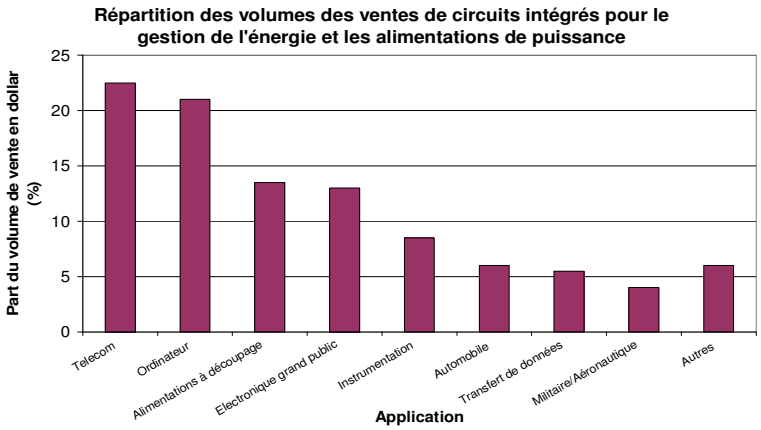


Figure 1.6. Répartition des parts de marché des circuits intégrés pour la gestion de l'énergie [5].

Pour que les marchés de l'électronique puissent continuer à se développer, il faut aujourd'hui résoudre la problématique des alimentations de puissance qui sont encore trop souvent mal adaptées. En effet, elles doivent satisfaire divers compromis tels que les performances électriques en terme de robustesse, de rendement, de facilité de commande et stabilité. De plus en plus souvent, des réductions importantes de leur encombrement et de leur poids sont requises. Par exemple, pour respecter les critères de stabilité et avoir une grande précision de la tension de sortie, des condensateurs de découplage de forte valeur sont nécessaires pour absorber les transitoires de courant, mais les densités de puissance élevées requièrent des condensateurs de petite taille et donc de faible valeur. Ce compromis rend la réalisation d'une alimentation performante difficile. Ainsi, comparée à l'évolution des applications électroniques, l'évolution de l'intégration des étages de puissance reste plus lente car elle est plus difficile à cause des courants importants devant être supportés par les composants ainsi que leurs dynamiques.

II-3. Exemple d'électronique portable.

Un exemple typique, ayant des besoins de cartes électroniques performantes et compactes, est l'ordinateur portable, devenu aujourd'hui un produit « grand public » à caractère multimédia. La conception des circuits de puissance dans un tel produit est dictée par deux contraintes :

- le confinement des cartes d'alimentations est sujet à de fortes contraintes thermiques en mode de fonctionnement.
- le caractère multimédia implique la multiplication des fonctions électroniques qui sont elles-mêmes constituées de plusieurs briques intégrées ayant des besoins spécifiques. Ainsi, les ASIC (Application-Specific Integrated Circuit), les FPGA (Field-Programmable Gate Array), les mémoires et les processeurs, sont tous alimentés avec différents niveaux de tension (Tableau I.2) et génèrent d'importants appels en courant [6].

Type de charge	**Tension d'alimentation**
Microprocesseur	De 0,7 V à 1,7 V
Composants logiques	+1,5V, +1,8V, +2,5V, +3,3V, +5V
Mémoires	+1,25 V
Ventilateurs, Disques Durs, Communication	+12 V

Tableau I.2. Différentes tensions d'alimentation identifiées dans un ordinateur portable.

Autant de niveaux de tensions différents ne peuvent être fournis par un bloc unique d'alimentation sous des rendements élevés. De plus, chaque fonction possède une dynamique de fonctionnement différente. Les étages d'alimentation sont constitués de régulateurs de tensions spécifiques ou Voltage Regulator Module (VRM), qui sont conçus spécialement pour produire une tension étroitement régulée avec un maximum de rendement et capables de supporter de forts transitoires de courant.

Ces contraintes posent le problème de la taille et de la position de l'alimentation de puissance par rapport au système à alimenter. En effet, il n'est pas concevable de fournir de basses tensions (0,8 V – 3,3 V) pour des équipements trop distants de leur alimentation, sous peine de pertes en ligne trop excessives. De plus, les dynamiques en courant de plus en plus importantes, imposées par les processeurs forcent les concepteurs à limiter au maximum les distances entre les alimentations et les charges pour réduire les pertes et les inductances parasites. Pour exemple, en 2000, la génération de microprocesseurs Pentium III travaillait à 300MHz sous des tensions d'alimentations comprises entre 2,5V à 3,3V et une tolérance de 5%. Le courant atteignait 30A avec des dI/dt de 1A/ns au niveau du processeur (Figure 1.7). La génération actuelle de Pentium IV est conçue avec des tensions d'alimentation de 1,1 V à 1,8 V et une tolérance 100mV. Le courant dépasse 60A avec un dI/dt

imposé par le processeur de 8A/ns [7, 8]. Les prochaines générations de régulateurs devront fournir plus de 100 A sous des tensions d'alimentation inférieures à 1V ± 2mV [7, 9, 10].

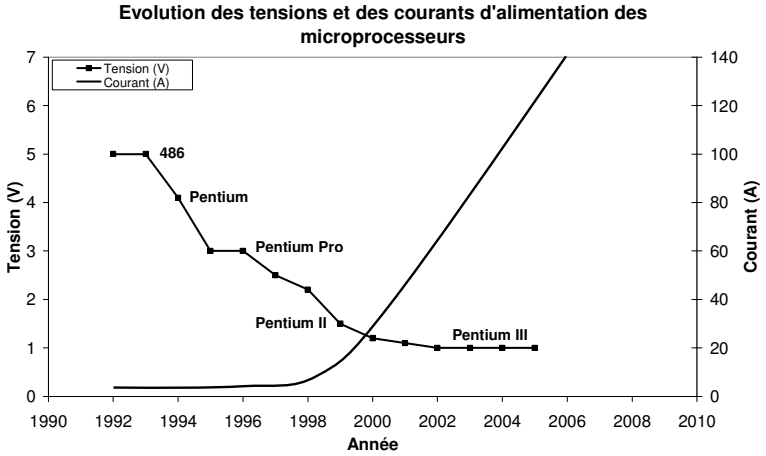


Figure 1.7. Evolution des tensions et des courants d'alimentation des microprocesseurs [9]

II-4. Un exemple d'électronique embarquée : l'automobile.

Les mêmes tendances se retrouvent dans les systèmes embarqués comme l'automobile. Depuis, le début des années 80, nos voitures font de plus en plus appel à des systèmes électriques et électroniques [11, 12]. Ceci répond à un besoin croissant illustré en Figure 1.8 [11].

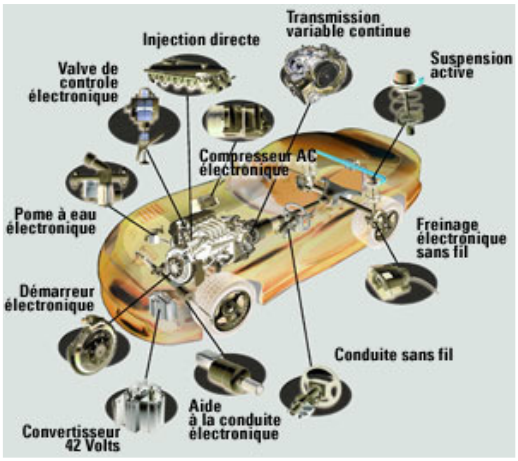


Figure 1.8. Exemples d'utilisation de cartes électroniques dans l'automobile [11]

De façon générale, les commandes électriques se sont multipliées à un tel point que l'énergie nécessaire pour les alimenter ne peut plus être assurée par la batterie de 12 volts. Cette tendance est visible sur la courbe de l'évolution de la puissance moyenne consommée par une voiture sur 30 ans (Figure 1.9) [13-14].

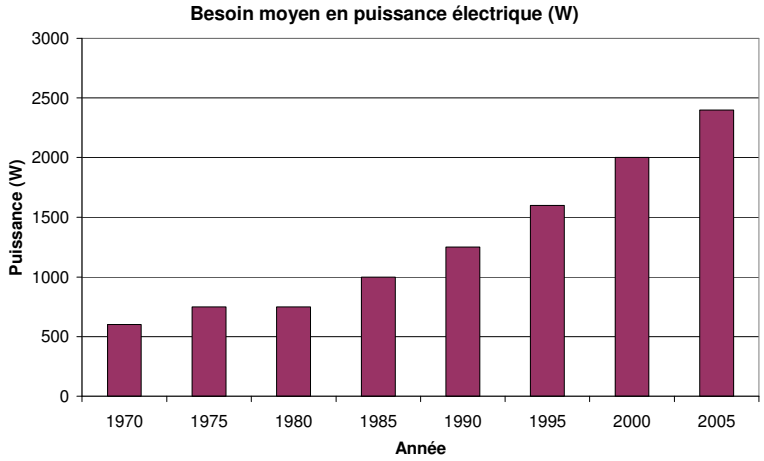


Figure 1.9. Evolution de la puissance électrique consommée (W) par une voiture [13,14]

Une puissance moyenne de consommation est définie à partir de la puissance maximale en considérant que les équipements ne fonctionnent pas tous en même temps et tout le temps [14, 15]. Un coefficient de foisonnement est alors appliqué en fonction des objets à alimenter (Tableau I.3).

Plusieurs types de convertisseurs DC/DC step-up et step-down sont mis en œuvre pour alimenter les divers systèmes tels que les microprocesseurs des calculateurs, les éclairages intérieurs et les lampes à décharge pour éclairage extérieur (HID) utilisant des tensions différentes de la tension de batterie de 12 V.

Type d'équipement	Puissance maximale (W)	Puissance moyenne (W)
Soupapes électromécaniques	2400	800
Pompe de circulation d'eau	300	300
Ventilateur	800	300
Direction	1000	100
Pare-brise chauffant	2500	200
Pot catalytique	3000	60
Suspension active	12000	360
Communication/navigation /divertissement	100	100
Total	**22100**	**2220**

Tableau I.3. Exemples de besoins en puissance de divers organes d'une voiture [15]

3. Les étages d'adaptation pour la conversion de puissance.

III-1. De l'architecture généralisée à l'architecture distribuée.

Pour alimenter divers organes dans les systèmes embarqués, la demande en courant élevé, accompagnée de transitoires très importants, augmente proportionnellement à la vitesse d'horloge des microprocesseurs et du nombre de transistors. Ces nouvelles contraintes d'alimentation posent un défi aux concepteurs de circuits de puissance qui doivent repenser leurs choix d'architecture d'alimentation et innover pour maintenir des rendements élevés. Ainsi, la conception d'un bloc unique de conversion centralisée n'est plus la solution évidente à adopter comme le décrit le graphique de la figure 1.10, établie en 2000 par Huljak et Thottuvelil pour le domaine des télécommunications [16]. L'évolution va en effet vers des architectures distribuées dont chaque structure élémentaire est située au plus près de l'organe à alimenter pour pallier les pertes engendrées par la connectique [16-20].

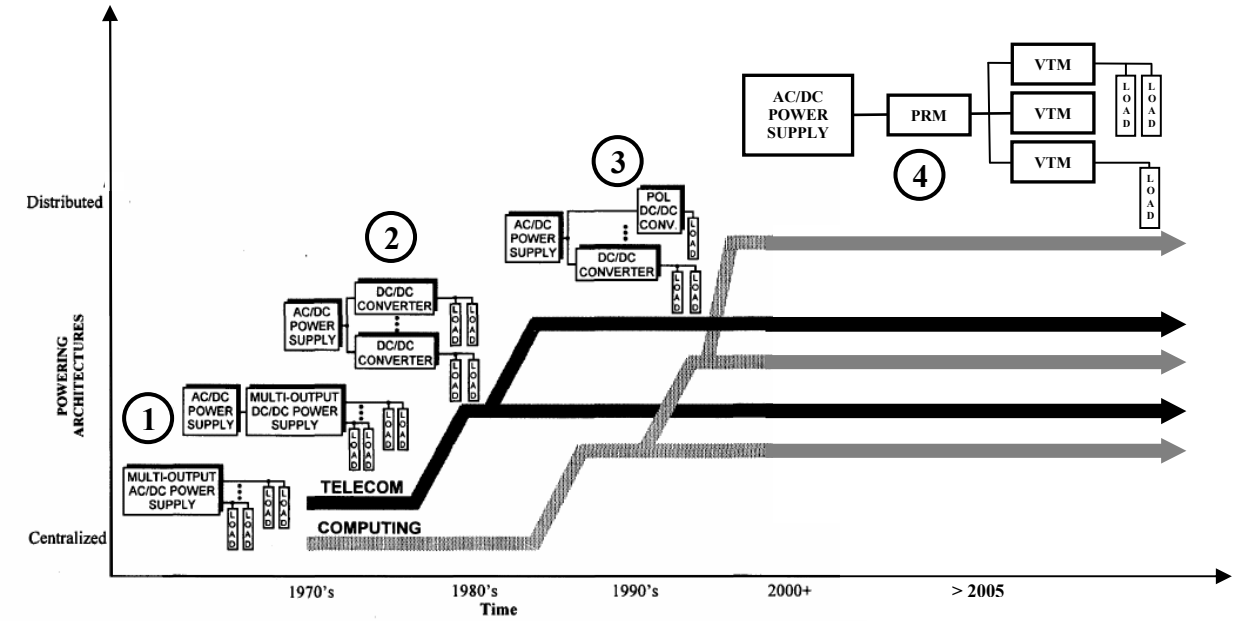


Figure 1.10. Evolution des alimentations de puissance pour les applications télécoms et l'informatique [16].

Dans ce domaine, la fiabilité des systèmes est assurée par la redondance et par l'isolation des cartes électroniques les unes par rapport aux autres. Ceci a induit la conception de nouvelles architectures d'alimentations. En effet, pour apporter l'énergie nécessaire à de nombreuses cartes électroniques, la distribution des étages de conversion est devenue indispensable. Le principal avantage est la réduction des pertes en conduction car une architecture distribuée fait intervenir un bus intermédiaire, qui conduit la puissance au plus près des cartes à alimenter sous une haute tension et un faible courant [18, 21]. Sur chaque carte, est alors implémenté un convertisseur de puissance dédié et alimenté par le bus intermédiaire. Ce dernier convertit la haute tension en une tension plus faible, adaptée au besoin de la carte électronique. Ainsi, la multiplication et la diversification des fonctions électroniques, composant les systèmes portables, forcent à l'utilisation d'architectures distribuées pour limiter les pertes en conduction et adapter les performances d'un convertisseur à la charge qu'il alimente. Il apparaît alors que l'évolution des architectures d'alimentation dans les télécommunications et les systèmes électroniques est parallèle.

L'exemple du domaine informatique montre qu'une première rupture dans la conception des architectures de puissance s'est produite au début des années 1990. L'architecture qui était utilisée est décrite en figure 1.11. Cette nouvelle approche utilise deux types de structures de conversion. Au primaire, un convertisseur isolé remplit les deux fonctions suivantes :

1) il abaisse la tension vers un niveau plus bas (entre 12 V et 3,3V) avec un rendement élevé,

2) il assure l'isolation galvanique entre la source d'énergie et les charges.

La tension disponible à la sortie de l'alimentation primaire est alors distribuée à des convertisseurs plus petits, non-isolés par l'intermédiaire d'un bus DC/DC. Les convertisseurs qu'il alimente sont nommés « Point de Charge » (Point-Of-Load (POL)) et sont situés au plus près des charges à alimenter. Ce sont le plus souvent des convertisseurs DC/DC non isolés de type Buck ou Buck-Boost, régulés pour une gamme de tension de sortie donnée.

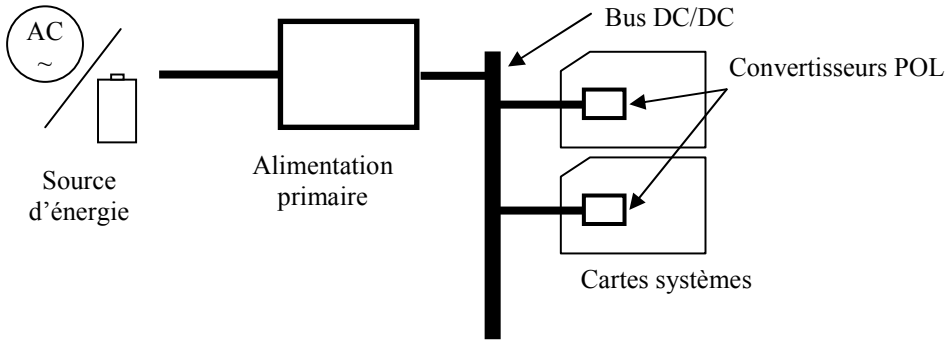


Figure 1.11. Première évolution d'alimentation avec utilisation de convertisseurs POL [22].

Cette solution d'alimentation distribuée présente de nombreux avantages :

1) Le faible écart entre la tension d'entrée des POL et la tension de sortie leur permet de fonctionner avec un rapport cyclique proche de 0,5, sans transformateur et à des rendements élevés.

2) Les faibles tensions d'entrée des POL autorisent l'utilisation de composants plus petits, fonctionnant à des fréquences de commutation plus élevées et offrant une dynamique plus étendue permettant à court terme une intégration complète de la fonction DC/DC.

3) Les POL sont constitués de beaucoup moins de composants.

4) Les POL sont des étages de conversion suffisamment petits pour être placés au plus près des charges.

Deux exemples de POL déjà commercialisés sont cités dans le tableau suivant.

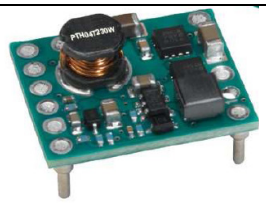
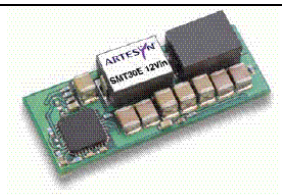
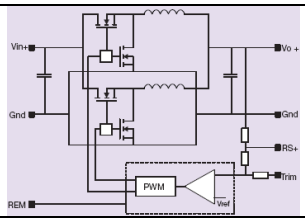
	 **(a) Texas Instrument série PTH04T230W**	 **(b) Artesyn Technologies série SMT30E**
Type de structure	Structure classique de Buck synchrone	
Tension d'entrée	2,2V à 5,5V	3,3 V, 5 V ou 12 V
Tension de sortie	0,7V à 3,6V	0,8 V à 3,6 V
Puissance nominale	20 W	30 W
Fréquence de découpage	300 kHz	1,3 MHz
Rendement	81% à 94%	91%
Dimensions	18,92 mm x 15,75 mm x 8,5 mm	33,02 mm x 13,46 mm x 6,3 mm
Prix indicatifs 2006	U.S. $7,90	U.S. $10

Tableau I.4. Deux modèles de structures POL commercialisés [22]

Aujourd'hui, les POL se standardisent pour offrir une flexibilité d'utilisation [22, 23]. Actuellement, il est possible de trouver sur le marché, des cartes standardisées sous deux normes distinctes :

- la norme POLA (Point of Load Alliance) initiée par Texas Instrument,
- la norme DOSA (Distributed-power Open Standards Alliance).

Leur objectif est similaire et consiste à fournir à leurs clients des modules de puissance standardisés. La norme POLA fixe les dimensions, les fonctions et jusqu'au positionnement des composants de telle sorte que les produits manufacturés sont complètement interchangeables et interopérables, quel que soit le fabricant. La norme DOSA fixe les nombres d'entrées/sorties et leurs fonctions, laissant la liberté à chaque manufacturier de concevoir son propre module [23].

Une deuxième rupture dans les architectures d'alimentation s'est produite au milieu des années 90 liée à la baisse constante des tensions des applications alimentées par les POL. Il a alors été nécessaire de baisser leur tension d'entrée afin de conserver un rendement de conversion acceptable. A puissance constante, cela a entrainé une augmentation du courant dans le bus intermédiaire et donc des pertes en conduction. De nouvelles architectures de POL plus efficaces, utilisant un convertisseur de bus doté d'un transformateur, pour convertir la tension au plus près de la charge à alimenter ont alors été créées [17]. (Figure 1.12)

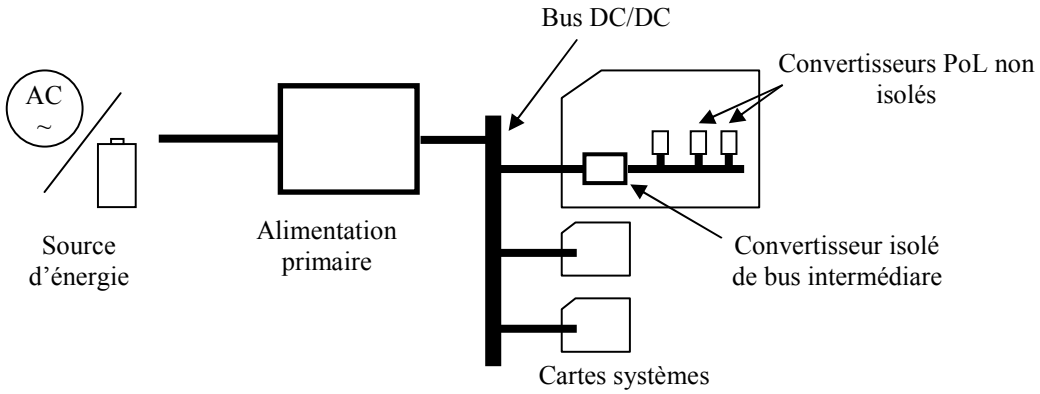


Figure 1.12. Deuxième évolution des alimentations avec introduction d'un convertisseur isolé [22].

La société Vicor propose par exemple ce type de produit, sous forme de cartes enfichables avec composants CMS, qui fournissent jusqu'à 100A sous 1V, avec des rendements de 95% [17]. Le module de transformation de tension (ou Voltage Transformation Module, VTM) occupe la fonction de POL (Figure 1.13).

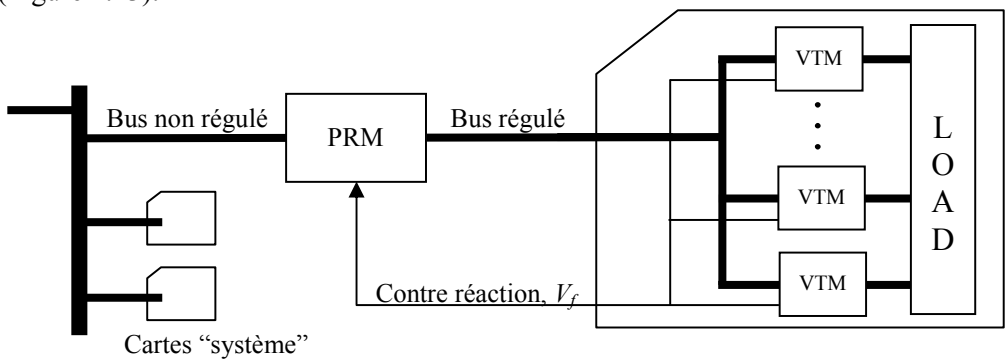


Figure 1.13. Architecture d'alimentation distribuée avec bus intermédiaire régulé alimentant des VTM [17].

La tension en entrée des VTM est assurée par un bus sous tension élevée et régulée (module de pré-régulation ou Pre-Regulator Module ou PRM). Grâce à un signal de contre réaction V_f, le PRM ajuste alors la tension d'entrée du VTM en fonction de la chute de tension au niveau de la charge (Figure 1.13).

Le nombre de Points de charge présents sur une même carte tend alors à croître au fur et à mesure des besoins en courant. La régulation de ces convertisseurs élémentaires doit être très fine et doit pouvoir, dans certains cas, gérer l'association de plusieurs convertisseurs. Ceci entraîne une

complexification des cartes d'alimentation avec une augmentation des composants passifs, pénalisant la dynamique globale. Toutefois, toutes ces architectures reposent toujours sur des structures de conversion simples. Différents types de convertisseurs existent et leur utilisation varie avec l'évolution des architectures de distribution de l'énergie. Des associations de convertisseurs sont ensuite nécessaires.

La complexité et le nombre de convertisseurs augmentant, les convertisseurs à régulation numérique représentent une part croissante des produits sur le marché. D'autre part, la tendance de plus en plus importante d'intégrer des fonctions de puissance est à noter dans ces évolutions.

III-2. Principales architectures utilisées pour les convertisseurs « Point of Load ».

La réalisation d'une alimentation demande une grande expérience des structures de conversion, des phénomènes qui l'entourent (harmoniques, échauffement, émissions électromagnétiques) des composants et du conditionnement pour optimiser l'encombrement. Pour rappels, nous présentons maintenant les principales structures de conversion utilisées en portant une attention particulière aux principales contraintes électriques qui président au choix des composants. Pour plus d'informations, des ouvrages de références pourront être consultés [24, 25].

III-2-1. Structure non-isolée Buck, Buck-Boost et Buck synchrone

Les structures les plus utilisées sont les convertisseurs buck (Figure 1.14.a) et buck-boost (Figure 1.14.b) [7, 8, 10, 17, 26] car elles présentent de bons compromis en compacité et commandabilité. De plus, constituées de peu de composants, les pertes énergétiques sont limitées et le volume réduit. Pour les applications faibles courants et tensions, le buck est reconnu comme étant le convertisseur le plus adapté. Les produits proposés sont capables de fournir jusqu'à 50A ou 60A sous une tension de 3,3V à partir d'une tension d'entrée de 12V [7, 8, 23].

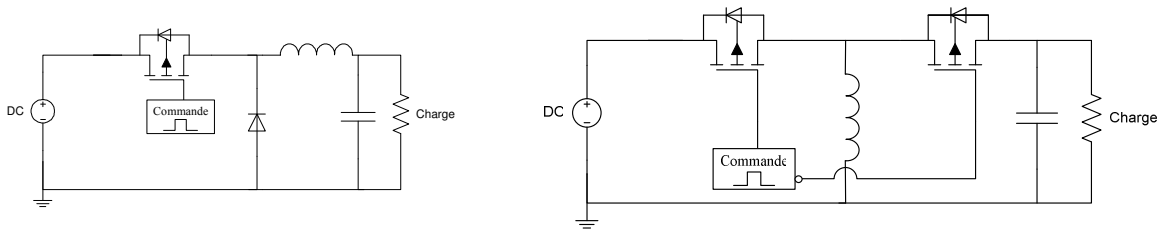


Figure 1.14. Schémas de structures DC /DC classiques utilisées comme POL
a) Buck, b) Buck-Boost

Nous rappelons dans le tableau I.5, les équations caractéristiques du fonctionnement des deux structures.

	Gain en tension	Courant dans l'inductance		Ondulation du courant dans l'inductance
Buck	$\frac{V_s}{V_e} = \alpha$	0<t<αT	$I_L = \frac{V_e - V_s}{L}.\alpha T$	$\Delta I_L = \frac{\alpha(1-\alpha)V_e}{L f_{sw}}$
		αT<t<T	$I_L = \frac{-V_s}{L}.(1-\alpha)T$	
Buck-Boost	$\frac{V_s}{V_e} = \frac{\alpha}{1-\alpha}$	0<t<αT	$I_L = \frac{V_e}{L}.\alpha T$	$\Delta I_L = \frac{\alpha V_e}{L f_{sw}}$
		αT<t<T	$I_L = \frac{-V_s}{L}.(1-\alpha)T$	

Tableau I.5. Synthèse des équations décrivant un buck et un buck–boost en conduction continue [24].

Le buck présente une première contrainte sur sa tension de sortie V_s qui doit être systématiquement plus faible que V_e. Le Buck-Boost peut par contre couvrir une plus large gamme de tension. De plus, le buck-boost, par sa capacité à inverser la tension, peut être utilisé pour des applications réclamant une tension d'alimentation négative. Dans un contexte d'alimentation de systèmes embarqués, les tensions d'alimentation passent sous la barre du volt. D'une part, cette diminution des tensions d'alimentation limite l'utilisation de structures Buck ou Buck-Boost. En effet, si la conversion est réalisée à partir d'une tension d'entrée de 12V, ces structures fonctionnent à des rapports cycliques où le rendement de l'alimentation n'est pas optimal [7, 26]. D'autre part, la tension de sortie du convertisseur est du même ordre que la tension d'une diode en conduction. Le changement de la diode de roue libre par un MOSFET (Figure 1.15) permet alors de réduire la chute de tension à l'état passant car sa résistance de conduction est plus faible que celle d'une diode [7, 26, 27]. Ce MOSFET est qualifié de synchrone en opposition au MOSFET assurant le transfert d'énergie entre l'entrée et la sortie qui est nommé MOSFET de contrôle. Ces deux interrupteurs étant commandés à l'ouverture et à la fermeture, un délai (ou dead-time) doit être ménagé entre la commande de fermeture du MOSFET de contrôle et la commande d'ouverture du MOSET synchrone afin de ne pas court-circuiter la source. De plus, il est important de noter que le dimensionnement de ces deux MOSFET est différent et sera abordé dans la section suivante.

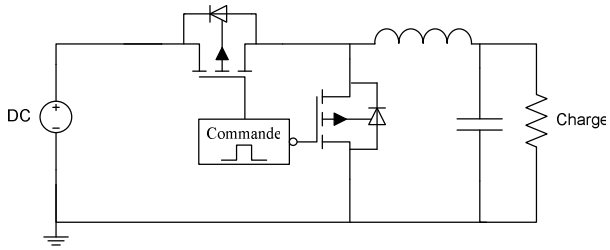


Figure 1.15. Schéma d'une structure Buck synchrone.

Ensuite, les équations du Tableau I.5 rappellent que l'ondulation du courant dans l'inductance dépend du rapport cyclique α, de la tension d'entrée V_e, de la valeur d'inductance utilisée L et de la fréquence de commutation f_{sw}. Nous voyons alors que le choix de la valeur d'inductance constitue une étape importante dans le dimensionnement du convertisseur. Celle-ci doit être suffisamment élevée pour minimiser l'ondulation du courant et ainsi limiter la valeur et la taille du condensateur, mais assez faible pour répondre aux di/dt qu'impose la charge.

Ainsi, pour respecter les contraintes imposées, en particulier sur la densité de puissance requise dans les systèmes embarqués, la conversion de puissance doit alors être réalisée à de plus hautes fréquences. De cette manière, la taille des filtres de sortie, et notamment celle des inductances, peut être réduite diminuant d'autant l'encombrement du convertisseur et augmentant sa dynamique. Toutefois, la montée en fréquence est limitée par les performances des composants. Les MOSFET actuels devant passer plusieurs dizaines d'ampères ont une fréquence de commutation ne dépassant pas le MHz, car leurs capacités parasites entraînent beaucoup trop de pertes en commutation. Les composants passifs composant les filtres ont eux-mêmes des fréquences de fonctionnement trop basses pour espérer atteindre ces fréquences de commutations. Les premiers ayant des problèmes au-delà du MHz sont les composants capacitifs qui ont des fréquences de résonance de cet ordre. Les pertes des composants magnétiques sont également un obstacle important à la montée en fréquence. Ainsi, pour respecter à la fois les nouvelles contraintes électriques rajoutées à des besoins de compacité pour des applications portables, les structures simples évoluent vers des structures complexes de plusieurs cellules imbriquées.

III-2-2. Structures Buck multiphase - Interleaving

L'augmentation du courant d'alimentation et de ses transitoires a donné lieu à l'association de plusieurs convertisseurs entrelacés dont la structure la plus connue est décrite en figure 1.16.

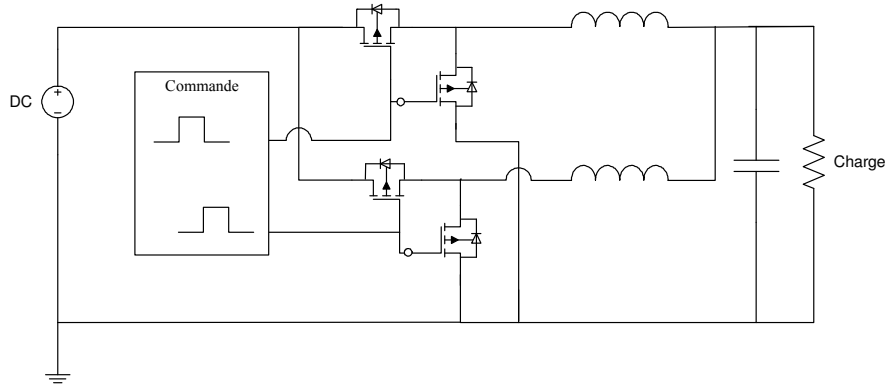


Figure 1.16. Association de deux cellules de commutation de type Buck synchrone

Cette association appelée buck multiphase ou interleaving présente plusieurs avantages [28-31] :

- le courant d'alimentation étant transféré et réparti sur plusieurs cellules, les pertes en conduction sont plus faibles.

- par le décalage des commandes à travers des rapports cycliques déphasés de π/n entre chaque phase adjacente, on peut réduire les taux d'ondulation des courants et ainsi réduire la taille des filtres. Ainsi, lorsque les courants déphasés s'additionnent pour former le courant de sortie, le taux d'ondulation est significativement réduit avec une fréquence n fois supérieure à la fréquence de découpage.

Gain en tension	**Courant dans l'inductance**			**Ondulation du courant de sortie**
$\frac{V_S}{V_e} = \alpha$	0<t<αT	Phase 1	$I_{L1} = \frac{V_e - V_S}{L}.\alpha T$	$\Delta I_S = V_e\left(\frac{1}{L1} - \frac{2\alpha}{L2}\right)\alpha T$
		Phase 2	$I_{L2} = \frac{-V_S}{L}.\alpha T$	
	αT<t<T	Phase 1	$I_{L1} = \frac{-V_S}{L}.(1-\alpha)T$	$\Delta I_S = V_e\left(\frac{1}{L1} - \frac{2\alpha}{L2}\right)(1-\alpha)T$
		Phase 2	$I_{L2} = \frac{V_e - V_S}{L}.(1-\alpha)T$	

Tableau I.6. Equations décrivant le fonctionnement d'un buck à 2 phases en opposition.

Le tableau I.6 rassemble les équations décrivant le fonctionnement d'une telle structure composée de deux phases déphasées de 180°. Les calculs montrent que l'ondulation du courant de sortie peut-être annulée avec des inductances de chaque phase identiques et un rapport cyclique de 0,5 (Figure 1.17).

En considérant une structure à n phases, fonctionnant dans les conditions où l'ondulation du courant de sortie est annulée, il est possible d'utiliser une inductance par phase plus petite. Le système est alors plus rapide et peut répondre à des transitoires élevés. D'autre part, la faible ondulation de courant et sa fréquence rendent possible l'utilisation d'un condensateur de sortie plus petit. De nombreux constructeurs comme Intersil (ISL6244), Texas Instrument (TPS 40130) ou Linear Technology (LTC1929), proposent de telles structures.

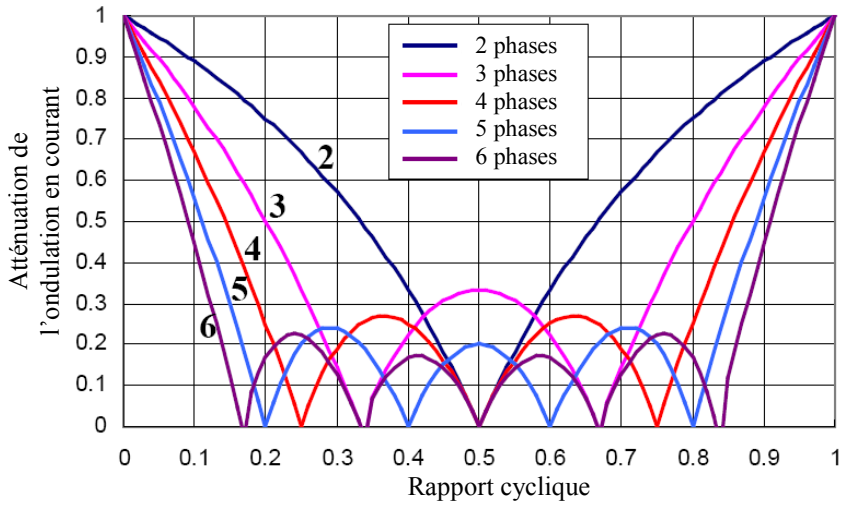


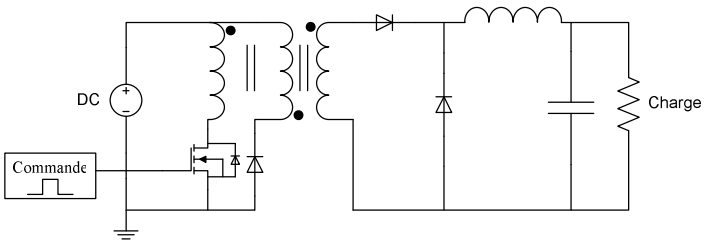
Figure 1.17. Coefficient d'atténuation de l'ondulation du courant de sortie d'une structure multiphase [29]

Pour réduire le taux d'ondulation de courant, il existe également des structures à inductances magnétiquement couplées [28, 30, 31]. Pour de forts couplages, il est alors possible de réduire l'ondulation du courant dans chaque phase.

Dans le cas de convertisseurs DC/DC non-isolés, la structure multiphase est une réponse appropriée au problème de la réduction du taux d'ondulation du courant de sortie ainsi que pour l'alimentation sous forts courants. Néanmoins, au même titre qu'un convertisseur classique, cette topologie de convertisseur va devoir travailler à des rapports cycliques très faibles à mesure que la différence entre tension d'entrée et de sortie augmente. L'analyse de l'évolution des architectures de puissance nous a alors montré que ces structures devaient introduire un transformateur abaisseur de tension.

III-2-3. Convertisseurs isolés

La tendance vers la diminution des tensions d'alimentation impose un rapport de conversion entre V_e et V_s trop faible, défavorable au rendement. Des modules d'adaptation d'impédance tels les VTM, où un transformateur abaisse la tension de bus prédominent (structure Forward et ses dérivées) [32-34].



a)

Figure 1.18. Convertisseurs Forward.

A partir de la structure classique du Forward, (Figure 1.18.a), plusieurs modifications peuvent être apportées pour améliorer le rendement. Les travaux d'Uceda et Cobos [33] montrent la faisabilité de plusieurs topologies de convertisseurs Forward fournissant une tension de 3,3V à partir d'un bus 48V, avec des rendements proches de 90%. Parmi les solutions technologiques retenues, il est montré que la diode de roue libre et la diode de protection du secondaire peuvent être remplacées par deux MOSFET. Ce montage, dit de self driven-rectification (SR), permet de réduire les pertes en conduction [33]. Ainsi, dans la mesure où les tensions d'alimentation des microprocesseurs continuent

à diminuer et que les architectures de puissances fournissent la puissance à travers un bus haute tension, l'utilisation de structures de conversion de type Forward avec transformateur de tension devient une solution viable pour réduire les pertes.

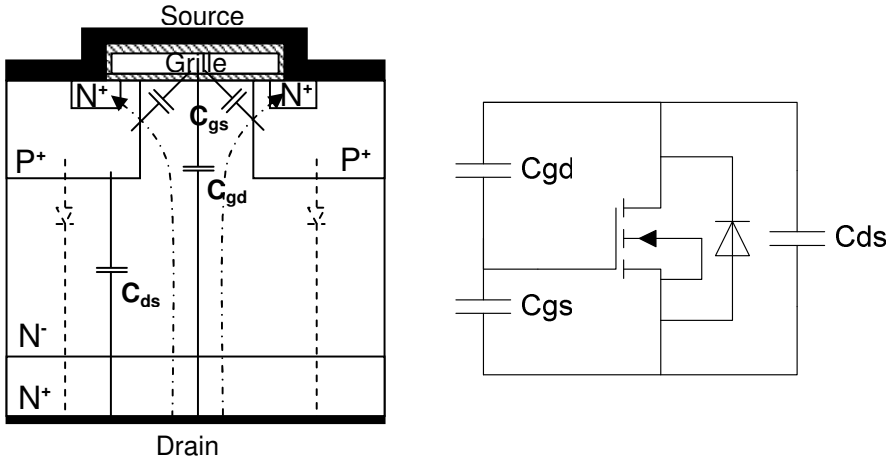
III-2-4. Synthèse

Par rapport à la problématique de l'alimentation des systèmes embarqués et des contraintes qu'elle impose, nous avons vu qu'il existe des structures de conversion adaptés à divers contextes, permettant de lever certaines contraintes électriques en particulier sur le filtre de sortie et le rapport cyclique. Ainsi, à partir du convertisseur abaisseur Buck comportant peu de composants, peuvent être déclinés soit des structures de type multiphases soit des versions isolées de type Forward. Nous nous rendons alors compte que, pour les structures considérées, les marges de manœuvre pour améliorer les rendements, la réponse aux di/dt et la compacité se situent maintenant au niveau des composants. En effet, que l'on considère une structure multiphase ou Forward, le nombre de composants (principalement magnétiques) augmente par rapport à un Buck classique. Si les bénéfices, nous l'avons vu, sont indéniables, un travail important doit être mené pour réduire leur taille. Concernant le cas précis de l'inductance, le tableau I.5 nous a montré que cette réduction ne peut être réalisée qu'en augmentant les fréquences de commutation, pour à terme réaliser l'intégration du filtre de sortie et du convertisseur. Cette montée en fréquence a toutefois des conséquences sur le fonctionnement des autres composants actifs et passifs et doivent ici être rappelées.

4. Les composants utilisés dans les POL.

IV-1. Les composants actifs.

L'augmentation des fréquences de découpage impose le transistor MOSFET comme interrupteur actif car son fonctionnement unipolaire le rend plus rapide que le transistor bipolaire de puissance. D'autre part, sa commande est plus facile à mettre en œuvre et génère moins de pertes que la commande d'un bipolaire. Le transistor MOS vertical (VDMOS) est la topologie la plus utilisée dans le domaine de la puissance. La figure 1.19.a montre une vue en coupe d'une cellule VDMOS classique. Lorsque la tension grille-source, V_{gs}, dépasse la tension de seuil $V_{th,}$ le transistor est alors passant et caractérisé par sa résistance, R_{dson}. Si le MOSFET présente des vitesses de commutation rapides, elles sont néanmoins limitées par ses capacités parasites qu'il faut charger et décharger à chaque cycle, sources de pertes : C_{gs},C_{gd} et C_{ds} (Figure 1.19.b).



a) b)

Figure 1.19. Structure Verticale MOS (VDMOS)
a) Coupe technologique, b) Symbole.

Il est possible d'estimer les pertes générées par un transistor [35-37]. Pour l'exemple, nous considérons un montage Buck synchrone, comme décrit par la figure 1.15. Les pertes générées par le MOSFET, assurant le transfert d'énergie entre la source et la sortie, se décomposent en pertes par conduction et pertes en commutation à la fermeture et à l'ouverture :

- les pertes en conduction sont proportionnelles à la résistance à l'état passant du MOSFET, R_{DSON} :

$$P_{condON} = \alpha.R_{ds(on)} \cdot I_{rms}^{\ 2} \tag{I.1}$$

- les pertes en commutation se calculent en se basant sur le temps nécessaire, τ_{ON} pour charger à la fermeture ou τ_{OFF} pour décharger à l'ouverture, la capacité d'entrée C_{iss} d'une charge Q_G [34-36] :

$$P_{swithchingON} = \frac{V_e \cdot I_L}{2} \cdot \tau_{ON} \cdot f_{sw} \tag{I.2}$$

$$P_{swithchingOFF} = \frac{V_e \cdot I_L}{2} \cdot \tau_{OFF} \cdot f_{sw} \tag{I.3}$$

Pour comparer les transistors, un facteur de qualité est défini et dépend de $R_{dson}x(Q_{gs2}+Q_{gd})$ [9, 35-40].

Concernant le MOSFET remplaçant la diode de roue libre, les pertes sont réparties en pertes par conduction et pertes de recouvrement de la charge inverse de la diode parasite [9, 35-37, 40] :

- les pertes en conduction sont proportionnelles à la résistance à l'état passant du MOSFET, R_{DSON} :

$$P_{condOFF} = (1-\alpha).R_{ds(on)} \cdot I_{rms}^{\ 2} \tag{I.4}$$

- les pertes dues au recouvrement de la charge inverse Q_{RR} de la diode parasite au moment de son blocage :

$$P_{RR} = \frac{1}{2} \cdot Q_{RR} \cdot V_S \cdot f_{sw} \tag{I.5}$$

La comparaison entre les MOS synchrones se fait à partir d'un autre facteur de qualité défini par le produit R_{dson}xsurface.active [9].

Nous voyons ici que le dimensionnement des deux MOSFET est différent. Pour de hautes fréquences de commutation, les pertes générées par le MOSFET de contrôle seront principalement liées aux commutations. Pour la sélection de ce MOSFET, une attention particulière devra être portée sur les Q_g nécessaires qui doivent être les plus faibles possible pour réduire significativement les pertes en commutation. La résistance à l'état passant R_{dson} doit également être la plus faible possible. Le dimensionnement du MOSFET synchrone, quant à lui, devra essentiellement tenir compte de la résistance à l'état passant qui devra être la plus faible possible.

Nous avons vus qu'à mesure que les tensions d'alimentations diminuent et que les di/dt augmentent, les fréquences de commutation doivent augmenter afin de réduire la taille des structures de conversion et ainsi limiter les résistances et les inductances d'interconnexions avec les sources et les charges. La réduction des capacités parasites est alors un enjeu de recherche important. Dans ce contexte, la piste du transistor LDMOS peut redevenir intéressante pour fournir les basses tensions d'alimentations à des applications portables. En effet, les transistors latéraux offrent les plus petites capacités parasites, favorisant la montée en fréquence des structures de conversion. Quelques produits à base de LDMOS font leur apparition à l'image des composants GWS24N07 commercialisés par Great Wall Semiconductor, constitués de deux MOSFET à canal N à sources et grilles communes. Ils peuvent supporter une tension drain-source jusqu'à 7V avec un R_{DSON} de 1mOhm. Des tests avec un

Buck de 100W, avec une fréquence de résonance de 3,5MHz, ont démontré un rendement supérieur à 97% [41].

Ces pertes en commutation sont particulièrement pénalisantes pour le rendement dans des conditions de faibles charges. Dans des conditions de faible charge en mode de fonctionnement PWM, les pertes en conduction deviennent négligeables, mais les transistors continuent à consommer de l'énergie au travers de la charge de grille qu'il faut fournir à chaque cycle. Ces pertes dégradent le rendement à faible charge correspondant, par exemple, à un état de veille d'un téléphone portable [42].

Pour limiter les pertes en commutation en faible charge, d'autres modes de fonctionnement existent tel que le mode PFM (Pulse Frequency Modulation) qui correspond à un fonctionnement à fréquence variable beaucoup plus faible que la fréquence utilisée en PWM. A mesure que le courant de charge décroît, la fréquence de commutation d'un transistor diminue [43-44] Une autre solution consiste à « forcer » le convertisseur à fonctionner en mode de conduction discontinue à fréquence constante, lorsque le courant devient inférieur à une valeur limite [43-44]. Une réduction significative des pertes en conduction est obtenue. La troisième solution s'inspire des deux précédentes. En régime de faible charge, il s'agit à la fois de « forcer » un fonctionnement en conduction discontinue et de réduire la fréquence de commutation proportionnellement au courant de charge. De hauts rendements peuvent être ainsi atteints car les pertes en conduction et en commutation sont réduites (Figure 1.20) [43-44].

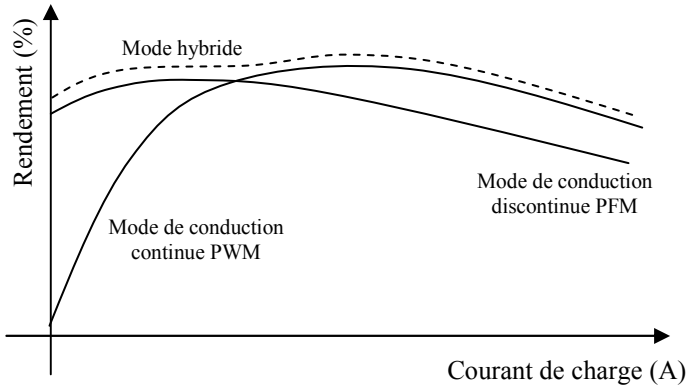


Figure 1.20. Courbe de rendement typique d'un convertisseur DC/DC dans les systèmes embarqués [44]

Les composants actifs limitent directement le fonctionnement à haute fréquence par les pertes d'énergie qu'ils génèrent en commutation. Ces pertes sont particulièrement dommageables pour le rendement lorsque les systèmes sont en veille. L'enjeu est de dépasser les fréquences de découpage actuelles afin de permettre l'intégration de composants passifs de plus petite valeur. Pour cela, la recherche sur les composants actifs devra définir des solutions pour la réduction des charges de grille tout en conservant une résistance à l'état passant aussi minime que possible. Parallèlement, l'étude des composants passifs doit déterminer les technologies adéquates à leur intégration. Ainsi, le rappel préalable des principales caractéristiques et des limites du fonctionnement des éléments passifs du filtre de sortie d'un Buck, va nous permettre de faire le point sur les progrès à réaliser pour la réalisation d'un filtre intégré.

IV-2. Les composants passifs.

Les composants passifs sont très présents dans les structures de conversion pour aider à convertir l'énergie électrique à travers les filtres d'entrée et de sortie des alimentations à découpage mais aussi certains étages intermédiaires et certaines fonctions annexes tels que les circuits de commande et d'aide à la commutation. Ils assurent également des fonctions de protections comme l'isolation

galvanique. Pour dimensionner ces composants passifs, nous prenons l'exemple du filtre de sortie d'un buck.

IV-2-1. Les condensateurs

Le premier des composants passifs à former le filtre de sortie est le condensateur. Pour comprendre le fonctionnement des condensateurs utilisés pour les filtres et assurer le rôle de réservoir d'énergie, le modèle circuit le plus utilisé est un circuit RLC série avec *R*, représentant la résistance équivalente série (ESR) et *L*, l'inductance parasite (ESL). L'influence des éléments parasites sur les formes d'ondes relatives à un condensateur fonctionnant en filtre de sortie du 2ème ordre pour un buck est décrit ci-dessous (Tableau I.7).

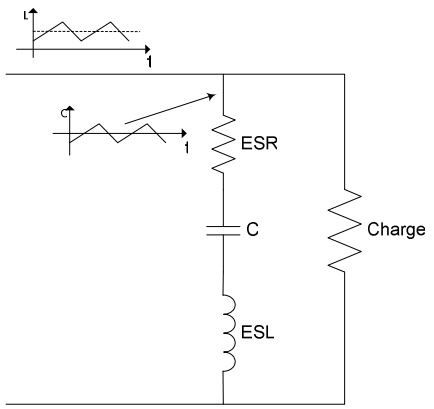
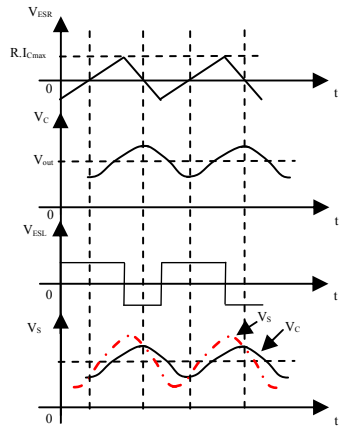
Condensateur de filtrage d'un buck	**Tensions aux bornes des éléments parasites**	**Formes d'ondes**
	$V_{ESR} = ESR.I_C(t)$ $V_C = \frac{1}{C}.\int I_C(t).dt$ $V_{ESL} = ESL.\frac{d\,I_C}{dt}$ $V_S = V_{ESR} + V_C + V_{ESL}$	

Tableau I.7. Formes d'ondes d'un condensateur de filtrage de sortie d'un buck.

Les éléments du modèle équivalent génèrent des contraintes électriques qui participent au vieillissement du composant [45] :

- La capacité est déterminée par le taux d'ondulation de la tension de sortie pris à α=0,5. Cette valeur doit être élevée pour absorber le taux d'ondulation du courant et ainsi garantir une tension de sortie stable. Toutefois, les dv/dt ne doivent pas être trop importants sous peines de générer des valeurs crêtes de courant très importants.
- Les di/dt imposés par la charge génèrent des surtensions, liées à l'inductance parasite, pouvant détruire le composant.
- La valeur efficace du courant maximal provoque des pertes Joules, au niveau de la résistance des armatures qui provoquent l'échauffement du composant et donc le vieillissement prématuré du diélectrique.

A ces contraintes s'ajoutent également les effets de la fréquence qui génèrent entre autre des pertes Joules supplémentaires dans les armatures, entraînant l'échauffement du composant. Nous rappelons en la figure 1.21 la réponse en fréquence typique d'un condensateur.

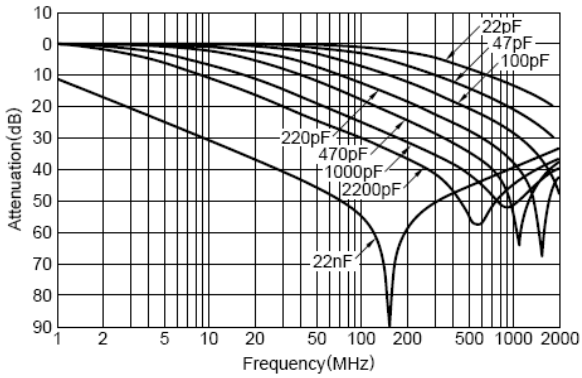


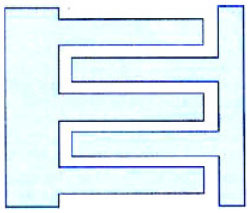
Figure 1.21. Réponse fréquentielle d'un condensateur réel (TDK CKD series [46]).

La courbe présente un minimum pour la fréquence f_0 définie par (I.6) correspondant à la fréquence de résonance du composant et révèle l'influence de l'inductance parasite dans la limitation de la plage fréquentielle d'utilisation du composant. L'utilisation du condensateur doit se faire à une fréquence plus faible que sa fréquence de résonance pour qu'il assure bien sa fonction [24, 45].

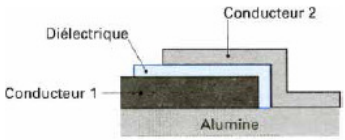
$$f_0 = \frac{1}{2\pi\sqrt{ESL.C}} \tag{I.6}$$

Parmi les technologies de condensateurs discret utilisées pour différentes applications de l'électronique, [24, 45-48], les condensateurs électrolytiques sont les plus usités. Ils assurent le filtrage de la tension continue dans les alimentations à découpage avec des valeurs de capacités supérieures à 10 µF allant jusqu'à quelques mF et des tenues en tension entre 6V et 600V sous de forts courants. Ces condensateurs sont généralement très volumineux, d'autant plus que pour des applications imposants des transitoires en courants importants, de fortes valeurs de capacités sont nécessaires. Afin de limiter l'influence des éléments parasites, il est habituel de connecter plusieurs condensateurs identiques en parallèle pour atteindre de fortes valeurs de capacité tout en réduisant la résistance et l'inductance parasite. Cette méthode est souvent appliquée au détriment d'un volume plus important mais va à l'encontre de la nécessaire compacité des étages de conversion pour l'alimentation de systèmes embarqués. Aussi, l'augmentation des fréquences de commutation est nécessaire pour que des composants plus petits en valeur, en volume, et donc présentant des éléments parasites réduits, puissent être employés. Cependant, pour l'instant, l'état du domaine ne permet pas d'envisager à court terme des condensateurs intégrés compatibles aux structures des actifs. Cela reste un domaine de recherche prospectif pour l'intégration de ces composants dans les futurs convertisseurs DC/DC.

En intégration de puissance, aujourd'hui, il n'existe pas de solutions pour intégrer des condensateurs au plus près des autres composants. Si on examine les autres domaines, certains emploient des capacités intégrées. Par exemple, en microélectronique, les condensateurs sont utilisés pour le filtrage, le découplage et l'élaboration de fonctions RF. Les capacités surfaciques oscillent entre 160 et 2500 pF/cm^2 selon la topologie utilisée et la surface occupée est importante. Les structures rencontrées sont de type interdigitées à air (1 et 5 pF) (Figure 1.22.a) ou de type MIM (Métal Isolant Métal) qui occupent la gamme entre 1 pF et 100 pF (Figure 1.22.b) [45, 47-48]. Cette dernière souffre d'un encombrement important.



a) Condensateurs interdigités utilisant un champ électrique horizontal.



b) Condensateur MIM : Utilisation du champ électrique vertical.

Figure 1.22. Exemples de topologies de condensateurs intégrés [47-48]

Pour tenter d'augmenter la valeur de capacité d'un condensateur pour les rendre compatibles avec une application de puissance, deux voies sont envisageables:

- le choix du matériau diélectrique. Il doit pouvoir se déposer en couche mince et se distinguer par une tenue en tension de claquage et une constante diélectrique ε_r élevées et stables en température et en fréquence. Nous rappelons dans le tableau I.8, les oxydes diélectriques les plus couramment utilisés en microélectronique, leurs tensions de claquage étant supérieures à 10^6 V/cm [45, 47-48].Pour atteindre de hautes densités de capacité, des matériaux dits « high-k » sont également utilisés mais souffrent d'une mise en œuvre lourde et d'instabilité de la constante diélectrique en fréquence et en température [49]. Les diélectriques visés sont ferroélectriques comme le $BaSrTiO_3$ (ε_r<1000) et le $BaTiO_3$ (ε_r<5000).

Matériau diélectrique	**Al_2O_3**	**SiO**	**SiO_2**	**Ta_2O_5**	**Si_3N_4**
Permittivité relative	7 à 10	6 à 8	4 à 5	25	6 à 9

Tableau I.8. Oxydes diélectriques utilisés en microélectronique.

- augmenter la surface des électrodes en changeant de topologie du composant. Cette solution est particulièrement étudiée au LAAS au sein du groupe ISGE. Les structures envisagées allient la capacité $P^+N^-N^+$ à une structure MOS dont la capacité est constante, fixée par l'épaisseur de la couche d'oxyde, t_{ox}. Le principe repose sur le contrôle de l'accès à la capacité MOS, C_0, grâce à l'extension de la ZCE d'une jonction $P^+N^-N^+$ polarisée en inverse (Figure 1.23). La présence d'une couche d'oxyde, constituant la capacité MOS, accroît considérablement la valeur de la capacité pour de faibles tensions de polarisation.

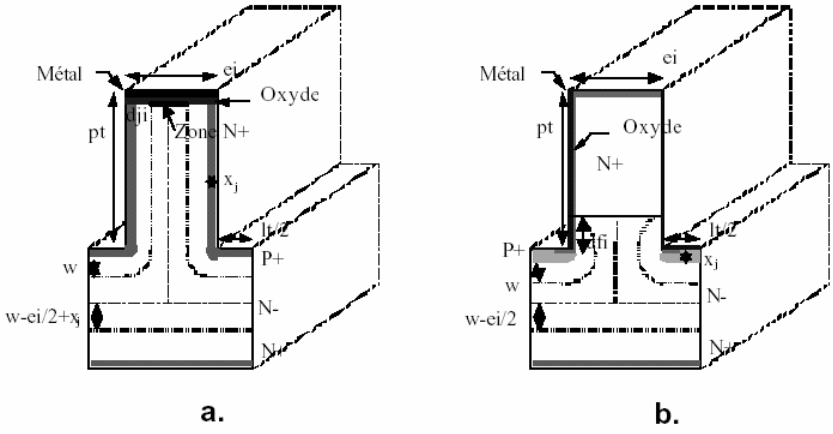


Figure 1.23. Structures P^+N^-/MOS en tranchée.
a) Couche d'oxyde uniquement en surface de la tranchée, b) Couche d'oxyde sur toutes les parois de la tranchée

La figure 1.24, montre que l'allure de la courbe C(V) de ce type de condensateur, reste constante jusqu'à une valeur de tension, V_0, appelée tension de transition. Les deux paramètres essentiels, pour

définir les caractéristiques de tels composants, sont l'épaisseur d'oxyde, pour définir la valeur de la capacité et le dopage N^-, pour repousser le plus possible la tension de transition V_0. Cette structure permet de contrôler la non-linéarité de ces condensateurs [50-52].

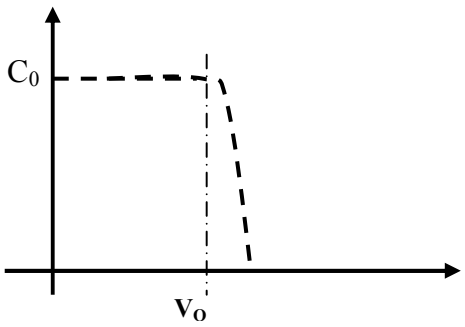


Figure 1.24. Courbe C(V) d'une capacité P^+N/MOS.

Bien que l'intégration soit indispensable à la réduction du volume et des éléments parasites de ce composant, nous voyons ici que les solutions microélectroniques actuelles ne permettent pas encore d'atteindre des valeurs de capacité suffisantes pour répondre efficacement au besoin d'un convertisseur complètement intégré. Les structures planaires sont loin d'offrir une densité de capacité suffisante. Des solutions, comme les structures en tranchées pour augmenter la taille des électrodes, sont à l'étude pour augmenter la densité de puissance du composant mais sont confrontées à des difficultés de réalisation qui constituent actuellement un verrou technologique important.

Ainsi, l'intégration de condensateurs, présentant une capacité suffisante pour être utilisée dans un filtre de sortie de convertisseur, est un domaine de recherche ouvert pour lequel de gros efforts technologiques sont à fournir, tant au niveau de la structure que des matériaux. Des travaux sont en cours au sein du groupe ISGE et portent sur le développement de structures en tranchées [52]. La conception du convertisseur peut également prendre en compte ces difficultés en proposant des solutions ne nécessitant qu'une valeur faible de capacité. Hormis par l'augmentation de la fréquence de conversion, une capacité de plus faible valeur peut être utilisée si l'ondulation du courant de sortie est maintenue faible. Ceci est possible grâce à un choix approprié du type de structure (par exemple multiphase) ou par l'utilisation d'une inductance de forte valeur. Le dimensionnement du condensateur se trouve alors lié à celui de l'inductance qui doit être de valeur suffisamment élevée pour minimiser le volume du condensateur de filtrage.

IV-2-2. Les inductances

Les composants magnétiques, et les inductances en particulier, sont souvent utilisés dans les alimentations à découpage pour stocker de l'énergie magnétique. Le modèle équivalent circuit de l'inductance est une inductance en série avec une résistance équivalente *ESR* symbolisant les pertes Joules, le tout en parallèle avec une capacité *C* dite parasite existante entre les enroulements du composant.

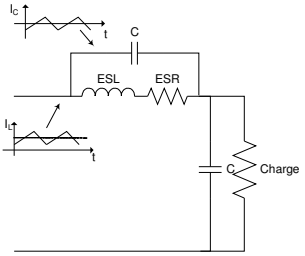
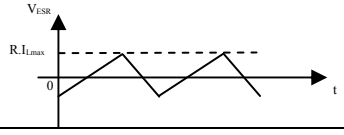
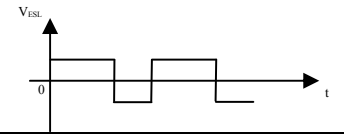
Inductance de filtrage d'un buck	**Tensions aux bornes des éléments parasites**	**Formes d'ondes**
	$V_{ESR} = ESR.I_L$	
	$V_{ESL} = ESL.\frac{d\,I_L}{dt}$	

Tableau I.9. Formes d'ondes d'une inductance de filtrage de sortie d'un buck.

Les performances d'une inductance, d'impédance Z_L, se mesurent par le facteur de qualité Q, défini par le ratio de l'énergie stockée sur l'énergie dissipée (I.7) [24].

$$Q = \frac{Energie\ \ stockée}{Energie\ \ dissipée} = \frac{Im\,ag(Z_L)}{Re\,al(Z_L)} \tag{I.7}$$

Ce facteur de qualité met alors en lumière que pour que l'inductance soit compatible avec notre application, l'énergie stockée (proportionnelle à L) doit être très élevée face à des pertes (essentiellement proportionnelles à ESR) très faibles. Ceci suppose une forte valeur de L pour stocker cette énergie et en même temps minimiser l'ondulation du courant (Tableau I.9). Les pertes Joules se produisent au passage du courant dans le bobinage. Ces dernières peuvent être décomposées en deux parties :

- les pertes en basse fréquence produites par le passage du courant moyen I_{DC} dans les bobinages, symbolisées par une résistance continue notée R_{DC}.

- les pertes à la fréquence de découpage produites dans L par le passage d'un courant alternatif de valeur efficace I_{RMS} et symbolisé par la résistance haute fréquence R_{AC}.

Les pertes Joules totales sont la somme des deux (I.8) :

$$P_J = R_{DC} \cdot I_{DC}^2 + R_{AC} \cdot I_{RMS}^2 \tag{I.8}$$

Par conséquent, les formes d'ondes du tableau I.9 et l'expression du facteur de qualité (I.7) nous indiquent que le dimensionnement du bobinage d'une inductance pour une application de puissance doit être dirigé par l'idée de minimiser le ratio R/L. Le dimensionnement du bobinage doit en outre prendre en compte l'influence de l'augmentation de la fréquence de commutation sur la résistance série des conducteurs R_{AC} ainsi que le volume du composant.

Nous rappelons ici un exemple de comportement fréquentiel de l'impédance pour diverses inductances discrètes (Figure 1.25) ainsi que celui de leur facteur de qualité (Figure 1.26). Le maximum de l'impédance correspond à la fréquence de résonance f_{res}, dont la valeur est donnée par l'expression (I.6) et au delà de la quelle le composant n'est plus inductif mais capacitif. L'apparition de cette fréquence de résonance, est imputable à la capacité inter spires C que le bobinage fait apparaître par construction. Une utilisation à de hautes fréquences sera possible si C est très faible.

Le maximum du facteur de qualité est atteint à la fréquence d'utilisation f_u optimale du composant et décroît au delà, du fait de l'augmentation de la résistance avec la fréquence. Pour que l'inductance joue son rôle, la fréquence d'utilisation ne doit pas dépasser le tiers de la fréquence de résonance.

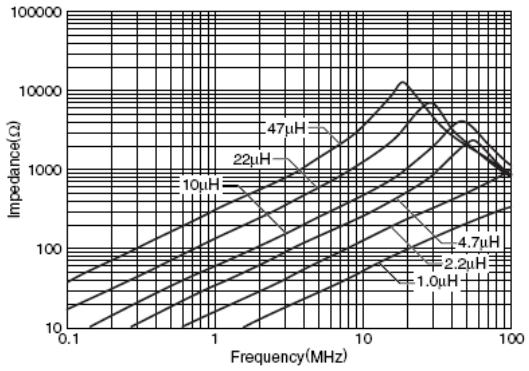


Figure 1.25. Comportement fréquentiel de l'impédance d'inductances (TDK GLFR1608) [46].

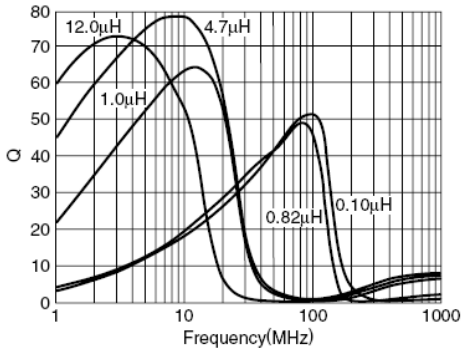


Figure 1.26. Comportement fréquentiel du facteur de qualité d'inductances (TDK MLF1608-J) [46]

Nous avons vu dans les paragraphes précédents que l'augmentation des fréquences de commutation autorisait l'utilisation d'inductances de plus en plus faibles. De plus, il a été constaté que l'utilisation de structures de conversion plus évoluées que le Buck apportait des améliorations

significatives et constituait des solutions possibles pour répondre au cahier des charges des futures alimentations de systèmes embarqués. Toutefois, ces choix de structures entraîne l'augmentation du nombre de composant et notamment des éléments magnétiques (inductances et transformateurs) si bien que leur intégration, est nécessaire pour conserver le caractère nomade des systèmes qu'ils alimentent. En intégration de puissance, le dimensionnement de bobinages constitue alors un domaine de recherche majeur car de ses performances découlent celles des convertisseurs. Ce type de composant assurant le transfert de l'énergie, l'ensemble des pertes qu'il génère doivent être minimisées pour que le convertisseur conserve un bon rendement. Dans le même temps, dans un contexte de filtre de sortie, la valeur d'inductance doit être suffisamment élevée pour limiter l'ondulation et ainsi minimiser le volume du condensateur de filtrage. Dans la conception de ce type de composant passif, pour des applications de puissance, le problème est d'obtenir une inductance ayant les performances suivantes :

- fonctionnement à haute fréquence (au-delà du MHz),
- faibles résistances DC et AC,
- faible encombrement.

La réalisation d'un bon compromis s'avère difficile, d'autant plus que l'intégration du composant introduit un élément perturbateur supplémentaire par rapport aux inductances discrètes, le substrat. De par ses propriétés semiconductrices, il va provoquer des pertes d'énergies supplémentaires aux hautes fréquences qui vont dégrader non seulement le facteur de qualité mais également la fréquence de fonctionnement de l'inductance. Le dimensionnement d'un tel composant va alors différer du cas discret et le modèle circuit du tableau I.9 doit par conséquent être complété par les éléments de pertes dans le substrat. De plus, la topologie même du composant va être modifiée pour s'adapter aux contraintes d'intégration et principalement la limitation des épaisseurs de dépôt des matériaux. Ceci va participer à dégrader la résistance série et constitue le verrou technologique majeur à l'emploi d'inductances intégrées pour la conversion de l'énergie.

Pour atteindre l'objectif d'un convertisseur de puissance à haut rendement tout intégré, l'intégration de l'ensemble des composants présentés dans les paragraphes précédents est inévitable. Il faudra en plus qu'ils cohabitent avec diverses fonctions supplémentaires comme les éléments de commande et de protection. L'augmentation des fréquences de découpage est obligatoire pour permettre de réduire la taille des composants et donc d'augmenter la densité de puissance des convertisseurs ainsi que leur vitesse. La réduction des dimensions des composants doit également être accompagnée de la diminution des pertes au niveau des composants, constituant aujourd'hui un défi technologique. Notamment, les techniques d'intégration ne permettent pas encore d'obtenir des inductances compactes de forte valeur, fonctionnant au 1 MHz, avec des résistances suffisamment faibles pour être utilisables en puissance. Les recherches en intégration de puissance des composants passifs, au sein du groupe ISGE, portent à la fois sur les condensateurs [60] mais également sur diverses les principales solutions de réalisation d'inductances. Ce dernier axe de recherche représente l'objet principal des travaux présentés ici. Nous commencerons donc par une étude des structures inductives majeures dans le domaine de la puissance.

5. Etat de l'art de l'intégration des inductances.

Comme nous l'avons précisé précédemment, le dimensionnement d'une inductance pour une application de puissance doit minimiser le ratio R/L. En intégration, le choix de la topologie du composant revêt une grande importance car elle doit permettre d'atteindre les plus fortes valeurs d'inductance possible sur une surface minimum. Sa faisabilité est également un paramètre qui doit être pris en compte. L'étude de la littérature à ce sujet montre que, pour l'intégration de puissance d'inductances, plusieurs solutions existent.

V-1. Les principales topologies d'inductance

Une première solution de réalisation est inspirée de la fabrication des inductances discrètes. Les inductances réalisées en discret, utilisées pour le stockage d'énergie, sont des structures solénoïdales obtenues en enroulant un fil conducteur autour d'un noyau magnétique [53-55]. La même structure n'est pas aussi simple à réaliser en micro-électronique. En effet, l'enroulement d'un conducteur autour d'un matériau magnétique nécessite trois étapes de métallisation (2 pour le conducteur et 1 pour le noyau) et deux étapes de dépôt de résine isolante. Le procédé est alors complexe d'une part à cause de la difficulté d'alignement des deux couches de métal au niveau des contacts et d'autre part du fait des contraintes mécaniques existantes entre les différents matériaux empilés. Les différences de dilation des matériaux à haute température peuvent créer des défauts importants dans le composant. De plus, les vias entre les deux niveaux de conducteurs sont peu propices à la monté en fréquence. Finalement, la multiplicité des étapes technologiques réduit la fiabilité du composant et augmente son prix.

Le principal contributeur concernant cette topologie est Ahn [53] qui propose des structures avec noyau assurant de faibles flux de fuite. Le procédé de fabrication repose sur des techniques d'électrodéposition pour les conducteurs et le noyau de fer nickel (permalloy) Toutefois la forte chute de la valeur de l'inductance avec la fréquence rend l'utilisation ces composants dans des convertisseurs DC-DC peut intéressante au delà du MHz.

Une évolution à la structure solénoïde est présentée dans les travaux ultérieurs de Liakopoulos et Ahn [56]. Leurs recherches ont porté sur la mise en forme du noyau magnétique pour réduire les effets de peaux et stabiliser la perméabilité effective du noyau. A partir de la structure solénoïdale initiale [53], ils ont décliné deux structures, l'une avec un entrefer localisé (Figure 1.27.a) et l'autre présentant un noyau laminé en forme de spirale (Figure 1.27.b).

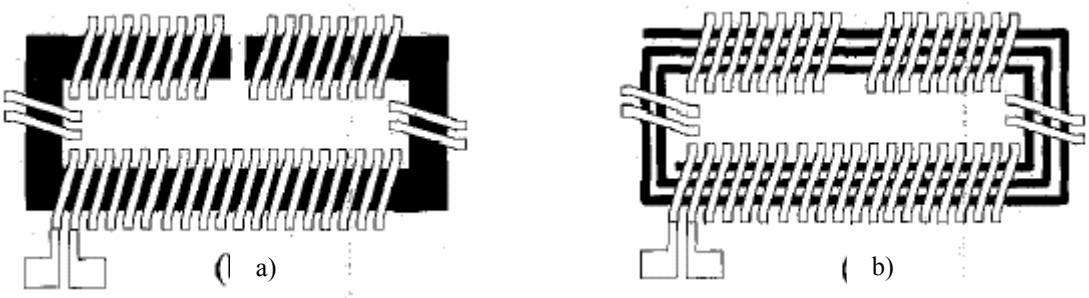


Figure 1.27. Illustration de micro inductances [56]
a) Noyau avec entrefer localisé, b) Noyau en spirale

Les caractérisations électriques montrent que la valeur d'inductance (10 µH), des structures avec noyau mis en forme, est plus stable en fréquence qu'avec la structure de base. Ceci démontre le bénéfice de cette technique et notamment l'utilisation d'un noyau en spirale. Dans ce cas, l'entrefer est réparti le long de la spirale et stabilise en fréquence la perméabilité effective du composant. Dans le même temps, le noyau est laminé, réduisant de fait les effets de peaux à haute fréquence.

Une deuxième évolution a été développée au laboratoire au sein du groupe ISGE sur la base d'une bobine solénoïdale. Elle apporte quelques simplifications technologiques en supprimant l'étape intermédiaire de réalisation des vias entre les deux niveaux de conducteurs (Figure 1.28).

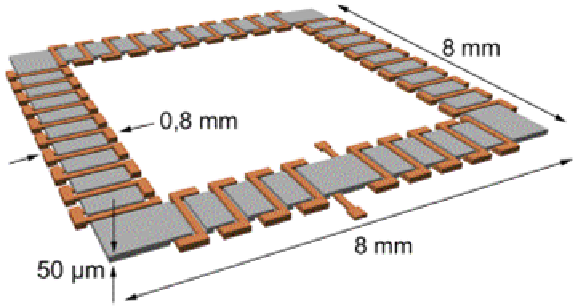


Figure 1.28. Structure inductive mixte développée au LAAS

La réalisation de cette structure est basée sur l'utilisation de circuits de croissance électrolytique séparés, un pour les conducteurs et un pour le noyau magnétique. Les parties conductrices et magnétiques d'un même niveau technologique sont réalisées successivement et ont, de fait, la même épaisseur, fixée par la résine épaisse de définition. Le deuxième niveau technologique, fermant les circuits électriques et magnétiques, est réalisé de la même manière [55, 57-59].

Les structures 3D présentées jusqu'ici sont parfaitement adaptées à des applications de stockage (inductance) et de transfert (transformateur) de l'énergie pour les convertisseurs de puissance, de par la section des conducteurs ainsi que du noyau magnétique qui assure la canalisation du flux. Néanmoins, elles souffrent d'un volume important pour des valeurs d'inductances autour du 1µH et ne peuvent être utilisées à des fréquences supérieures à 1MHz. Par conséquent, d'autres topologies d'inductance plus compactes doivent être étudiées permettant de travailler entre 1MHz et 10MHz avec une forte valeur d'inductance.

La deuxième catégorie d'inductances rencontrée dans la littérature présente une topologie planaire. Les inductances intégrées de ce type les plus abouties du point de vue technologique se rencontrent en radiofréquence pour, par exemple, réaliser des oscillateurs contrôlés en tension [60, 61] ou du filtrage [60]. La gamme des inductances en RF varie entre 0,1 nH et 100 nH. Les facteurs de qualité maximum sont de l'ordre de 60, pour les inductances sur membrane, et 10 [62, 63] pour les inductances classiques sur substrats silicium. Les valeurs d'inductances les plus faibles se retrouvent dans les applications les plus élevées en fréquence, devant présenter un minimum de couplage avec le substrat. Par exemple, les inductances réalisées par Biondi [62] en coopération avec ST Microelectronics sont de l'ordre de 0,3 à 0,6 nH avec des facteurs de qualité autour de 10 pour un fonctionnement dans la gamme des 10 GHz. Les composants sont réalisés avec des conducteurs de 6 à 20 µm d'épaisseur et espacés de 4 µm.

Toutefois, les structures inductives obtenues pour le domaine RF présentent des valeurs d'inductance trop faibles et des résistances séries trop élevées qui freinent leur emploi pour la conversion de l'énergie. Pour être compatible avec ce domaine, la structure et les méthodes de dimensionnement du composant inductif planaire doivent s'adapter. En particulier, la forme et les matériaux (conducteurs et magnétiques) des composants doivent être adaptés à l'intégration et aux hautes fréquences de fonctionnement. Un exemple d'une structure inductive planaire classique pour la puissance est donné par la figure 1.32. Les spires et le circuit magnétique sont réalisés en étapes séparées. Toutefois, jusqu'à aujourd'hui, le facteur de qualité est faible à cause des pertes dans le substrat et dans le noyau [64].

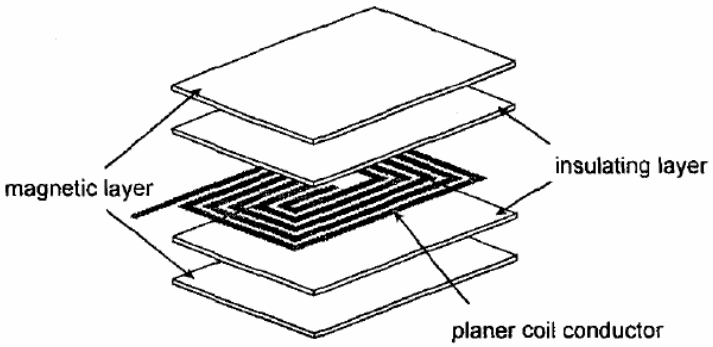
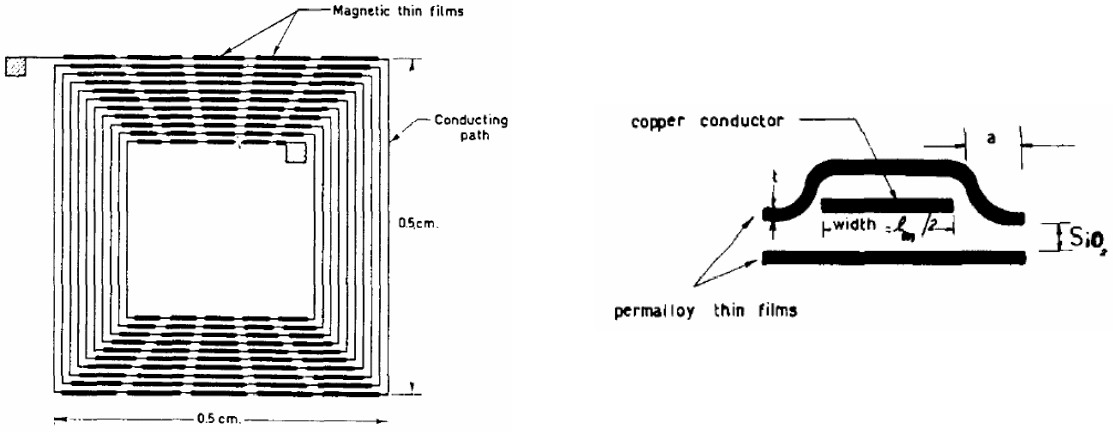


Figure 1.29. Vue éclatée du principe de base d'une micro bobine planaire intégrée [64].

Le principe d'inductance planaires remonte aux années 1970 avec les premières bobines avec matériaux magnétiques de Saleh [65, 66]. Depuis, les techniques de dépôts des matériaux conducteurs n'ont pas changé et consistent en une étape d'évaporation d'une couche d'accroche suivie d'un dépôt électrolytique de cuivre. La bobine, occupe une surface de 0,25 cm^2 (Figure 1.30.a), et présente une forme carrée avec un noyau magnétique réparti sur chaque enroulement (Figure 1.30.b). Les conducteurs de 50 µm de large, ont été réalisés par croissance électrolytique de 25 µm de cuivre et sont espacés de 25µm les uns des autres. La valeur d'inductance est de 4,5 µH pour un facteur de qualité maximum de 65 à 15 MHz. Ce facteur de qualité est obtenu d'une part grâce à une réalisation de la structure sur un substrat de verre, ce qui annule toute perte dans le substrat, et d'autre part grâce à la présence d'un matériau magnétique avec un entrefer qui accroit la valeur d'inductance de la bobine à air de base.

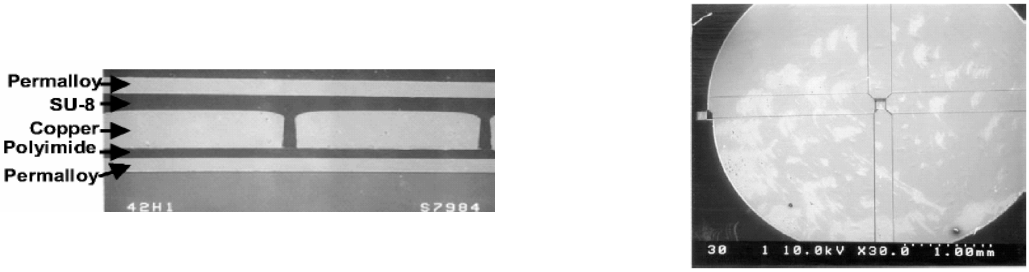


a) b)

Figure 1.30. Micro inductance réalisée par Saleh [65, 66]
a) Vue de dessus – dimensions générales, b) Vue en coupe d'un conducteur

Toutefois, la bobine n'est pas entièrement recouverte de matériau magnétique, et dans un contexte de convertisseur statique intégré, les émissions électromagnétiques que peuvent générer la bobine, vont perturber la commutation des transistors de puissance. Dans ces travaux, l'emploi du permalloy permet de canaliser le flux et d'augmenter l'inductance apparente du composant. Les conducteurs sont en cuivre et ont une section rectangulaire pour limiter les effets de peaux à hautes fréquences.

Le même type d'intégration se retrouve dans les travaux de Brandon [67]. Ce dernier a réalisé des inductances intégrées sur silicium. Les conducteurs (Figure 1.31.a), formant la bobine, sont larges de 62,5 µm, épais de 11,4µm et espacés de 7,5µm. Une inductance de 3,2 µH est obtenue avec un facteur de qualité de 1,3 à 1 MHz. La résistance série est de 5,9 Ohm.



a) b)

Figure 1.31. Images MEB d'une micro inductance intégrée [76]
a) Vue en coupe des conducteurs et couches magnétiques, b) Vue de dessus du dépôt magnétique mis en forme.

Le noyau magnétique, de 5 µm d'épaisseur, a été mis en forme (Figure 1.31.b) pour limiter les pertes par courants induits. Les caractérisations électriques ont montrées que la valeur d'inductance chute fortement avec la fréquence. Ceci dénote des pertes existantes dans le noyau. Ce dernier sature très rapidement (50% de la valeur de l'inductance a chuté à 100 mA et 1 MHz). Cet exemple montre qu'il reste encore des efforts à faire sur les matériaux magnétiques tant sur leur résistivité pour réduire les courants induits, que sur le champ de saturation ainsi que sur leur mise en forme.

Ahn et Allen [68] ont proposé une structure planaire sur deux niveaux avec encapsulation magnétique (Figure 1.32). Le bobinage est réalisé avec des conducteurs en cuivre électro-déposés de 12,5µm de large et espacés de 12,5µm. La bobine atteint une valeur de 24 µH à 10 kHz pour chuter à 10 µH à 1MHz. Le facteur de qualité est d'environ 0,25 à 1 MHz avec une résistance série de 300 Ohms. La forte valeur d'inductance est essentiellement due à la présence d'un noyau magnétique de permalloy et des conducteurs plus étroits qu'à l'accoutumée. La résistance est bien trop élevée pour pouvoir utiliser cette inductance dans un convertisseur DC-DC.

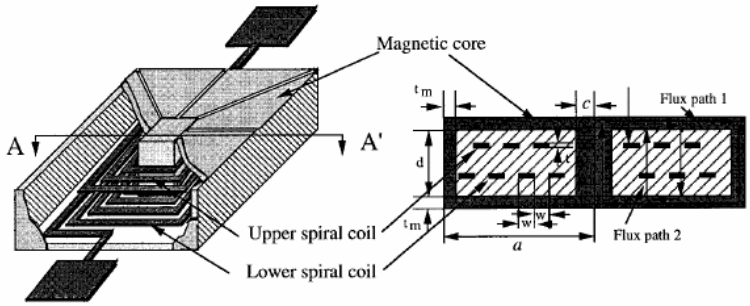
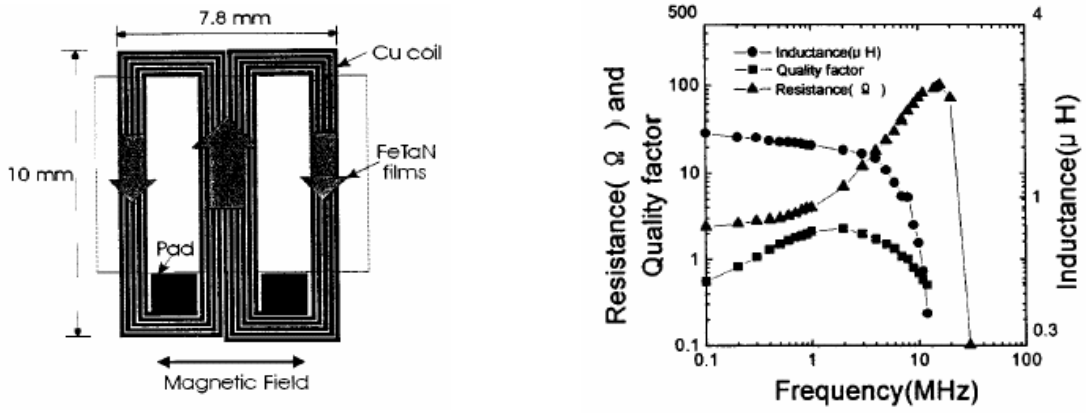


Figure 1.32. Structure inductive planaire proposée par Ahn et Allen [68].

Une structure planaire dérivée, à double enroulement (Figure 1.33.a & Figure 1.33.b), est également utilisée par Kim [69] puis Sato [70]. Dans le premier cas, l'inductance atteint 1,6 µH jusqu'à 5 MHz avec un facteur de qualité maximum de 2,3 à 2 MHz (Figure 1.34.b). La résistance série est de 2 Ohms et croît rapidement avec la fréquence à partir de 2 MHz. Le composant est encapsulé entre deux films de Ti/FeTaN. Ce matériau présente une perméabilité constante jusqu'à 100 MHz et apparaît donc bien plus performant que le permalloy utilisé jusqu'à présent.

La caractérisation électrique a montré que ce composant est adapté à la conversion d'énergie dans des convertisseurs fonctionnant jusqu'à 1 MHz.



a) b)

Figure 1.33. Structure spiralée planaire étudiée par Kim [69].
a) Vue de dessus, b) Caractérisations électriques.

L'équipe de Sato a également proposé une bobine à double enroulement mais avec quelques améliorations (Figure 1.34). L'augmentation de la résistance avec la fréquence est réduite en introduisant des conducteurs divisés. Ce sont des lignes de 4 fois 35 µm de large, épais de 50 µm et espacés de 50 µm. Parallèlement, le noyau magnétique, de FeCoBC est composé de 4 couches de 1,5 µm d'épaisseur, isolées les unes des autres pour limiter les effets de peaux.

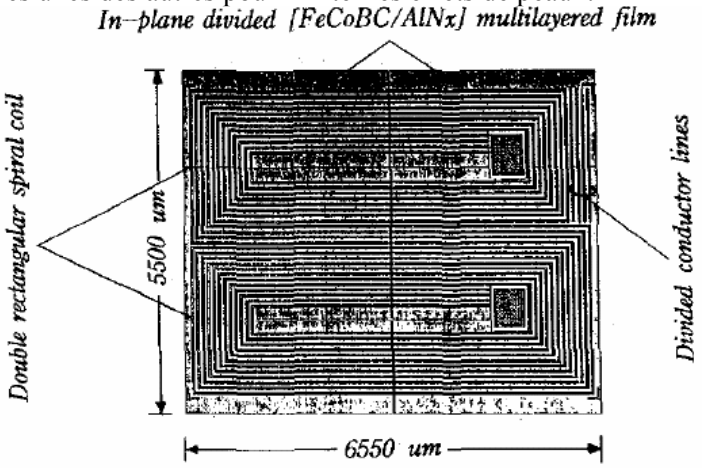


Figure 1.34. Micro inductance à double enroulement utilisée par l'équipe de Sato [70].

Sato obtient une inductance de 0,3 µH constante jusqu'à 10 MHz avec un facteur de qualité maximum de 8 à 2 MHz. Cette inductance intégrée sur silicium montre des performances supérieures à toutes les structures vues à ce jour en termes de facteur de qualité.

L'intégration des inductances évolue vers des composants plus adaptés à la réalisation de convertisseurs intégrés. D'une part, leurs facteurs de qualité commencent à dépasser l'unité, principalement grâce à une recherche de diminution des pertes liées à l'augmentation de la fréquence. D'autre part, la valeur d'inductance tend à être suffisamment élevée, dans une surface réduite, pour limiter l'encombrement des condensateurs de filtrage. Une nette tendance est observable vers l'emploi de matériaux magnétiques autres que le permalloy. Les compositions s'inspirent de celles employées en hyperfréquence. Ils permettent de répondre à la demande de fréquence de commutation grandissante et sont étudiés pour offrir une induction à saturation plus haute.

V-2. Vers l'intégration des convertisseurs.

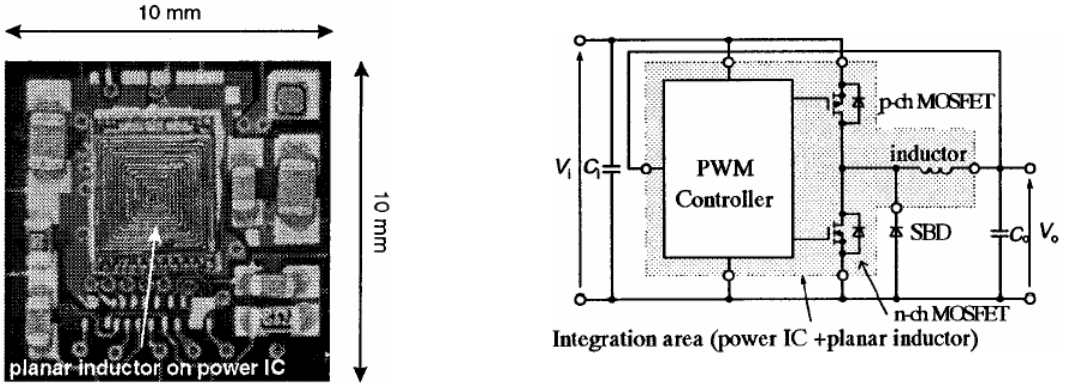
Plusieurs équipes ont tenté de réaliser des convertisseurs DC-DC pour prouver l'efficacité de leurs inductances intégrées. La plupart du temps, ces convertisseurs sont conçus avec des technologies hybrides : les inductances intégrées sont insérées dans un circuit avec des composants discrets CMS.

Ainsi, l'équipe de Kim [69] présente un convertisseur hybride ZVS-CV (Zero Voltage Switching – Clamp Voltage) sur la base de l'inductance présentée précédemment. Avec une tension d'entrée de 4,5V, le convertisseur fournit une tension de sortie de 3,5 V sous 300 mA avec 80 % de rendement à 1,2 MHz.

A partir de son inductance à double enroulement, Sato publie également un convertisseur Boost fonctionnant à 5 MHz [70]. A partir d'une tension d'entrée de 3,6 V, le convertisseur fournit une puissance de sortie de 2W sous une tension de 4,7 V. Le rendement maximal atteint est de 80 %.

La réalisation la plus significative dans l'intégration monolithique d'un convertisseur de puissance reste celle de l'équipe de Katayama [71]. En effet, leur module est constitué d'un étage intégré PWM avec driver pilotant la commutation de deux LDMOSFET (Figure 1.35). Une inductance planaire est fabriquée par dessus avec des conducteurs de 93 µm de large, épais de 35 µm et espacés de 20 µm. Le matériau magnétique est constitué d'une couche de 9 µm de CoHfTaPd. Le convertisseur est reporté sur un circuit imprimé comportant les composants externes non intégrés (condensateurs CMS essentiellement). Le boitier final représente une surface de 1 cm^2. L'inductance occupe une surface de 0,16 cm^2, soit 16 % du composant final.

Avec une tension d'entrée de 5V, le convertisseur fournit une puissance de 1 W sous 3 V avec 75 % de rendement à 3 MHz. Dans ces conditions de fonctionnement, l'inductance est de 0,96 µH avec un facteur de qualité de 4,3. La résistance, de 0,9 Ohm en DC, augmente jusqu'à 4,2 Ohm à 3 MHz.



a) b)

Figure 1.35. Convertisseur intégré proposé par Katayama [71]

a) Vue de dessus du convertisseur avec composants externes, b) Schéma électrique du convertisseur.

Les performances électriques observées pour chacun des convertisseurs sont rassemblées dans le tableau I.10. Si le type de structure de conversion varie d'une équipe à l'autre, certaines caractéristiques communes apparaissent. La fréquence de commutation est supérieure à 1 MHz et ne dépasse pas 8 MHz [70]. De plus, les résistances DC sont de l'ordre de l'Ohm et croissent considérablement (jusqu'à 10 fois la résistance DC) avec la fréquence. Les rendements ne dépassent pas 80 % pour des puissances disponibles en sortie de l'ordre du Watt.

Equipe	Type de convertisseur	L (µH)	R_{DC} (Ohm)	R_{AC} (Ohm)	Q	$f_{switching}$ (MHz)	V_{in} (V)	V_{out} (V)	I_{out} (A)	P_{out} (W)	Rendement
Kim [69]	ZVS	1,6	2,1	4	2	1,2	4,5	3,5	0,3	1	80%
Sato [70]	Boost	0,3	0,18	1,2	6	5	3,6	4,7	0,125	2	80%
Katayama [71]	Buck	0,96	0,9	4,2	4,3	3	5	3	0,350	1	75%

Tableau I.10. Tableau comparatif des performances de convertisseurs de puissance intégrés en technologie hybride.

V-3. Synthèse.

Pour le fonctionnement des alimentations à découpage le rôle des inductances, consistant à stocker et déstocker l'énergie et véhiculer de forts courants, est essentiel. Les structures inductives concernées se distinguent alors fortement de celles misent en œuvre dans des applications dites de signal. Si les performances des deux types d'inductances peuvent être évaluées par le facteur de qualité *Q* et la bande fréquentielle d'utilisation, l'application de puissance amène une contrainte supplémentaire, le courant. La valeur d'inductance, de résistance série et le volume du composant deviennent alors une préoccupation centrale dans le dimensionnement du composant, et va se traduire par l'utilisation de topologies spécifiques, employant notamment des noyaux magnétiques volumineux.

Le dimensionnement et la réalisation de telles structures est une étape importante dans celui d'un convertisseur de puissance. En effet, nous avons vu dans l'exemple d'un Buck que la valeur d'inductance va déterminer le taux d'ondulation du courant de sortie et influencer le choix du condensateur de filtrage. Pour cela, la réalisation du compromis de la valeur d'inductance la plus élevée avec la résistance série la plus petite possible dans un faible volume, représente une difficulté majeure mais néanmoins indispensable pour augmenter la compacité des filtres de sortie avec de hauts rendements énergétiques.

En cela, l'augmentation des fréquences de commutation des convertisseurs rend possible l'utilisation d'éléments *L* et *C* plus faibles en valeur et en taille, autorisant des di/dt du courant de sortie plus importants. A terme, l'augmentation des fréquences ouvre la possibilité d'intégrer complètement le convertisseur avec son filtre de sortie. A ce stade, de nombreux problèmes technologiques apparaissent. Les moyens actuels ne permettent pas d'atteindre des densités de capacité suffisante. Egalement, l'état de l'art de l'intégration d'inductances fait apparaître des résistances élevées qui sont incompatibles avec le passage d'un fort courant. Ces fortes résistances sont liées à la structure même de l'inductance qui a été choisie planaire afin de garantir un fonctionnement au-delà du MHz. Concernant ce type de composant, l'intégration fait apparaitre des limitations supplémentaires inhérentes à l'utilisation d'un substrat semiconducteur. Le couplage capacitif et magnétique de l'inductance avec celui-ci donne lieu à des circulations de courants générant des pertes d'énergie qui dégradent le facteur de qualité et limitent la fréquence maximale d'utilisation. Nous avons alors vu que l'influence de ces parasites peut être réduite par l'utilisation d'un substrat complètement isolant. La montée en fréquence provoque par ailleurs une augmentation de la résistance alternative qui, avec les pertes en conduction continue, génère des pertes Joules excessives. Sur ce dernier point, les exemples de mise en œuvre d'inductances planaires micro-usinées sur silicium dans des convertisseurs montrent que cette résistance limite le courant de sortie ainsi que le rendement de conversion.

Nous avons choisi de travailler avec des inductances planaires pour leur facilité de réalisation mais également parce qu'elles permettent de dépasser le MHz. Ce comparatif a mis en lumière le problème actuel dans le dimensionnement d'une inductance planaire intégrée : la réduction de la

résistance série en DC et en AC. Aussi, nous nous proposons d'étudier cette structure afin de définir des solutions pour la réduction de la résistance série.

6. Conclusion

La conversion de l'énergie pour les systèmes autonomes est un élément qui pèse sur le développement de nombreux domaines de l'électronique embarquée. Par exemple, la diffusion de microsystèmes communiquant (étiquettes intelligentes, micro-capteurs, micro-actionneurs) sont présents dans des domaines d'applications divers (médical, militaire, industrie, environnement…). La gamme de puissance nécessaire se situe entre 0,1µW et 0,1W. Egalement, des systèmes plus complexes dotés de un ou plusieurs microprocesseurs et mémoires, apparaissent à la faveur de la miniaturisation des circuits (téléphones portables, GPS…). La gamme de puissance requise se situe au delà du Watt. Les problématiques de la conversion / gestion de l'énergie sont fortement dépendantes de la source et principalement de l'application. L'aspect disséminé du besoin énergétique oriente naturellement les recherches vers des architectures de réseaux de production énergétique intelligents et distribués. A cela s'ajoute la nécessité de portabilité pour ces systèmes électroniques, rendant inéluctable l'intégration monolithique des convertisseurs de puissance pour des raisons de plus grande densité de puissance.

Dans la première partie de ce chapitre, les éléments économiques relevés dans la littérature ont permis de mettre en lumière l'intérêt croissant pour les systèmes de gestion de l'énergie et d'alimentation pur des applications embarquées, quelque soit le niveau de puissance considéré. Grâce aux progrès de la microélectronique, les produits électroniques portables se multiplient et offrent toujours plus de fonctionnalités. La diversité des charges à alimenter s'accompagne alors de celle des niveaux de courant et de leur transitoires ainsi que d'une grande variété des tensions d'alimentation. Cette pluralité provoque finalement, une hausse de la consommation globale en courant et les pertes Joules associées. Cette diminution rendue possible par la réduction des tailles de transistors, obligent les convertisseurs à travailler à des rapports cycliques extrêmes pour lesquels les rendements ne sont pas optimums. L'ensemble de ces évolutions amènent alors à la remise en question de l'efficacité des architectures d'alimentation ainsi que des structures de conversion.

Dans la deuxième partie, une revue de l'évolution des architectures et des structures de puissance a été menée. Une évolution claire vers la distribution des étages de conversion, ou PoL, est apparue. Ces convertisseurs sont dimensionnés pour garantir une stabilité de tension de sortie et une dynamique en courant spécifiques à une fonction donnée. Les structures utilisées sont essentiellement abaisseuses de tension de type Buck et Buck-Boost. Constitués de peu de composants, ils sont très compacts et peuvent être placés au plus près de la charge pour limiter les pertes et optimiser la dynamique. L'importance de l'augmentation des fréquences de commutation a également été mise en évidence. La taille des filtres de sortie pourra alors être diminuée au profit de la dynamique et de la compacité des convertisseurs. Néanmoins, les très hautes fréquences (>5 MHz) ne peuvent pas encore être atteintes à cause des capacités parasites des interrupteurs. Des structures moins classiques ont également été évoquées, pour répondre à divers besoins. Par exemple, pour les forts courants, la mise en parallèle de plusieurs buck (ou structure interleaving) est souvent citée. L'analyse de son fonctionnement montre qu'une réduction notable de l'ondulation du courant de sortie est possible, autorisant un gain de volume au niveau des éléments passifs. Nous avons vus que la réduction des dimensions des convertisseurs est limitée par la taille des composants passifs des filtres d'entrée et de sortie. L'intégration de tels composants est difficile car les valeurs atteintes sont insuffisantes pour une application de puissance et les éléments parasites non négligeables.

Un état de l'art de l'intégration des inductances a été établi dans la troisième partie. A l'heure actuelle, les composants magnétiques intégrés sont essentiellement employés dans des applications RF. Réalisés en technologie CMOS, leur section est faible, les rendant inappropriés au transfert de

forts courants. De plus, dans l'objectif de les utiliser dans un convertisseur de type DC/DC, leurs valeurs sont trop faibles (quelques dizaines de nH) pour le lissage du courant dans la gamme 1 MHZ – 10 MHz. Les inductances intégrées, destinées à la puissance, présentent de fortes valeurs d'inductance (≈1 µH), en comparaison avec les composants dédiés aux RF, et vont de pair avec une résistance série élevée. Ces dernières sont également sujettes à des pertes d'énergie dans le substrat. La littérature montre également des exemples d'inductances ayant été testées dans des convertisseurs de puissance. La comparaison des essais montrent que les fréquences de commutation restent autour de quelques mégahertz et que les rendements sont limités par un facteur de qualité faible, lié à la fois à une petite inductance et des résistances DC et AC élevées. Pour que l'intégration des convertisseurs soit envisageable, l'utilisation d'inductances à plus hautes fréquences avec des résistances DC et AC plus faibles est indispensable. Si les techniques microélectroniques pour la réalisation d'inductances existent, leur dimensionnement reste un obstacle. Par conséquent, sur la base des moyens technologiques existants et de la connaissance des phénomènes physiques, une étude systématique du composant doit être réalisée afin de déterminer une démarche de conception d'inductances hautes fréquences optimisées en résistance.

Chapitre 2 :
Méthodologie de conception optimisée d'inductance intégrée.

1. Introduction

L'analyse des contraintes effectuée au chapitre I, reposant sur les différents composants constituant un convertisseur statique, fait apparaître les difficultés actuelles pour l'intégration de composants passifs et en particulier des inductances. Les réalisations publiées à ce sujet dans le domaine des radios-fréquences (RF) démontrent que l'évaluation du comportement inductif d'un enroulement et de sa résistance parasite associée est possible, quelle que soit sa géométrie. Des approches empiriques sont utilisées (régression sur des résultats expérimentaux) ou plus largement, des logiciels de simulation 3D. La difficulté dans le contexte de l'intégration de puissance provient des très fortes densités de courants ajoutant des contraintes supplémentaires par rapport à l'intégration d'éléments inductifs pour la RF induisant des paramètres supplémentaires lors du dimensionnement pour que ces composants soient utilisables dans des circuits de conversion de l'énergie tout en présentant un haut rendement de conversion. Ces composants sont en effet soumis à des courants, de valeur moyenne non nulle auxquels se superposent des faibles courants alternatifs à haute fréquence (appelés taux d'ondulation). De plus, les valeurs d'inductance doivent être assez élevées pour limiter l'ondulation de courant mais l'ensemble doit également présenter un minimum de pertes, ainsi qu'une surface occupée la plus réduite possible. L'intégration sur un substrat semi-conducteur requiert alors la prise en compte d'éléments parasites apparaissant à haute fréquence ainsi que l'étude de solutions techniques pour limiter les pertes d'énergies. De par la diversité des paramètres et des mécanismes physiques intervenant dans le fonctionnement d'une inductance intégrée destinée à la conversion de puissance, les études systématiques de chacun des paramètres sont nécessaires pour en mesurer réellement leur influence.

Le domaine d'application étant large, nous nous sommes fixés comme objectif préliminaire de faire apparaître les paramètres critiques pour le dimensionnement d'une inductance pour une application de faible puissance et une plage fréquentielle de fonctionnement limitée à 100 MHz. A partir de cette étude, nous avons élaboré une méthode de dimensionnement, faisant le lien entre la géométrie du composant et ses caractéristiques électriques. Dans ce contexte, nous avons tout d'abord étudié les phénomènes physiques liés au caractère inductif et résistif de spirales planaires dans le but

d'élaborer des inductances relativement simples du point de vue technologique. A partir des équations et d'une définition géométrique normalisée du composant, nous avons mis en place un outil d'étude numérique permettant aujourd'hui d'analyser rapidement les liens entre les paramètres géométriques et les paramètres électriques du composant. L'influence de la montée en fréquence a également fait l'objet d'une étude par la prise en compte des couplages électriques et magnétiques avec un substrat semi-conducteur ainsi que le couplage magnétique entre les conducteurs. En particulier, nous avons isolé les causes principales des pertes d'énergie dans le substrat. Dans ce cadre, nous avons recherché les mécanismes à la source de la répartition inhomogène des courants dans les conducteurs en hautes fréquences. Cette première partie d'étude exposée dans ce chapitre s'est soldée par la proposition d'une méthodologie d'optimisation d'inductance intégrée ayant pour objectif d'obtenir une valeur d'inductance présentant le minimum de pertes Joules, dont nous avons signalé dans ce manuscrit les grandes lignes. Cette méthodologie se base sur l'utilisation d'un modèle simple développé par nos soins, dont l'objectif est le dimensionnement rapide de l'inductance et de la résistance d'une bobine planaire.

La deuxième partie de ce chapitre est consacrée aux inductances couplées. En effet, les contraintes de réalisation ne permettent pas toujours d'obtenir les performances souhaitées avec une inductance à une seule spire. L'association de plusieurs spires permet d'atteindre les objectifs recherchés notamment avec plusieurs bobines élémentaires couplées. D'autre part, certaines structures de conversion utilisent plusieurs inductances magnétiquement couplées comme les transformateurs de Forward ou le filtre de sortie de convertisseurs multiphases. Ces constatations montrent qu'il est déterminant de maîtriser l'association de bobines et en particulier de savoir évaluer le couplage magnétique et ses conséquences sur le comportement fréquentiel des composants. Après avoir identifié les topologies appropriées à l'intégration d'inductances couplées, nous enrichissons le modèle simple initial pour lui donner la capacité d'évaluer les mutuelles inductances entre plusieurs bobines. Ce modèle a été validé à l'aide d'un outil de simulation aux éléments finis, Coventorware. Ensuite, de ce modèle, nous avons étudié les associations en série et en parallèle d'inductances afin de déterminer si, grâce au couplage magnétique entre les bobines, il est possible d'optimiser la résistance et/ou la surface occupée pour une valeur d'inductance donnée. Cette partie se conclue par la proposition d'une méthodologie de conception de telles structures inductives en considérant les contraintes électriques rencontrées dans des cas concrets de réalisation d'alimentations à découpage.

2. Les phénomènes physiques induisant un comportement inductif d'une spirale planaire.

La recherche d'expressions numériques simples, permettant le calcul de l'inductance d'un circuit, a d'abord été nécessaire dans le domaine RF pour un certain nombre de fonctions électroniques. Si au début du XX^{ème} siècle, les applications se cantonnaient à la réalisation d'antennes et de filtres radio pour les transmissions, aujourd'hui la plupart des contributions concernent la conception RF et plus précisément les RFIC (Radio Frequency Integrated Circuits). Ainsi, pour l'intégration d'inductances, le travail de S. Mohan est souvent cité car il établit une comparaison de méthodes numériques simples à mettre en œuvre [72]. Parmi celles-ci, nous trouvons une expression tirée des travaux de Wheeler [73] de 1928 et modifiée dans [72] pour permettre le calcul d'inductances planaires intégrées de forme carré, hexagonale et octogonale. Une autre approche est présentée dans [72] consistant à approximer les conducteurs par des couches symétriques de courants reflétant la répartition des densités de courant. Cette expression, appelée « Current sheet approximation », permet de calculer l'inductance de bobines carrées, hexagonales, octogonales et circulaires.

Nous avons pu constater, qu'à partir d'une comparaison entre des résultats expérimentaux et les expressions de Wheeler modifiée puis celle basée sur les couches de courant, ces dernières n'offraient pas une précision suffisante pour le calcul d'inductances [74]. De plus, aucune formulation de la résistance n'est proposée. Cela empêche tout travail d'optimisation du composant vis-à-vis des pertes. Enfin, le dimensionnement des bobines devenant complexe à cause de leur structure (plusieurs spires associées), ces expressions ne pouvant servir à étudier le couplage magnétique entre deux circuits élémentaires, nous n'avons pas poursuivi les travaux sur cette base.

Le travail de Greenhouse [74, 75, 76] est également souvent cité. Il concerne le calcul d'une inductance orthogonale. Greenhouse propose de découper le bobinage en une série de brins rectilignes correspondant aux quatre cotés de la bobine puis calcule l'inductance propre de chaque brin et les mutuelles inductances entre ces mêmes conducteurs. Le calcul de l'inductance propre de la bobine fait intervenir les paramètres de largeur w, d'épaisseur t et de longueur l du conducteur ainsi que le nombre de brins N_c, égal à quatre fois le nombre d'enroulements N constituant une bobine. Finalement, l'inductance totale s'obtient en sommant l'inductance propre de la bobine et les inductances mutuelles. Cette méthode se révèle précise mais pour le calcul d'inductances de bobines de forme orthogonale. Or, il est facile de démontrer que quand des densités de courant élevées circulent [75], une forme circulaire est plus appropriée à la circulation de courant et permet un gain de 20% en termes de facteur de qualité. Aussi, il a été indispensable au cours de cette thèse de mettre en place un modèle analytique de calcul d'inductances planaires circulaires pour pouvoir avoir une base théorique de dimensionnement.

A partir des travaux de Grover et de sa compilation approfondie des tables et des formules, publiées en 1946, nous avons pu calculer la valeur de l'inductance fonctionnant en basse fréquence pour diverses configurations de boucles, enroulements, tores, et spirales [77]. A partir de la définition de la forme géométrique du circuit (type de section de conducteur, facteur de forme), Grover propose des expressions simplifiées de formules exactes, attribuables à Maxwell ou Rosa, [77]. Dans chaque cas, Grover précise le domaine de validité sur lequel chacune de ses expressions peut être utilisée.

Pour l'intégration d'inductances RF, les principales publications traitant d'un dimensionnement complet d'une inductance planaire intégrée sont celles de Niknejad [78] et de Yue [79]. Le premier se base sur un découpage des spirales en plusieurs segments élémentaires pour lesquels il calcule la matrice impédance tenant compte des valeurs d'inductance et de résistance propres mais également de l'environnement au travers des couplages capacitifs et magnétiques entre les conducteurs et le substrat. Cette technique a été mise en œuvre dans le logiciel ASITIC qui, à partir des paramètres géométriques de la bobine, assure la résolution matricielle [78]. Dans ce cadre, Niknejad s'est servi des expressions de Grover pour calculer les valeurs d'inductance propre et mutuelle en basse fréquence de chacun des segments constituant une bobine. Ce programme se révèle précis mais étant dédié à des applications RF CMOS, l'optimisation de la résistance série n'apparaît pas de façon évidente. De plus, les simulations en fréquence se révèlent longues. Yue propose une démarche de dimensionnement d'inductance RF dans [79]. Il calcule les valeurs d'inductance à partir des formules de Grover et tient compte de l'environnement de l'inductance par le calcul des interactions avec le substrat. Comme dans la plupart des travaux publiés dans le domaine RF, l'étude est centrée sur une méthode de prédiction du facteur de qualité maximum, de la fréquence de travail et de résonance du composant inductif. Par conséquent, la partie DC de la résistance n'est pas abordée de manière détaillée, à l'inverse de la partie AC. La prise en compte des effets de la montée en fréquence sur la résistance est alors assurée par une modélisation monodimensionnelle des effets de peaux. Cette méthode a pour avantage de quantifier de manière simple les éléments parasites inhérents à une intégration sur silicium. Toutefois, les effets de couplage magnétique entre plusieurs conducteurs ne sont pas abordés de manière numérique, mais au travers d'outil de simulation aux éléments finis.

D'autres domaines connexes montrent l'intérêt porté au recueil de formules de Grover. Le site de Microchip a diffusé une note d'application pour la conception d'un système RFID et cite en référence les travaux de Grover pour le dimensionnement des antennes [80]. Ces expressions sont également reprises pour évaluer les inductances de lignes d'interconnexion afin de déterminer les retards de propagation et les interactions avec leur environnement [10, 11] ainsi que pour étudier les stratégies de routage des lignes d'alimentation et en augmenter leur immunité au bruit [83].

Dans le domaine des composants inductifs intégrés pour la puissance, ces expressions sont également prises comme base pour le calcul d'inductance. Peu de travaux sont publiés à ce sujet, mais nous pouvons citer les travaux de Hurley & Duffy [84] et plus récemment ceux de Musunuri & Chapman [85] parmi les plus significatifs. Les premiers ont développé un modèle d'impédance d'une structure inductive planaire constituée d'enroulements pris entre deux couches de matériaux ferromagnétiques. La deuxième équipe se base sur les travaux de Grover pour le dimensionnement rapide d'une inductance planaire carrée suivis par une validation expérimentale. Si, dans les deux cas, la précision des calculs est discutée, aucune méthodologie n'est en revanche proposée pour effectuer le choix des paramètres géométriques des inductances.

Un manque évident apparaît ici concernant l'approche du dimensionnement des inductances intégrées pour la conversion de puissance. Dans ce domaine précis, les choix des paramètres géométriques ne peuvent se faire uniquement en fonction de critères de fonctionnement en fréquence. L'évaluation des valeurs DC de l'inductance et de la résistance constitue au contraire la première étape importante pour éviter les pertes. Par conséquent, nous avons établi une méthode de conception d'inductances planaires tenant compte des contraintes en courant. Mais, étant donnée la lourdeur des temps de calculs à l'aide d'outils de simulations 3D, nous avons aussi établi un modèle simple pour rendre la méthode pertinente. Pour établir ce modèle, nous sommes alors reparti des formules de Grover qui sont un moyen fiable de calcul de L dans une certaine mesure, que nous avons enrichi d'expressions permettant le calcul des mutuelles inductances afin de prévoir l'étude de l'association de plusieurs bobines magnétiquement couplées. Une fois la partie DC du modèle mise en place, nous l'avons comparé avec ceux fournis par un logiciel de simulation aux éléments finis, Coventorware afin de la valider. Nous avons alors effectué une étude systématique dans l'objectif d'édicter des règles pour la conception d'inductances planaires intégrées, optimisées en résistance dont les principaux résultats sont montrés dans le paragraphe II.2.

II-1. Etablissement d'un modèle analytique simple pour le dimensionnement d'inductances circulaires

Une bobine plane, quelle que soit sa forme, est géométriquement décrite par cinq paramètres (Figure 2.1). Ces paramètres sont la largeur w et l'épaisseur t des conducteurs, leur espacement s mais aussi le nombre de tours N. Le dernier paramètre est la surface occupée par le composant sur le substrat déterminée par le diamètre extérieur d_{out}. A partir de ces paramètres, un modèle analytique assez précis peut être établi en vue de déterminer l'inductance série et la résistance série du composant complet.

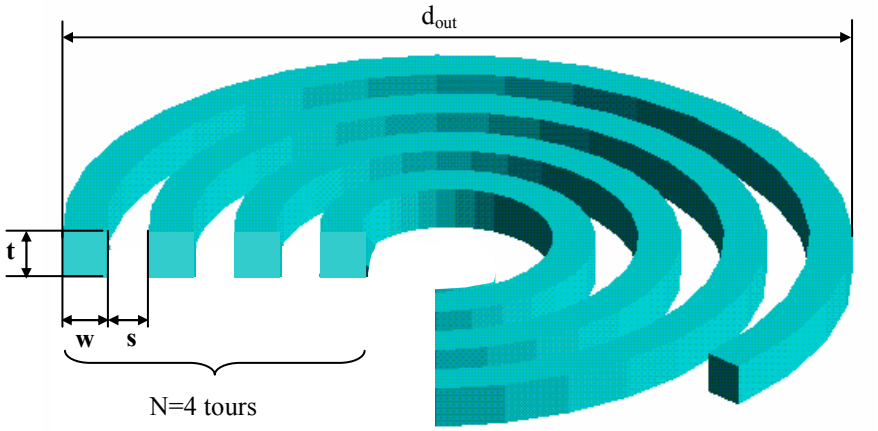
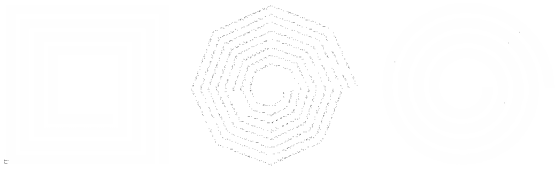


Figure 2.1. Définition des paramètres géométriques décrivant une inductance planaire spirale.

Nous avons tout d'abord concentré nos efforts sur l'étude de la forme des inductances planaires pour en augmenter leurs performances en conversion de puissance. En effet, trois principales formes reviennent régulièrement : carrée, octogonale et circulaire (Figure 2.2).

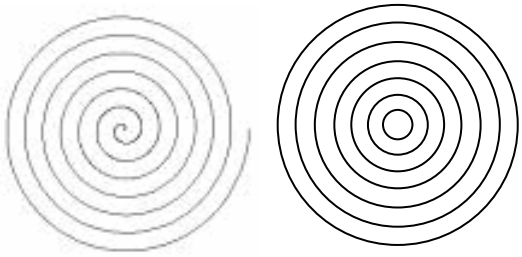


a) b) c)

Figure 2.2. Trois principales formes élémentaires d'inductances planaires les plus utilisées
a) Carrée, b) Octogonale, c) Circulaire

La forme carrée est très utilisée car elle est facile à dessiner à l'aide d'outils de CAO. En effet, lorsque le problème est considéré du point de vue de la création des masques optiques, il apparaît que les structures à angles droits sont plus faciles à réaliser avec un minimum de défauts. En RF, les designers apprécient les formes polygonales (Figures 2.2.b) et 2.2.c)) car elles présentent des facteurs de qualité et des fréquences de résonnance de 10% à 20% supérieures aux inductances orthogonales (Figure 2.2.a) [86-89]. Par ailleurs, les travaux initiés dans le cadre du stage de DEA nous ont permis de vérifier que la circulation du courant était facilitée par la suppression des angles vifs [75]. Pour ces raisons et étant donné le domaine d'application visé, nous avons choisi de concentrer notre travail sur des inductances circulaires en mettant au point un modèle analytique capable de calculer rapidement et de manière précise les valeurs de L et R de telles bobines.

Cette forme d'inductance est difficile à modéliser simplement car elle ne peut être découpée en brins élémentaires, plus simples à calculer, comme dans le cas du calcul de l'inductance d'une bobine orthogonale décrit dans les travaux de Greenhouse [76]. Nous nous sommes alors intéressés à une autre méthode traitant le calcul de mutuelles inductances entre l'enroulement primaire et secondaire d'un transformateur 'discret' [90].



a) b)

Figure 2.3. Approximation d'une structure spirale à un ensemble de cercles concentriques aidant la modélisation
a) Inductance spiralée, b) Structure équivalente avec des cercles concentriques

En effet, au lieu de découper la bobine en brins élémentaires, cette méthode propose d'approximer la structure spirale de n tours (Figure 2.3.a) à un ensemble de n cercles concentriques (Figure 2.3.b). Ainsi, lorsqu'il est possible de calculer l'inductance propre L_{ii} de chacun des n cercles élémentaires et les différentes mutuelles inductances L_{ij}, existantes, nous pouvons obtenir l'inductance de la bobine considérée à l'aide d'une sommation définie par l'expression (2.1) et dont la démonstration a été placée en Annexe I :

$$L = \sum_{i=1}^{n} \left(L_{ii} + \sum_{\substack{j=1 \\ j \neq i}}^{n} L_{ij} \right) \tag{2.1}$$

Le couplage élémentaire entre les conducteurs peut être obtenu en calculant les différentes mutuelles inductances L_{ij}. Pour cela, nous avons utilisé la formule de Neumann (Annexe I), que nous rappelons ici sous sa forme généralisée (2.17) [81].

$$L_{ij} = \frac{\mu_0}{4\pi} \int_{c_i} \int_{c_j} \frac{\vec{dl_i} \cdot \vec{dl_j}}{R} \tag{2.2}$$

où μ_0 est la perméabilité du vide et R la distance entre deux points pris sur chacun des deux enroulements considérés.

Cette distance R se calcule par la relation 2.3 :

$$R = \left\| \vec{r_i} - \vec{r_j} \right\| \tag{2.3}$$

où r_i et r_j sont les rayons respectifs des cercles considérés.

Il peut être constaté que la mutuelle inductance est principalement dépendante de la distance relative d'un circuit par rapport à un autre. Ainsi, le calcul de la mutuelle inductance nécessite la connaissance de la position relative de chaque enroulement par rapport aux autres. Comme nous travaillons dans un contexte d'intégration d'inductances coplanaires, la situation peut-être représentée par la figure 2.4.

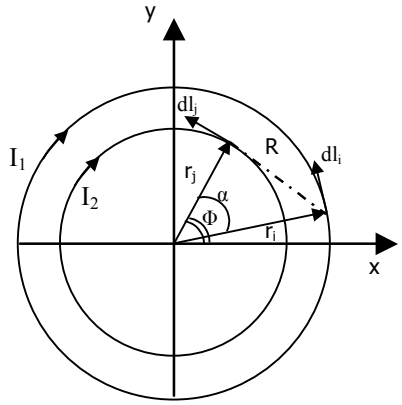


Figure 2.4. Etablissement des paramètres pour le calcul de la mutuelle inductance entre deux enroulements d'une inductance planaire circulaire.

Nous avons supposé que la disposition des cercles est concentrique, et par conséquent, la distance *R* peut être calculée en utilisant la relation de Chasles pour obtenir l'expression (2.4) :

$$R = \left\| \overrightarrow{r_i} - \overrightarrow{r_j} \right\| = \sqrt{r_i^2 + r_j^2 - 2 r_i r_j \cos(\alpha)} \tag{2.4}$$

où α est l'angle formé par les vecteurs rayons $\vec{r}_i$ et $\vec{r}_j$.

Pour la résolution de l'intégrale double sur un contour circulaire, les constantes d'intégration dl_i et dl_j, correspondant à un repère cartésien, doivent être remplacées par leur équivalent dans un repère cylindrique. Nous obtenons alors les relations suivantes :

$$d\vec{l}_i = \vec{r}_i d\alpha \tag{2.5}$$

$$d\vec{l}_j = \vec{r}_j d\Phi \tag{2.6}$$

$$d\vec{l}_i . d\vec{l}_j = \left\| \vec{r}_i \right\| . \left\| \vec{r}_j \right\| . \cos(\alpha) . d\alpha d\Phi \tag{2.7}$$

En injectant (2.7) et (2.4) dans (2.2), nous obtenons l'expression (2.8) :

$$L_{ij} = \frac{\mu_0}{4\pi} \int_{\phi} \int_{\alpha} \frac{r_i . r_j . \cos(\alpha) . d\alpha d\Phi}{\sqrt{r_i^2 + r_j^2 - 2 r_i r_j \cos(\alpha)}} \tag{2.8}$$

La double intégration est réalisée sur α et Φ pris tous deux entre 0 et 2π, décrivant ainsi les circonférences des deux cercles. La résolution de (2.8) aboutie à une expression constituée de fonctions elliptiques. Nous choisissons alors de résoudre l'expression (2.8) à l'aide de Matlab possédant déjà une bibliothèque mathématique, permettant une résolution numérique assez précise de l'intégrale double.

Concernant le calcul de l'inductance propre L_{ii}, nous ne pouvons pas utiliser directement la formule de Neumann. En effet, cela reviendrait à imposer $r_i = r_j$ dans (2.4), aboutissant à une division par zéro et à l'impossibilité de résoudre (2.8). Le recueil de formules de Grover [77] nous propose une expression de l'inductance propre d'un circuit circulaire (2.9), basée sur les travaux de Stefan publiés en 1884 :

$$L_{ii} = 0.001 . a . N^2 . P_0 \tag{2.9}$$

où L_{ii} est l'inductance propre du cercle considéré, *a* représente le rayon de l'enroulement (m), *N* le nombre de tours (pris égal à 1).

P_0 est une variable calculée à partir de l'expression approchée (2.10) :

$$P_0 = 4\pi.\left[\frac{1}{2}.\left\{1+\frac{1}{6}.\left(\frac{c}{2a}\right)\right\}ln\frac{8}{\left(\frac{c}{2a}\right)^2}-0.84834+0.2041.\left(\frac{c}{2a}\right)^2\right] \tag{2.10}$$

où c est la largeur du conducteur (m).

Le domaine de validité de (2.9) est précisé par Grover ($0 < c/2a < 1$ et $b/c = 1$) et correspond à un cercle à section carrée, dont le diamètre est grand devant les dimensions du conducteur.

Nous avons ensuite établi le calcul de la résistance équivalente série, R d'une inductance circulaire. Reprenant l'approximation de la spirale de n tours à un ensemble de n cercles concentriques, la résistance série peut alors se calculer en sommant les résistances partielles R_i de chacun des cercles élémentaires :

$$R = \sum_{i=1}^{n} R_i \tag{2.11}$$

Les résistances partielles des cercles de rayons r_i, se calculent à partir de leurs périmètres, de leurs sections de conducteur correspondant au produit $w.t$ et de la résistivité ρ du matériau utilisé (2.12) [79, 91]:

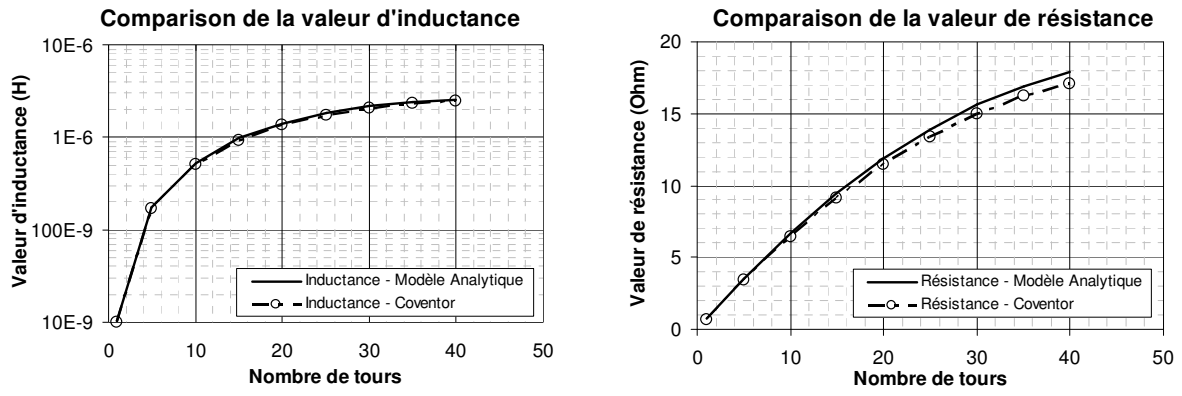
$$R_i = \frac{\rho.(2\pi r_i)}{w.t} \tag{2.12}$$

Ce modèle analytique simple, établi pour l'étude systématique de composants passifs inductifs, a fait l'objet de validations afin de connaître sa précision sur les valeurs d'inductance et de résistance en fonction des paramètres géométriques et de la fréquence comme il est traité dans le paragraphe suivant.

II-2. Influence de la géométrie sur le comportement inductif d'une spire planaire

II-2-1. Validation des modèles

Le modèle présenté dans le paragraphe précédent pour le calcul d'inductances et de résistances des bobines circulaires a été comparé aux résultats fournis par Coventorware. En effet, ce logiciel de simulation aux éléments finis a été notre référence initiale car il avait été préalablement validé pour le calcul d'inductance et de résistance lors des travaux de thèse de Bruno Estibals [55] et puis de mon DEA [75]. Cette étape avait un double objectif de validation : valider le modèle par rapport à d'autres outils de simulation en attendant d'effectuer cette validation par rapport à des résultats expérimentaux. Cette validation a été menée en considérant comme constants, les paramètres de diamètre extérieur (3000µm), de largeur (15µm), d'espacement (15µm) et d'épaisseur de conducteur (15µm). Le nombre de tours, reste le seul degré de liberté. Nous avons choisi ce jeu de paramètres afin d'avoir des densités de courant élevées. La comparaison des valeurs d'inductance en fonction du nombre de tours (Figure 2.5.a) montre l'accord entre les deux outils de simulation. L'écart entre les valeurs d'inductance est en effet inférieur à 6 %. L'évolution de la résistance série en fonction du nombre de tours (Figure 2.5.b) est équivalente pour les deux méthodes tant que le nombre de tours n'est pas trop important. L'écart constaté est néanmoins inférieur à 5% et reste donc tout à fait acceptable. Ayant démontré par ailleurs, que Coventorware était un outil de simulation d'inductance performant, cette première étude comparative a permis de valider notre modèle analytique et l'approximation géométrique effectuée de cercles concentriques décrits en figure 2.3.



a) b)

Figure 2.5. Comparaison du modèle analytique avec une modélisation à l'aide de Coventorware en fonction de *N*
a) Valeurs d'inductances, b) Valeurs de résistances

Cette validation nous a permis de disposer d'un modèle suffisamment précis qui par ailleurs ne nécessitait pas de temps de calculs trop importants. Des études systématiques ont alors été effectuées pour observer l'influence des paramètres géométriques sur *L* et *R*. C'est à partir de ces dernières que nous avons établi une méthodologie de conception de composants inductifs devant être les moins résistifs possibles. Le deuxième intérêt de cette modélisation est que très rapidement un ensemble de paramètres géométriques optimisé peut être défini en fonction d'un cahier des charges. Cela facilite d'autant la conception d'un masque optique destiné à la réalisation technologique des inductances.

II-2-2. Etude du ratio *R/L* en fonction des paramètres géométriques

Pour effectuer un dimensionnement d'inductance optimisée pour fonctionner en puissance, nous devons déterminer la meilleure stratégie de bobinage afin d'atteindre la valeur d'inductance désirée pour une résistance la plus faible possible.

Pour des applications de puissance, la section des conducteurs (*w.t*) est un facteur important car c'est ce paramètre qui détermine les niveaux moyens de courant maximums devant être supportés par le composant. Par ailleurs, l'étude de la littérature montre que si l'épaisseur du conducteur a peu d'influence sur la valeur d'inductance, elle va en revanche être déterminante sur la valeur de la résistance série [83]. La réduction de la largeur du conducteur augmente la valeur de l'inductance mais au prix d'une augmentation de la densité de courant et donc d'échauffements [75]. Pour cette raison, la section des conducteurs doit être considérée en premier pour l'exécution d'un cahier des charges et est alors fixée en fonction de la densité de courant maximale tolérée par la structure ainsi que de ses échauffements locaux maximaux. Dans ce cas, une fois la section fixée, il ne reste plus comme degré de liberté l'espacement, *s*, entre les conducteurs et le nombre de tours constituant la bobine. Nous choisissons un encombrement maximal pour illustrer cette étude avec un diamètre extérieur de bobinage fixé à 3000µm.

- Etude de l'influence du nombre de tours *N* pour un espacement *s* donné

La recherche du nombre de tours optimum correspond à la 2ème étape de notre étude, devant être effectuée après le choix de la section. Pour une surface occupée fixée par le diamètre extérieur maximum autorisé, le nombre de tours *N* est fini. Il reste à savoir s'il est préférable de bobiner l'inductance avec un fort taux de remplissage ou, au contraire privilégier des bobinages avec peu de tours. Pour cela, notre critère de choix sera établi en fonction du rapport *R/L* variant avec *N* pour une valeur d'espacement *s* fixée.

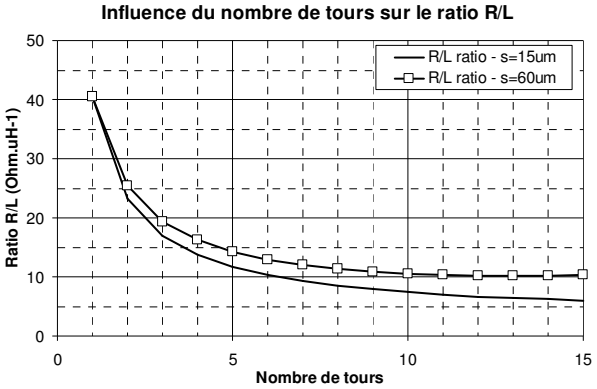


Figure 2.6. Variation de *R/L* avec le nombre de tours.

Pour un faible nombre de tours, la valeur du ratio *R/L* est élevée (Figure 2.6). Ceci signifie que l'inductance présente une résistance série trop élevée (40 ohm.μH^{-1}). Lorsque le nombre de tours augmente pour tendre vers un remplissage maximal, le ratio *R/L* se stabilise vers un minimum. Alors, l'inductance présente une résistance réduite (inférieure à 10 ohm.μH^{-1}).

D'autre part, nous constatons sur ce graphique que la diminution de *s* entre les conducteurs augmente la décroissance du ratio *R/L*. Une étude de la valeur d'inductance et de sa résistance en fonction de l'espacement entre les conducteurs est donc nécessaire.

- Etude sur l'espacement *s* à nombre de tours *N* donné

Pour un nombre de tours *N* donné, lorsque *s* augmente pour tendre vers son maximum, limité par d_{out} de la bobine pour un *w* fixé, le ratio *R/L* augmente (Figure 2.7). De ces courbes, nous pouvons conclure qu'une réduction de *s* va dans le sens de l'optimisation d'un composant inductif. De même, une augmentation de *N* permet, pour une valeur *s* donnée, de réduire le rapport *R/L*.

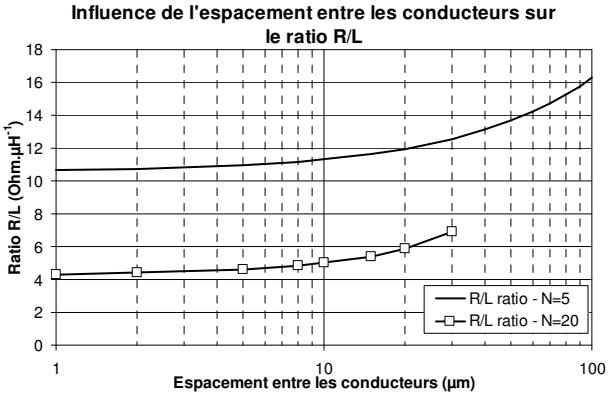
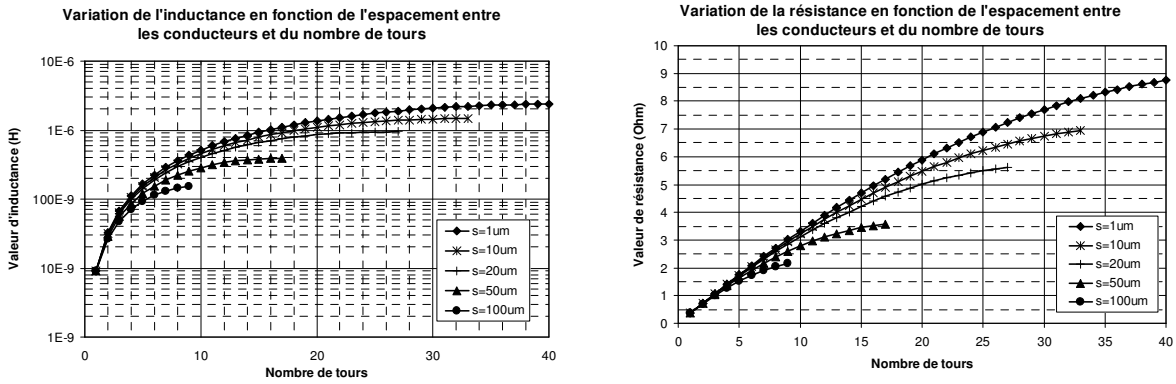


Figure 2.7. Influence de l'espacement entre les conducteurs sur le ratio *R/L*.

L'optimisation de la valeur de l'inductance vis-à-vis de la résistance passe donc par la recherche de l'espacement minimum entre les conducteurs et le nombre de tours maximum pour obtenir une inductance la plus remplie possible.

- Etude de *s* à *N* adapté pour obtenir un *L* constant

Cette étude vise, à partir d'un cahier des charges fixant une inductance *L* donnée, une configuration optimale sur une surface minimale associée à une résistance la plus faible possible. Pour cela, nous avons établi des faisceaux de courbes représentant la valeur d'inductance et de résistance en fonction du nombre de tours et pour différentes valeurs de *s* (Figure 2.8).



a) b)

Figure 2.8. Variation de l'inductance et de la résistance en fonction de *s* et de *N*
a) Valeur d'inductance, b) Valeur de résistance

L'analyse de ces courbes montre qu'une valeur d'inductance peut être obtenue avec différentes valeurs de *s* et *N* (Figure 2.8.a). En fixant une valeur d'inductance, nous avons déduit plusieurs couples de valeurs de *s* et de *N* et déterminé la résistance série associée à chacun de ces couples (Figure 2.8.b).

Le graphique qui en découle (Figure 2.9) montre qu'à valeur d'inductance fixe, la plus forte résistance est obtenue dans le cas d'un espacement maximum entre les conducteurs. En effet, lorsque l'espacement augmente, le couplage entre les conducteurs diminue ainsi que le diamètre extérieur de chaque spire, entraînant la baisse globale des valeurs d'inductance pour une même valeur de résistance. Pour compenser afin d'atteindre la valeur de *L* souhaitée, il est alors nécessaire d'augmenter le nombre de tours. La quantité de cuivre augmente alors, provoquant la hausse de la résistance série.

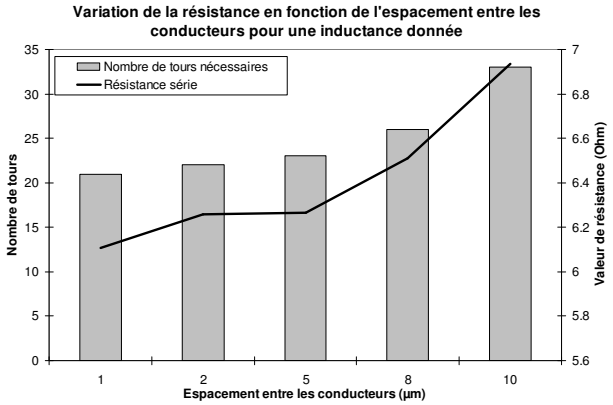


Figure 2.9. Variation de la résistance avec l'espacement entre conducteurs pour une valeur d'inductance donnée.

Ainsi, ce dernier graphique indique que la recherche d'un espacement minimum entre les conducteurs doit précéder la recherche du nombre de tours optimum pour obtenir la valeur d'inductance désirée avec la valeur de résistance la plus faible possible.

II-2-3. Synthèse

En opérant des variations sur les différents paramètres géométriques définissant le bobinage, plusieurs conclusions ressortent en vue d'établir une première méthodologie de dimensionnement. Ainsi, il faut tout d'abord traduire les contraintes imposées par un courant donné fixant en définitive la section du conducteur (*w* et *t* fixés et égaux initialement). Comme le ratio *R/L* minimum peut être

atteint en diminuant l'espacement s le plus possible tout en s'assurant que le taux de remplissage de la bobine est maximum, c'est à travers ces deux paramètres que l'on détermine ensuite les performances optimales d'une bobine. Divers calculs itératifs sont alors nécessaires pour obtenir les paramètres optimaux. En effet, les simulations à accomplir doivent tout d'abord se focaliser sur le choix de l'espacement minimum avant de déterminer celui du nombre de tours adéquat pour que le ratio *R/L* minimum soit atteint. Si l'encombrement global est trop grand, il faut redéfinir *s* puis *N* jusqu'à respecter le diamètre maximal d_{out}. Toutefois, ce dimensionnement sommaire doit maintenant être validé par rapport au cahier des charges pour s'assurer que l'inductance ainsi créée va bien se comporter dans son environnement. En particulier, cette nouvelle étape est nécessaire avec la montée en fréquence importante des alimentations qui joue un rôle de plus en plus important.

II-3. Influence de la fréquence sur le comportement fréquentiel.

II-3-1. Les paramètres technologiques [79]

Avant de passer à la réalisation d'une inductance suite à un dimensionnement tel que celui décrit ci-dessus, de nouveaux éléments doivent être pris en compte afin de déterminer si les paramètres géométriques préalablement fixés vont induire un comportement fréquentiel correct du composant. Nous devons pour cela nous intéresser à d'autres éléments parasites qui jusque-là avaient été négligés.

Tout d'abord, par construction une bobine planaire possède une capacité inter spire C_p dont l'influence apparait à mesure que la fréquence d'utilisation du composant augmente. Les travaux de Allen sur l'intégration de structures inductives pour la puissance [68] nous indiquent que cette capacité se mesure autour du pF pour une inductance de 1µH. Ainsi, l'influence de cette capacité parasite ne s'exprime alors qu'au delà de 100MHz. Ce phénomène reste négligeable dans le domaine d'application visé.

Ensuite, comme la plupart des inductances intégrées sont réalisées sur un substrat silicium, un oxyde est indispensable pour assurer une isolation électrique entre la bobine et le substrat. Cette structure empilée introduit différents éléments parasites qui génèrent des pertes d'énergie de plus en plus importantes à mesure que la fréquence augmente. L'étude de la littérature fournit plusieurs expressions permettant le calcul de ces éléments parasites. A ce sujet, les travaux référant les souvent cités sont ceux de Yue [79].

1) La succession Métal-Oxyde-Semi-conducteur crée une capacité d'oxyde, C_{ox}, qui doit être minimisée dès la conception pour repousser son influence vers les très hautes fréquences.

$$C_{ox} = 0{,}5.l.w.\frac{\varepsilon_0.\varepsilon_{ox}}{t_{ox}} \tag{2.13}$$

Où *l* est la longueur de l'électrode (ici la longueur de l'inductance), *w* sa largeur (ici la largeur des conducteurs), ε_0 la permittivité électrique du vide, ε_{ox} la permittivité électrique de l'oxyde et t_{ox} son épaisseur.

2) Le substrat semi-conducteur est caractérisé par une résistance, R_{Si}, dont l'origine physique provient de sa conductivité électrique, dépendante du dopage.

$$R_{si} = \frac{1}{l.w.G_{sub}} \tag{2.14}$$

Où G_{sub} représente la conductivité du substrat, dépendante du dopage et du type de silicium.

D'autre part, les phénomènes de mouvement de charges dans le substrat en hautes fréquences sont pris en compte à travers une capacité, C_{Si}.

$$C_{si} = l.w.C_{sub} \tag{2.15}$$

où l représente la longueur de l'inductance et w la largeur des conducteurs. C_{sub} représente la capacité surfacique du substrat.

Un des modèles de structure inductive intégrée couramment utilisé et tenant compte des éléments parasites, est présenté en figure 2.10 [79, 92, 93].

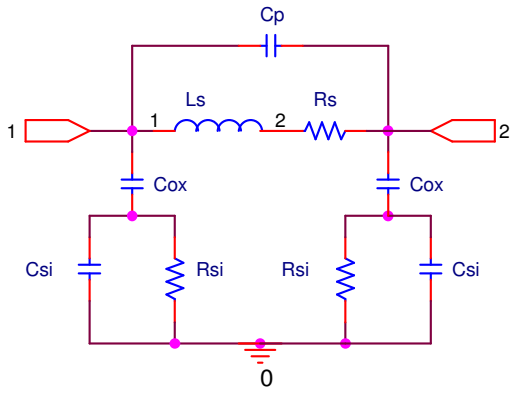


Figure 2.10. Modèle électrique équivalent d'une inductance planaire intégrée en technologie microsystème sur substrat à pertes. Configuration '2-ports' [79, 92, 93].

Les expressions 2.13, 2.14 et 2.15 établissent des liens entre les dimensions géométriques de la spirale et les éléments parasites entraînant des pertes d'énergie. Dans la littérature, l'influence des paramètres géométriques sur le comportement fréquentiel des valeurs d'inductance et de résistance est décrit plus précisément [92, 93] comme suit :

1) L'augmentation du diamètre extérieur et du nombre de tours a pour conséquence une augmentation de l'inductance et de la résistance de conduction et une diminution de la fréquence de résonance ainsi que de la valeur du facteur de qualité.

2) La diminution de la largeur des conducteurs et de leur espacement provoque une augmentation de l'inductance ainsi que de la fréquence de résonance et du facteur de qualité. En outre, la diminution de la largeur des conducteurs provoque l'augmentation de la résistance série.

3) La diminution de l'espacement entraîne une augmentation de l'inductance. Les couplages capacitifs deviennent plus importants et diminuent la fréquence de résonance. L'espacement a de faibles répercutions sur le facteur de qualité.

4) L'épaississement des conducteurs agit principalement sur la résistance série qui diminue, impliquant alors une augmentation du facteur de qualité.

Ces travaux portent uniquement sur des inductances planaire pour des applications RF. Celles-ci ont une valeur d'inductance très faible et présentent par conséquent une surface réduite. Pour notre application de puissance de plus fortes valeurs d'inductance sont recherchées. La surface du composant va donc être non négligeable (quelques mm²) et constitue un paramètre important du dimensionnement. Les expressions présentées nous indiquent alors que la réduction des pertes substrat est possible si l'épaisseur d'oxyde t_{OX} et la résistivité du substrat sont élevées. Un bilan bibliographique des principales solutions technologiques pour la diminution de ces pertes sera présenté au chapitre III, dédié au procédé technologique de fabrication de nos inductances.

Finalement, en plus du couplage capacitif entre l'inductance et le substrat, il existe un couplage inductif générant des courants induits qui tendent à diminuer la valeur d'inductance, conformément à la loi de Lenz. L'étude doit donc prendre en compte ces phénomènes afin de déterminer leur influence sur le comportement fréquentiel de L et R. Pour cela, nous rappelons préalablement les phénomènes physiques principaux et les principales solutions rencontrées pour leur prise en compte.

II-3-2. Courants induits : natures, origines et conséquences

Grâce au modèle simplifié implémenté sous Matlab, tenant compte des paramètres géométriques d'une bobine, nous sommes capables de dimensionner rapidement la résistance série pour une valeur d'inductance donnée. Toutefois, les valeurs de L et de R obtenues ne correspondent qu'à un comportement en basse fréquence. Comme plusieurs phénomènes secondaires apparaissent à la montée en fréquence, la modélisation du comportement électrique de la structure doit être plus précise pour en tenir compte. Nous effectuons un bref rappel de ces phénomènes en s'attachant à en connaître leurs origines et leurs influences réelles.

Tout conducteur parcouru par un courant variable est soumis aux phénomènes décrits par la loi de Lenz. Celle–ci décrit que la circulation d'un courant variable induit celle d'un autre courant qui, par ses effets, s'oppose à la cause qui lui donne naissance. Ce phénomène est à la base d'une répartition inhomogène du courant au sein du conducteur d'autant plus importante que les variations demandées sont rapides. Cela influence d'autant les valeurs de l'inductance et de la résistance de l'objet global.

Si l'on examine plus précisément les phénomènes physiques impliqués, la circulation d'un courant variable dans le temps $i(t)$ provoque l'apparition d'un flux magnétique variable dans le temps $\Phi(t)$ tel que [91] :

$$\Phi(t) = L.i(t) \tag{2.16}$$

avec L, rapport de proportionnalité qui correspond à la valeur de l'inductance équivalente du conducteur.

La loi de Lenz décrit plus spécifiquement la création d'une force électromotrice (fem) $e(t)$ induite par l'apparition du flux tel que :

$$e(t) = -\frac{d\Phi(t)}{dt} \tag{2.17}$$

La résistance du conducteur provoque l'apparition de boucles de courants induits proportionnels à $e(t)$, qui s'opposent au courant principal $i(t)$. Ce phénomène dépend du temps et donc de la fréquence de variation du flux magnétique. Par conséquent, lorsque la fréquence de travail augmente, l'amplitude de la fem. et des courants induits vont augmenter, renforçant les inhomogénéités de répartition du courant dans le conducteur.

De même, la résistance équivalente série augmente avec la fréquence [24]. L'illustration des effets des courants induits sur la répartition du courant dans des conducteurs est proposée en Annexe II ainsi qu'un point sur les méthodes pour le calcul de la résistance associée dans des cas de géométrie de conducteurs simples. L'évaluation des effets des courants induits sur la résistance série d'un conducteur est un sujet important en électronique de puissance. De nombreux auteurs publient sur ce sujet [79, 94-101]. En effet, les phénomènes de courants induits sont présents depuis les applications forts courants - basse fréquence (50Hz du réseau) jusqu'aux applications faibles courants - hautes fréquences (conducteurs réalisés en microélectronique). Si la composante AC du courant est importante, les pertes générées ne peuvent être négligées dans le dimensionnement des composants magnétiques. Ainsi, le problème du calcul de la répartition du courant dans les conducteurs se pose afin de déterminer la résistance série et les pertes Joules associées pour n'importe quelle fréquence de fonctionnement.

Concernant les inductances intégrées, une des approches les plus référencées est celle proposée par Yue [79]. A partir d'une hypothèse de variation unidimensionnelle de la densité de courant dans une ligne microstrip d'épaisseur t, Yue défini une épaisseur effective t_{eff} dans laquelle le courant est considéré uniformément réparti (2.18). Ce paramètre dépend de l'épaisseur de peaux définie par (2.19)

et permet de calculer une valeur approchée de la résistance série équivalente *R* d'un conducteur de longueur *l* et de largeur *w* telle que le décrit l'expression (2.20):

$$t_{eff} = \delta_p \left(1 - exp\left(-t / \delta_p \right) \right) \tag{2.18}$$

$$\delta_p = \sqrt{\frac{\rho}{\pi \mu f}} \tag{2.19}$$

$$R = \frac{\rho . l}{w . t_{eff}} \tag{2.20}$$

Cette équation est très simple à mettre en œuvre. Toutefois elle n'est valable que dans un contexte où les phénomènes de proximité entre conducteurs peuvent être négligés. Ceci rend son utilisation imprécise pour des structures inductives avec un nombre de tours important et/ou pour des structures inductives présentant un fort couplage magnétique entre elles (superposition…etc). D'autre part, aucun lien avec la présence d'un substrat semi-conducteur n'est établi, si bien que son influence sur la circulation du courant dans le bobinage est inconnue. De plus, pour des structures géométriquement plus complexes, pour lesquelles les approximations énoncées jusqu'ici ne sont plus valables, la résolution numérique des équations de Maxwell-Ampère et de Maxwell-Faraday (annexe II) est plus difficile. Le recours aux outils de simulation 3D devient alors indispensable pour comprendre l'influence du couplage du substrat avec la bobine.

II-3-3. Simulations aux éléments finis avec Coventorware

Nous avons utilisé le logiciel de simulation aux éléments finis Coventorware [102] et sa toolbox 'MemHenry' qui avait été validé précédemment pour ces applications par B. Estibals au cours de sa thèse [55]. Notre objectif a été de déterminer l'influence du couplage magnétique entre les spires et le substrat semi-conducteur (effets de proximité) sur lesquelles elles avaient été réalisées. Au-delà, nous souhaitions évaluer l'influence de ce couplage sur le comportement de l'inductance et de la résistance. Nous nous sommes limités à l'étude des inductances propres et mutuelles qui existent entre les différents enroulements de la bobine ainsi qu'entre la bobine dans sa globalité et le substrat. Nous avons fixé la résistivité du substrat à 0,01 ohm.cm, correspondant à la valeur réelle mesurée sur les substrats que nous avons utilisés pour la fabrication des composants). Les simulations ont été effectuées en considérant successivement le substrat ou non afin de pouvoir évaluer son influence sur l'inductance et la résistance équivalente du composant magnétique. Nous avons simulé plusieurs inductances circulaires de 3000µm de diamètre, constituées de conducteurs larges, espacés et épais de 15 µm. Nous avons alors fait varier le nombre de tours entre 5 et 40.

Avec ou sans la prise en compte du substrat silicium, les simulations montrent que la montée en fréquence ne perturbe pas la valeur d'inductance. Celle-ci reste constante jusqu'à 100 MHz (Figure 2.11). Ce résultat montre que le couplage magnétique avec un substrat semi-conducteur ne perturbe pas de manière significative l'inductance dans la gamme de fréquence considérée.

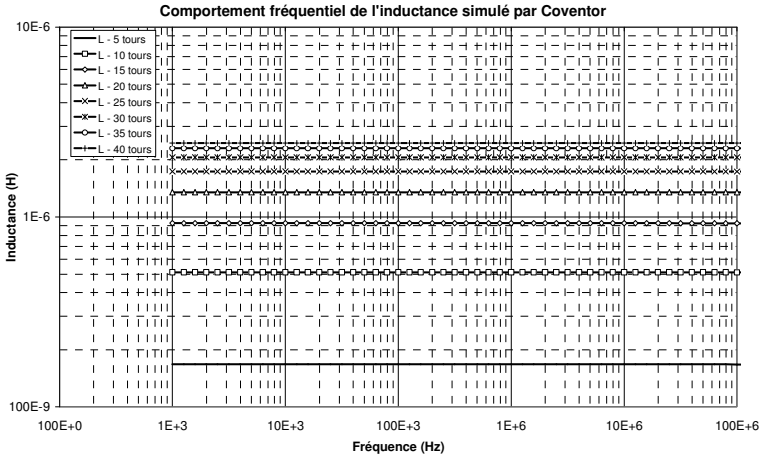
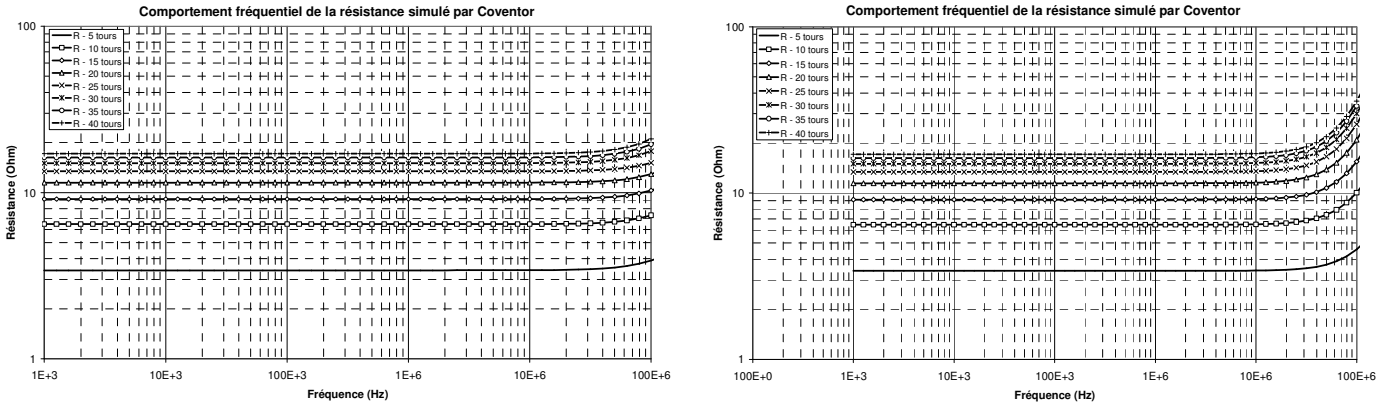


Figure 2.11. Simulation de l'inductance par Coventorware

Les résultats de simulation concernant la résistance des composants nous indiquent que cette dernière augmente avec la fréquence, au-delà de 10 MHz, indépendamment de la présence du substrat semi-conducteur (Figure 2.12.a & 2.12.b). Cette augmentation est plus importante lorsque le substrat semi-conducteur est présent (Figure 2.12.b). Par conséquent, la hausse de la résistance série avec la fréquence est liée au couplage magnétique entre les conducteurs (simulation sans substrat de la figure 2.12.a) mais aussi à celui entre la bobine et le substrat. Cette augmentation apparaît d'autant plus importante que le nombre de tours est grand et donc que le couplage magnétique avec le silicium est important. En effet, nous avons vu précédemment que l'augmentation du nombre de tour permettait d'atteindre de plus hautes valeurs d'inductances, générant ainsi un flux magnétique plus important (Annexe I).



a) b)

Figure 2.12. Simulation de la résistance par Coventorware
a) Sans substrat silicium, b) Avec substrat silicium

Ainsi, nous observons que le couplage magnétique avec le substrat peut avoir un impact sensible sur la résistance série du composant par la modification de la répartition des courants qu'il provoque au sein des conducteurs. La fréquence d'utilisation augmentant, cette influence s'amplifie en augmentant la valeur de la résistance série équivalente. Deux solutions peuvent être avancées pour réduire ce problème. Tout d'abord, l'augmentation de la résistance étant liée à des courants de circulation dans le substrat, la résistivité de ce dernier pourrait être choisie plus importante. Ensuite, l'expression (2.2) de la mutuelle inductance montrant que celle-ci est inversement proportionnelle à la distance entre les circuits, l'éloignement de la bobine par rapport au substrat limiterait alors le couplage magnétique entre les deux.

II-3-4. Synthèse

L'étude de la littérature au sujet des pertes d'énergies dans le substrat nous a permis d'en définir les causes et de faire les liens avec la géométrie du composant puis proposer des éléments de conception du composant inductif visant à limiter leur influence. Ces pertes sont liées à des couplages de type capacitif et magnétique entre la bobine et le substrat semi-conducteur :

- Le couplage capacitif est lié à C_{OX} et C_{Si}. Leur rôle est déterminant dans les limitations de la plage fréquentielle de fonctionnement du composant et du facteur de qualité maximum. Pour notre application de puissance, la surface des inductances est importante et les pertes associées ne peuvent être réduites qu'en établissant une distance suffisante entre la bobine et le substrat ainsi qu'en choisissant ce dernier le plus résistif possible.
- Les simulations en fréquence avec Coventorware (Figure 2.12) ont confirmé que le couplage magnétique avec un substrat semi-conducteur participait à l'augmentation de la résistance série aux très hautes fréquences. Ce type de simulation peut nous aider à mieux cerner ce phénomène pour en limiter ses effets en étudiant par exemple la circulation de courants induits dans le substrat qui, d'après la loi de Lenz, perturbent la répartition du courant dans les conducteurs. La modélisation du couplage magnétique à travers ces simulations doit nous aider à trouver les optimums en respectant les deux règles de dimensionnement suivantes :
- le couplage magnétique peut être affaibli si la distance entre la bobine et le substrat est importante.
- un substrat avec une forte résistivité peut limiter la circulation de courant.

Il apparaît alors que la recherche de faibles couplages capacitif et magnétique se traduit par des solutions technologiques similaires. Si l'augmentation de la distance entre le substrat et le bobinage est techniquement long et couteux à réaliser avec un oxyde de silicium classique, l'utilisation d'un substrat 'haute résistivité' ou isolant, tel que le verre, est une solution très simple qui permet de supprimer une grande partie des pertes capacitives et inductives. Le modèle équivalent à l'inductance planaire intégrée pourrait alors être simplifié et se réduire à l'association d'une inductance, de sa résistance série et de sa capacité équivalente inter-spires (Figure 2.13).

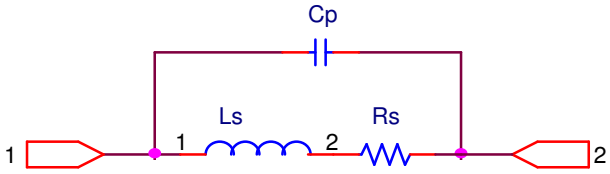


Figure 2.13. Modèle électrique équivalent d'une inductance planaire intégrée sur substrat sans pertes. Configuration '2-ports'.

II-4. Méthode de dimensionnement pour une inductance planaire classique

Nous avons à notre disposition plusieurs outils pour étudier les structures inductives planaires. Tout d'abord, à partir du principe physique inductif, nous avons un modèle numérique implémenté sous Matlab, capable de fournir une valeur d'inductance et de résistance à basse fréquence pour un jeu de paramètres géométriques donné. Ensuite, pour tenir compte de l'influence de la fréquence sur le comportement d'une inductance et face à la complexité des phénomènes de proximité dont il faut tenir compte, un outil de simulation aux éléments finis doit être utilisé, Coventorware par exemple. Les simulations réalisées avec cet outil tiennent compte de divers éléments parasites inhérents à l'intégration d'un tel composant sur un substrat semi-conducteur.

A partir de ces outils, et considérant un contexte d'intégration de puissance pour l'influence des paramètres géométriques, nous avons déterminé les règles essentielles pour le dimensionnement d'une inductance avec une résistance série la plus faible et/ou la surface occupée la plus faible.

II-4-1. Les paramètres pertinents

Les contraintes de réalisation technologique fixent l'espacement minimum entre les conducteurs (résolution) et le facteur de forme limite (*w/t*). Connaissant par ailleurs la surface maximale que doit occuper le composant, la détermination d'un jeu de paramètres géométriques approprié assurant une résistance la plus faible possible pour une valeur d'inductance donnée doit répondre à plusieurs règles. De l'étude géométrique, il ressort qu'une bobine circulaire planaire est optimisée pour une inductance donnée si :

- le bobinage est réalisé avec un taux de remplissage maximum,
- l'espacement minimum entre les conducteurs.

Après diverses études, il semble qu'un manque de méthodologie existe pour concevoir une inductance optimisée. Nous proposons une démarche systématique qui permet de concevoir une inductance avec le moins d'étapes de simulations possibles. Cette démarche est résumée dans le synopsis de la figure 2.14.

Les éléments parasites inhérents à une bobine intégrée sur substrat silicium influencent les valeurs de l'inductance et de la résistance série équivalente ainsi que celle du facteur de qualité. La limitation en fréquence est directement liée à la capacité d'oxyde, dont les effets augmentent avec le taux de remplissage et donc la surface du composant au-dessus du silicium. Dans la mesure du possible, pour que la plage fréquentielle de fonctionnement soit optimale, pour des valeurs d'inductances et de résistances respectant le cahier des charges, le dimensionnement devra aboutir à un composant dont la surface est minimale.

II-4-2. Discussion sur les choix de conception

Les valeurs d'inductance et éventuellement de résistance série maximales proviennent des contraintes électriques de l'application dans laquelle l'inductance doit jouer un rôle. La surface maximale allouée est également souvent une contrainte imposée par le cahier des charges. La faisabilité des composants doit prendre en compte l'espacement minimum (résolution lithographique) et le facteur de forme fixant l'épaisseur maximale des conducteurs à partir de la largeur de départ. En prenant une surface de composant maximum avec un espacement entre conducteur minimum, un taux de remplissage proche de 100% et une largeur initiale de conducteur très grande, alors nous pouvons atteindre la valeur d'inductance présentant le moins de résistance. Par ailleurs, le choix de l'espacement minimum nous place dès le départ dans les meilleures conditions pour atteindre une fréquence de résonance et un facteur de qualité les plus élevés possibles pour le diamètre considéré.

II-4-2-1. Pour atteindre l'objectif d'inductance, L_{obj}

Cette étape permet d'atteindre la valeur d'inductance fixée par le cahier des charges. Au fur et à mesure des simulations, la largeur des conducteurs devra être réduite, tout en respectant la limite du facteur de forme maximum réalisable, pour augmenter la valeur d'inductance. La condition incontournable ici étant de conserver un taux de remplissage maximum, le nombre de tours sera adapté en conséquence. Lorsque l'objectif d'inductance est atteint, il est important de souligner que la valeur de résistance obtenue sera la plus faible possible pour la surface considérée. Il faut cependant s'assurer que la valeur de résistance respecte le cahier des charges initial.

II-4-2-2. Pour atteindre l'objectif de résistance, R_{obj}

Si la résistance R est inférieure à l'objectif R_{obj} et que les paramètres géométriques garantissent une plage fréquentielle de fonctionnement conforme au cahier des charges alors le dimensionnement peut-être arrêté. Par contre, si le composant ne respecte pas les critères fréquentiels du cahier des charges, le dimensionnement doit être repris avec un diamètre inférieur au précédent pour diminuer les pertes dans le substrat.

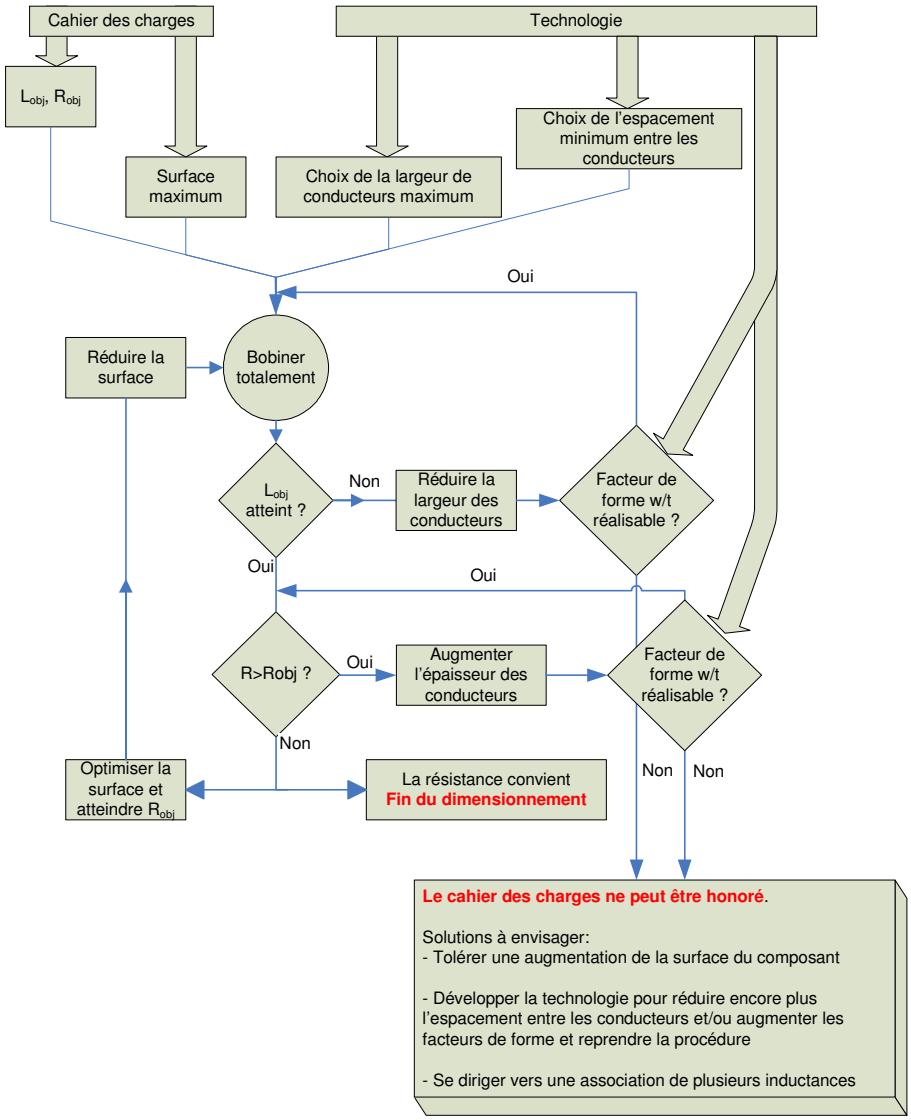


Figure 2.14. Procédure de dimensionnement pour une inductance planaire classique destinée à des applications de puissance

Si la résistance R est supérieure à R_{obj}, il est préférable d'augmenter la section des conducteurs. Pour cela, nous pouvons élargir les conducteurs. Cependant, des travaux précédents, appuyés par la littérature [92, 93], montrent que l'élargissement des conducteurs ont plusieurs conséquences à côté de la réduction de la résistance série :

1) L'inductance diminue avec l'augmentation de la largeur des conducteurs. En effet, l'élargissement des conducteurs provoque la diminution de l'inductance propre du composant mais également celle de la mutuelle inductance, du fait de la plus grande distance entre les conducteurs.

2) La fréquence de résonance diminue. En effet, l'élargissement des conducteurs entraîne l'augmentation de la capacité d'oxyde et donc des pertes dans le substrat.

3) L'encombrement est forcément pus important. Pour maintenir la valeur d'inductance constante tout en élargissant les conducteurs, il faut modifier le diamètre de la bobine.

En résumé, l'élargissement des conducteurs d'une bobine entraîne la modification de tous les autres paramètres électriques et doit répondre à un compromis entre l'encombrement toléré, l'inductance et la fréquence de résonance.

L'épaisseur ne modifie pas la valeur de l'inductance. Cela peut donc être le second paramètre à modifier lorsqu'il faut augmenter la section des conducteurs. Des travaux précédents, appuyés par la littérature [79, 92, 93], montrent que l'épaississement des conducteurs à plusieurs conséquences :

1) Effet sur la résistance AC

Comme nous l'avons vu au chapitre précédent, la résistance alternative est influencée par l'épaisseur des conducteurs. En effet, son augmentation entraîne, en régime variable, une répartition de plus en plus inhomogène du courant qui se traduit par une résistance AC élevée.

2) Effet sur le facteur de forme.

Il faut alors vérifier que le facteur de forme limite n'est pas dépassé. Pour une largeur de conducteur donnée, l'épaisseur ne peut dépasser une certaine valeur, limitée par le facteur de forme maximal réalisable avec la technologie disponible. Les résines photosensibles limitent l'épaisseur maximale de conducteur d'une part et leur largeur et espacement minimal (résolution) d'autre part. Finalement, la tenue mécanique des structures limite le facteur de forme.

L'augmentation de l'épaisseur va résoudre le problème de la résistance série mais en basse fréquence uniquement. Dans la gamme de hautes fréquences où nous voulons utiliser nos inductances, le phénomène s'inverse : l'augmentation de l'épaisseur dégrade la valeur de la résistance alternative à cause des effets de peaux. L'évaluation des pertes AC doit aussi entrer en jeu et déterminer si les performances du composant respectent toujours le cahier des charges.

II-4-3. Synthèse

Nous avons présenté une méthode de dimensionnement de composants inductifs planaires élémentaires, tenant compte des desideratas d'un cahier des charges ainsi que des réalités de fabrication microélectronique. La méthode propose une recherche successive de la valeur d'inductance et de résistance par modification d'un jeu de paramètres géométriques de départ, dont nous avons défini les caractéristiques. Si malgré tout, il est impossible d'obtenir la valeur d'inductance désirée avec une résistance suffisamment faible, alors le dimensionnement abouti à trois constatations qui se muent en trois questions qui sont autant de pistes de recherche :

- ***la surface impartie est trop faible*** **:** Est-il envisageable de tolérer un encombrement supérieur ? Avec la méthode de dimensionnement présentée, il est toujours possible d'atteindre l'objectif d'inductance en diminuant la largeur des conducteurs. Néanmoins, cette réduction s'accompagne d'une limitation technologique, au travers du facteur de forme, et électrique car la résistance devient très importante à mesure que la section de conducteurs diminue. Il faut donc relâcher la contrainte sur la surface afin de pouvoir bobiner des conducteurs un peu plus larges et ainsi atteindre simultanément L_{obj} et R_{obj}. Néanmoins, l'augmentation de la surface est limitée, par l'encombrement consécutif d'une part et les pertes associées dans le substrat d'autre part.

- ***la technologie est trop limitative en terme d'espacement minimum et de facteur de forme*** : En combien de temps la technologie peut-elle être développée ? Ici, le problème repose sur le savoir faire d'une centrale technologique. Plus particulièrement, les développements qui doivent intervenir concernent la mise en œuvre de résines photosensibles de fortes épaisseurs. Les efforts doivent être portés sur la recherche de résines épaisses dotées d'une grande résolution, et présentant des flancs droits afin de garantir la section des conducteurs. La mise en œuvre doit être simple pendant la préparation comme pour leur retrait.

- ***une seule inductance ne suffit pas*** avec les moyens disponibles : Une association d'inductances peut-elle permettre d'atteindre les objectifs d'inductance et de résistance ? Le problème doit auparavant être abordé du point de vue théorique et par la simulation afin de déterminer quel type de structure doit être choisie et si l'association électrique de 2 ou plusieurs inductances peut être

bénéfique au respect du cahier des charges. Ensuite, la réalisation et la caractérisation de composants constitués de 2 ou plusieurs inductances doit permettre de conclure sur la pertinence de telles associations.

3. Etude de l'association de plusieurs inductances planaires

III-1. Motivation.

Nous avons constaté que l'intégration des inductances de forte valeur s'accompagne d'une résistance série élevée, incompatible avec des applications de puissance. Nos travaux se sont donc naturellement focalisés sur la recherche de solutions pour réduire la résistance série sans dégrader les autres performances du composant, notamment la valeur d'inductance et la fréquence de résonance.

Plusieurs solutions sont envisageables pour réduire la résistance série. Le plus simple est d'augmenter la section des conducteurs pour diminuer la densité de courant. Toutefois, les possibilités technologiques limitent la faisabilité d'inductances à forte section et fort facteur de forme. Le problème peut toutefois être pris en sens inverse. A partir d'inductances que nous savons réaliser avec la technologie disponible, il est peut-être possible d'améliorer leurs performances en les associant. L'intérêt ici est de faire intervenir les couplages magnétiques afin de conserver ou d'augmenter la valeur d'inductance. Ces associations ont été étudiées dans la littérature et en particulier par Mohan [103] qui fait la synthèse des principales topologies possibles. Nous les résumons dans le tableau II.1.

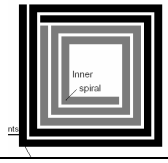
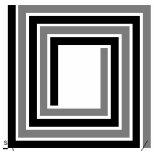
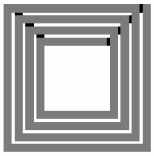
	Tapped	**Interleaved**	**Stacked**
Topologie			
Coefficient de couplage *k*	0,3-0,5	0,7-0,8	**0,9**
Inductance	Moyenne	Faible	**Haute**
Fréquence de résonance	Elevée	Elevée	**Faible**
Niveaux technologiques	1 et plus	1 et plus	**Au moins 2 et plus**

Tableau II.1. Différentes topologies d'inductances planaires couplées [32].

Ce tableau nous montre que la configuration *« Tapped »* est à éliminer car les coefficients de couplage entre les bobines et leurs valeurs d'inductance sont faibles. Les topologies « *Interleaved »* (entrelacées) et *« Stacked »* (empilées) sont de meilleurs candidats.

- Interleaved

Le couplage est élevé mais les valeurs d'inductance propre sont faibles car cette topologie implique la création de bobines avec des espacements entre conducteurs importants. Toutefois, l'intérêt majeur de cette configuration réside dans le fait que la totalité du bobinage peut-être définie avec une seule étape de photolithographie.

- Stacked

En termes de couplage magnétique et de valeur d'inductance, cette topologie est la plus intéressante. Néanmoins, la fabrication de telles bobines implique un procédé à plusieurs niveaux. L'augmentation du nombre d'étapes technologiques rend le procédé plus difficile et donc moins fiable. D'autre part, la superposition de deux circuits reliés électriquement, introduit une capacité entre les deux niveaux qui va modifier le comportement fréquentiel de l'inductance. Les travaux de Mohan [72, 103] ont par ailleurs établis des liens entre la distance entre deux bobines superposées et leur couplage

magnétique. De nombreux travaux existent déjà sur cette topologie dans le domaine RF, sur la base d'une technologie CMOS et MMIC (Multi Metal Integration Circuit). Les principaux objectifs sont d'augmenter le facteur de qualité maximum ainsi que la fréquence de résonance en associant en parallèle [104] ou en série des bobines [105-109]. Les résultats de ces travaux montrent des améliorations notables au niveau du facteur de qualité maximum ainsi que de l'encombrement. Toutefois, la plupart des valeurs d'inductances utilisées oscillent entre 1 et 300 nH et les liens entre les paramètres géométriques, le type d'association et la résistance série ne sont pas clairement établis. Des applications à la réalisation de transformateurs sont également citées [103, 105]. Les premiers travaux relevés concernant l'empilement d'inductances pour des applications DC/DC sont publiés par Musunuri et Chapman [110]. Ils comparent en simulation l'association de 2 et 3 bobines en parallèle et en série, présentant des diamètres de 1000µm. Bien que les valeurs d'inductances obtenues frôlent le micro Henry (association en série), les valeurs de résistance restent élevées (jusqu'à 1 kohms).

Dans cette partie, nous allons étudier les associations d'inductances en série et en parallèle pour des applications de puissance. L'objectif est d'établir un lien étroit entre les valeurs d'inductance et de résistance avec les paramètres géométriques et le type d'association choisi. Une attention particulière sera portée sur le couplage magnétique entre les bobines et sa sensibilité à divers paramètres technologiques. De cette étude, nous tenterons de proposer une méthode d'optimisation pour la réalisation d'inductances à faible résistance série.

III-2. Influence de la géométrie sur le comportement inductif et résistif de l'association de plusieurs bobines magnétiquement couplées

III-2-1. Association d'inductances en parallèle

L'association en parallèle d'inductances est la première solution qui vient à l'esprit pour réduire la résistance série. En discret, la mise en parallèle de n inductances permet diminuer la résistance R_{equ} selon l'équation (2.21). Mais dans le même temps, la valeur d'inductance L_{equ} diminue également selon l'équation (2. 22). Dans ce cas le couplage magnétique est considéré suffisamment faible pour être négligé [91].

$$R_{equ} = \frac{1}{\sum_{i=1}^{n} \frac{1}{R_i}} \tag{2.21}$$

$$L_{equ} = \frac{1}{\sum_{i=1}^{n} \frac{1}{L_i}} \tag{2.22}$$

avec L_i et R_i respectivement les valeurs d'inductance et de résistance de chacune des n bobines.

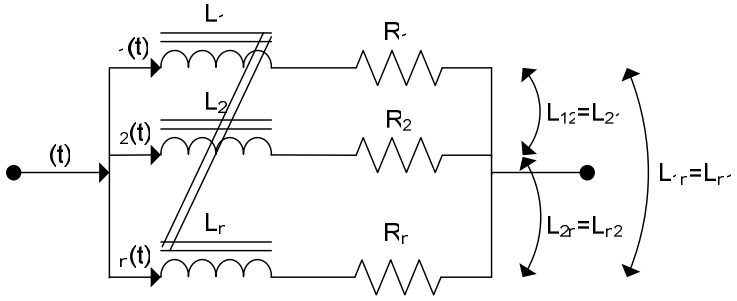


Figure 2.15. Schéma équivalent de n inductances couplées et connectées en parallèle

A présent, en considérant un couplage magnétique fort entre les n bobines, représenté par la figure 2.15, l'expression de l'inductance équivalente L_{equ} à n bobines magnétiquement couplées, associées en parallèle est définie par (2.23) :

$$L_{equ} = \frac{1}{\sum_{\substack{i=1 \\ j=1 \\ j\neq i}}^{n} \frac{1}{L_{ii} + \sum_{\substack{j=1 \\ j\neq i}}^{n} L_{ij} \cdot \frac{I_j}{I_i}}} \tag{2.23}$$

où L_{ii} est l'inductance propre de chacune des n bobines, L_{ij} la mutuelle inductance existant entre la bobine i et la bobine j. I_i et I_j sont les courants circulant dans la bobine i et la bobine j.

L'expression de la résistance équivalente R_{equ} reste inchangée.

En prenant l'exemple de deux bobines connectées en parallèle, de valeur d'inductance L_1 et L_2 et de valeur de résistance R_1 et R_2, l'expression (2.24) devient :

$$L_{equ} = \frac{\left(L_1 + L_{12}\frac{I_2}{I_1}\right)\left(L_2 + L_{21}\frac{I_1}{I_2}\right)}{\left(L_1 + L_2 + L_{12}\frac{I_2}{I_1} + L_{21}\frac{I_1}{I_2}\right)} \tag{2.24}$$

En introduisant le coefficient de couplage k, défini dans l'annexe I, l'expression (2.25) devient :

$$L_{equ} = \frac{\left(L_1 + k\sqrt{L_1 L_2}\frac{I_2}{I_1}\right)\left(L_2 + k\sqrt{L_1 L_2}\frac{I_1}{I_2}\right)}{\left(L_1 + L_2 + k\sqrt{L_1 L_2}\frac{I_2}{I_1} + k\sqrt{L_1 L_2}\frac{I_1}{I_2}\right)} \tag{2.25}$$

Nous constatons alors que l'inductance équivalente L_{equ} est étroitement dépendante du coefficient de couplage k qui prend ses valeurs entre 0 et 1. En considérant que le ratio des valeurs d'inductances L_1/L_2 est le même que celui des résistances R_1/R_2, nous pouvons analyser l'équation (2.25) en fonction de k. Pour cela nous traçons la courbe R_{equ}/L_{equ} (Figure 2.16). Cette courbe nous amène à constater que quel que soit k, l'optimum du rapport R_{equ}/L_{equ} est situé au point où $L_1=L_2$ et $R_1=R_2$. De plus, ces courbes nous montrent qu'un couplage magnétique fort (k≈1) est une condition supplémentaire à respecter pour minimiser le rapport R_{equ}/L_{equ}. Dans ce cas, les équations (2.21) et (2.25) montrent que la résistance équivalente est divisée par deux tandis que l'inductance reste égale à L_1 et L_2. Ceci se traduira par un doublement du facteur de qualité.

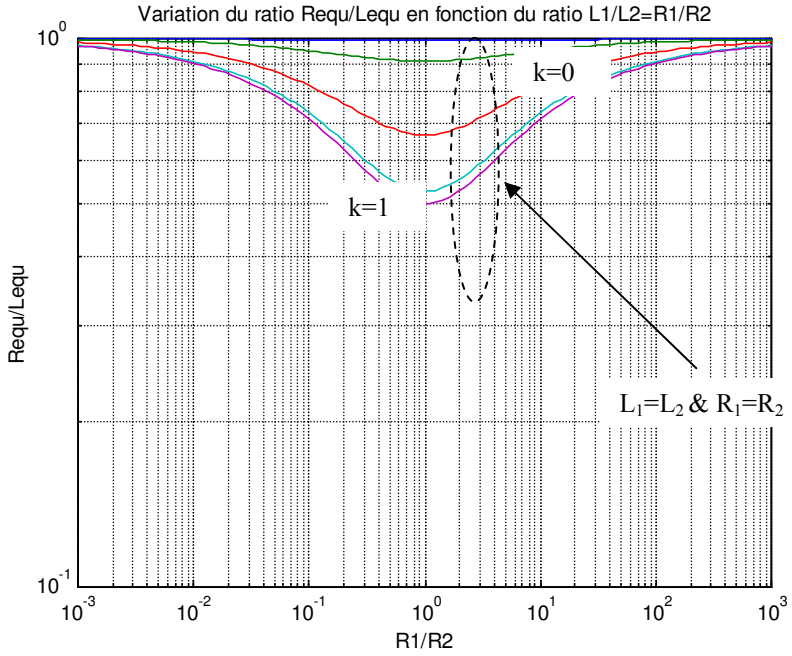


Figure 2.16. Variation du ratio R_{equ}/L_{equ} - $L_1/L_2=R_1/R_2$

Ainsi, la condition pour réduire la résistance série, sans dégrader l'inductance série, est d'associer en parallèle des inductances strictement identiques, tout en assurant le plus fort couplage magnétique possible entre elles. Par conséquent, avant d'évaluer la pertinence de l'association de bobines pour la réduction de la résistance série, nous devons définir les conditions d'un couplage magnétique maximum. Le couplage magnétique étant un paramètre principalement dépendant des positions relatives des bobines, l'étude sera dépendant des paramètres géométriques définissant la position d'une bobine par rapport à l'autre.

III-2-1-1. Structure multibrin « interleaved »

La plus simple des associations, résumées dans le tableau II.1, à mettre en œuvre pour la mise en parallèle de plusieurs inductances est la structure *« interleaved ».* La première étape de notre étude va consister à étudier cette structure en fonction des paramètres géométriques qui la caractérisent dans l'objectif de déterminer les conditions d'un couplage magnétique fort. Pour cela, la structure « interleaved » nécessite l'introduction de paramètres supplémentaires. La figure 2.17 est une vue en coupe de deux tours d'une inductance planaire selon une topologie classique (Figure 2.17.a) puis selon une topologie « interleaved » (Figure 2.17.b). Ces deux topologies sont équivalentes du point de vue de la section des conducteurs. En effet, un conducteur de section donnée *A*, peut être réalisé en le divisant en *n* brins de section *A/n* et connectés en parallèle à leurs extrémités. Dans les deux cas, la même densité de courant peut donc être supportée.

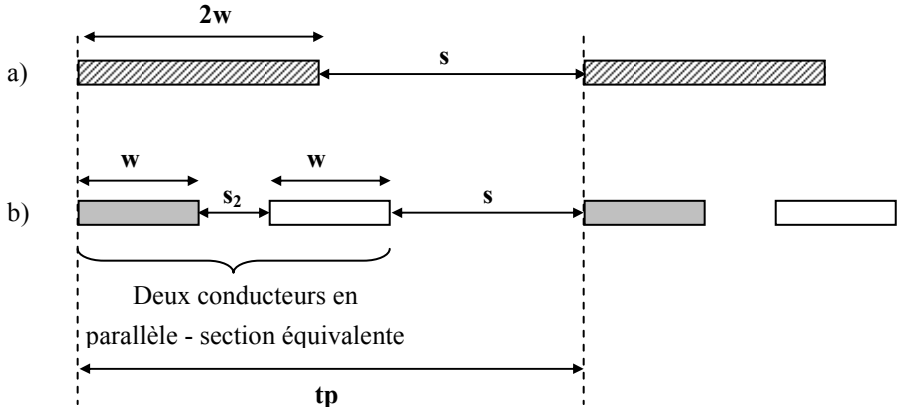
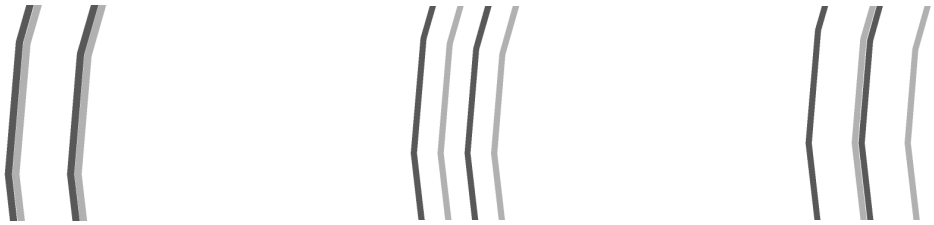


Figure 2.17. Comparaison de deux structures d'inductances et de leurs paramètres géométriques – Vue en coupe
a) Structure classique avec un seul conducteur,
b) Structure proposée avec deux conducteurs – type « interleaved »

Le principe de cette structure, reposant sur la mise en parallèle de plusieurs brins de largeur, *w*, et d'épaisseur, *t*, identiques, l'espacement entre les brins doit être étudié. Nous noterons l'espacement inter brins, s_2. L'espace entre conducteurs noté, *s*, pour les structures classiques (Figure 2.1), ne peut plus être retenu pour l'analyse d'une structure multibrins. Un nouveau paramètre géométrique, le turn pitch, *tp*, commun aux deux structures a été introduit. Il est défini comme étant l'espacement entre deux enroulements consécutifs.

Avant de commencer l'étude, le modèle analytique doit être validé dans le cas d'une structure « interleaved ». En particulier, nous devons démontrer que le modèle simule correctement les conséquences d'une variation de l'espacement inter brins, s_2. Pour cela, nous avons utilisé un logiciel de simulation aux éléments finis, Coventorware. Une inductance composée de deux brins connectés en parallèle et enroulés sur deux tours a été simulée, avec des espacements inter brins, s_2, variables, en conservant un turn pitch, *tp*, fixe. La figure 2.18 présente trois configurations correspondant à trois espacements inter brins, s_2, pour un turn pitch, *tp*, constant (130µm).



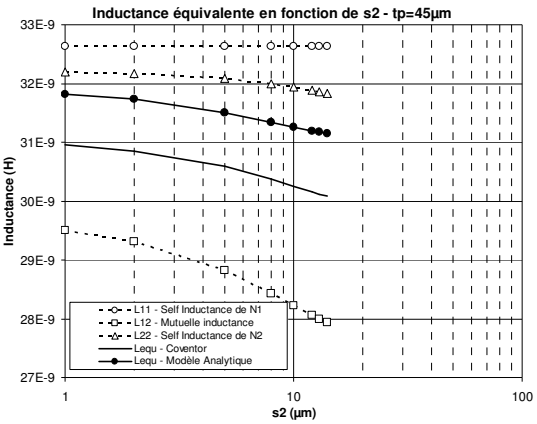
a) w=15µm, tp=130µm s_2=1µm b) w=15µm, tp=130µm, s_2=50µm c) w=15µm, tp=130µm, s_2=99µm

Figure 2.18. Variation de l'espacement inter brins, s_2, pour un turn pitch, tp, constant.

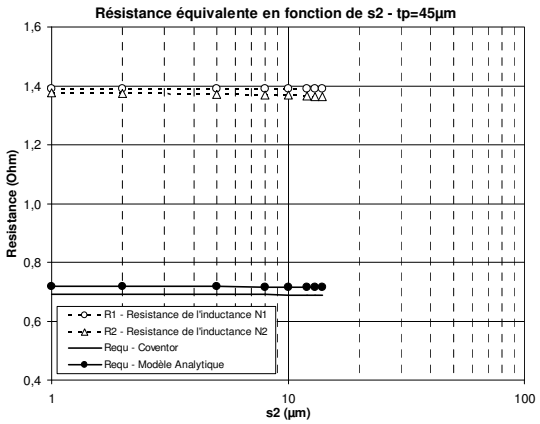
Les résultats de simulations ont été rassemblés dans les graphes suivants. Les courbes relatives au modèle analytique indiquent que les valeurs d'inductance équivalente, L_{equ}, et de résistance équivalente, R_{equ}, diminuent (Figure 2.19) en fonction de l'espacement inter brins, s_2. Ce comportement est reproductible quel que soit le turn pitch, *tp*, choisi.

La baisse de la résistance équivalente R_{equ} correspond à une diminution du diamètre extérieur du second brin (en gris dans la figure 2.18) et donc de sa résistance propre R_2 (Figure 19.b) & 19.d)). La résistance du brin extérieur (en sombre dans la figure 2.18) R_1 reste constante car sa géométrie est inchangée. Finalement, la connexion en parallèle des deux brins conduit la résistance équivalente R_{equ} à diminuer.

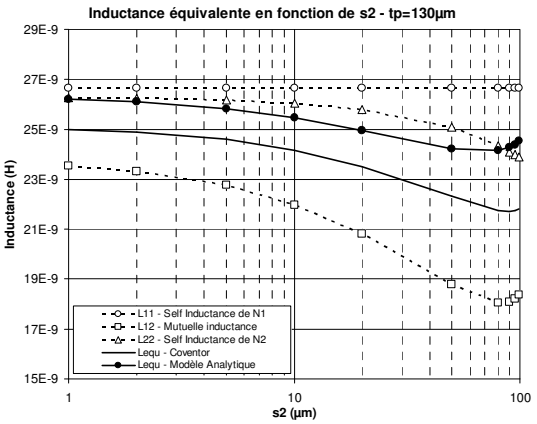
La diminution du diamètre extérieur du brin intérieur provoque également la baisse de son inductance propre, L_{22}, (Figure 2.19.a) & 2.19.c)). De plus, l'augmentation de la distance inter brins, s_2, entraîne une baisse du couplage magnétique, L_{12}, entre les deux brins (Figure 2.19.a) & 2.19.c)). La diminution de l'inductance équivalente, L_{equ}, s'explique alors par l'action conjointe de la diminution du diamètre extérieur du brin intérieur et de la baisse de la mutuelle inductance, L_{12}, entre les deux brins.



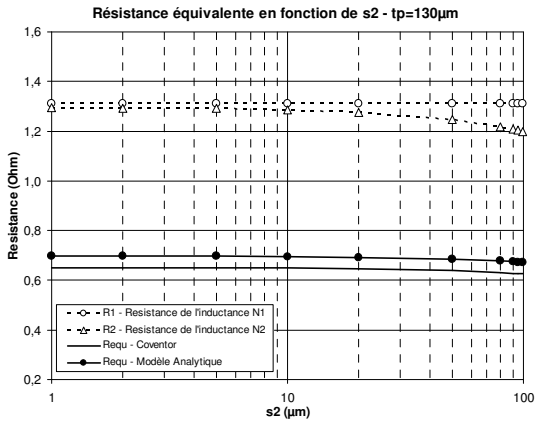
a) Inductance pour tp=45µm



b) Résistance pour tp=45µm



c) Inductance pour tp=130µm



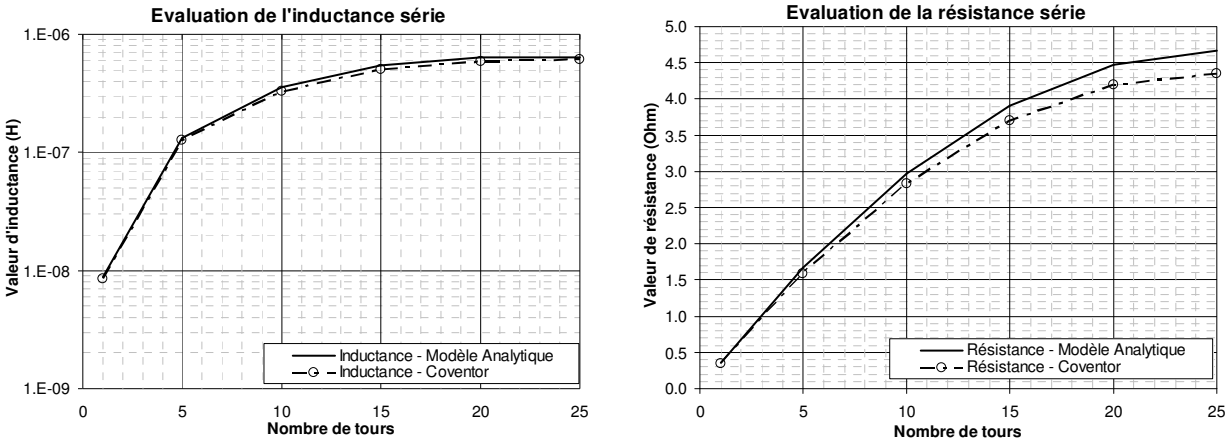
d) Résistance pour tp=130µm

Figure 2.19. Validation du modèle analytique – Etude de l'influence de l'espacement entre brins, s_2, sur l'inductance et la résistance équivalente.

Un autre phénomène est identifié à la fois par Coventorware et par le modèle analytique. Dans le cas d'un turn pith, *tp*, important, une remontée de la valeur d'inductance équivalente, L_{equ}, se produit lorsque l'espacement inter brin, s_2, est grand. La cuvette ainsi formée correspond au rapprochement du brin intérieur et du brin extérieur du tour suivant (Figure 2.19.c). Ce rapprochement implique une légère hausse du couplage inductif inter brins, L_{12}, (Figure 2.19.a & 2.19.c) qui jusque là, était en constante diminution. Toutefois, comme l'inductance propre, L_{22}, du brin intérieur continue à diminuer, l'influence de la hausse de la mutuelle inductance sur L_{equ}, reste faible.

Ces simulations montrent que le modèle analytique prédit de manière précise le comportement de la valeur d'inductance équivalente, L_{equ}, et de résistance équivalente, R_{equ}, en fonction de l'augmentation de l'espacement inter brins, s_2. Par ailleurs, nous constatons que les plus forts couplages magnétiques sont obtenus avec un espacement inter brins faible.

Le modèle a ensuite été utilisé afin de déterminer l'influence du nombre de tours sur les valeurs d'inductance et de résistance série équivalentes d'une structure inductive « interleaved » constituée de deux bobines en parallèle. Les courbes de la figure 2.20.a et figure 2.20.b montrent que l'inductance équivalente et la résistance équivalente augmentent avec le nombre de tours. Les résultats obtenus avec le modèle analytique concordent avec les valeurs fournies par Coventorware.



a) b)

Figure 2.20. Influence du nombre de tours sur les valeurs d'inductance et de résistance équivalentes à l'association de deux inductances en parallèles – Structure Interleaved ,
a) Valeur d'inductance, b) Valeur de résistance

Par ailleurs, comme Coventorware et le modèle analytique sont capables d'évaluer la mutuelle inductance, nous pouvons extraire le coefficient de couplage magnétique *k* à partir des définitions rassemblées en Annexe I. La figure 2.21 nous montre que les résultats fournis par Coventorware et le modèle analytique s'accordent. Nous constatons alors qu'un couplage magnétique élevé entre les deux bobines peut être obtenu lorsque le nombre de tours est important.

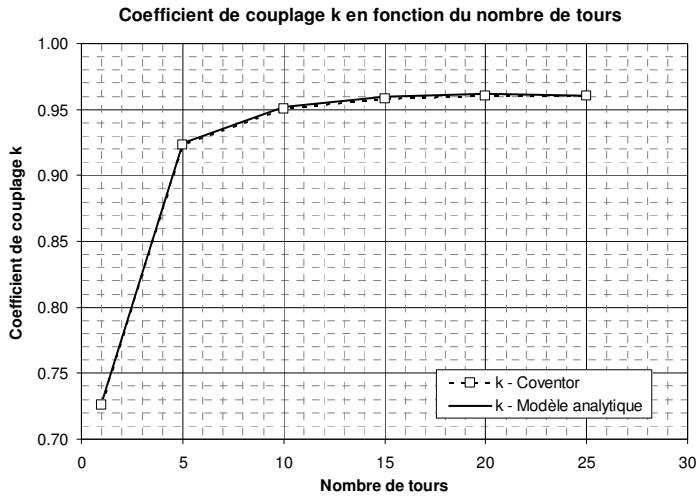


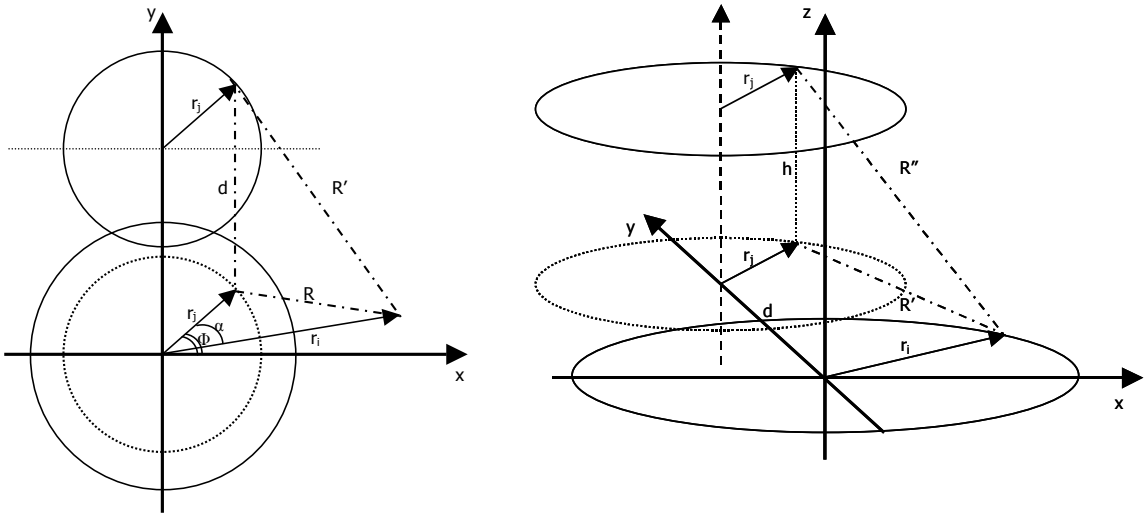
Figure 2.21. Influence du nombre de tours sur le coefficient du couplage entre deux inductances – Structure Interleaved

Dans cette partie, nous avons successivement étudié la validité de la modélisation analytique d'une topologie « interleaved » puis déterminé les éléments qui président au dimensionnement de cette structure pour obtenir un fort couplage magnétique entre les bobines associées. La comparaison des résultats de simulation provenant du modèle analytique et de Coventorware nous a permis de vérifier que les calculs assuraient l'évaluation précise de la mutuelle inductance entre deux bobines associées selon une topologie « interleaved », quel que soit la position relative de celles-ci. Ensuite, l'étude géométrique de la structure « interleaved » nous a appris qu'un faible espacement inter brins s_2 était indispensable pour atteindre un fort couplage magnétique entre les bobines. Finalement, le nombre d'enroulements (ou taux de remplissage) constituant le bobinage a été identifié comme étant un élément de dimensionnement dont le couplage magnétique était dépendant. Ainsi, pour la conception d'une structure « interleaved » a fort couplage magnétique, le dimensionnement devra être réalisé avec un espacement inter brin s_2 faible ainsi qu'un nombre de tours assurant un taux de remplissage supérieur à 50%. Nous remarquons par ailleurs que ces conditions sur les espacements entre conducteurs et le nombre de tours rejoignent celles édictées plus haut visant à atteindre un faible ratio *R/L*. Le dimensionnement suivant ces deux règles nous permettra donc également d'obtenir une inductance optimisée en résistance.

Toutefois, cette topologie présente l'inconvénient de ne pas pouvoir atteindre des valeurs d'inductance propre élevées sans occuper une surface importante. Aussi, afin de minimiser cette surface, la topologie « stacked » a également été étudiée afin d'associer des inductances de fortes valeurs et magnétiquement couplées.

III-2-1-2. Structures à plusieurs brins superposés – Structures « stacked »

La structure « stacked » peut également être utilisée pour associer en parallèle des inductances. Les bobines superposées sont un peu plus complexes à réaliser car plusieurs étapes technologiques sont nécessaires. Il faut isoler les inductances les unes par rapport aux autres et l'étape de photogravure doit être suffisamment précise pour aligner les plots de contacts de chaque niveau d'inductance. Par conséquents, la position relative des bobines va dépendre d'une distance horizontale *d* qui correspond à un mauvais alignement lors de la photolithographie (Figure 2.22.a) et d'une distance verticale *h* qui est liée à l'épaisseur de l'isolant entre les deux niveaux de bobines (Figure 2.22.b).



a) b)

Figure 2.22. Visualisation de la position relative de deux spires superposées
a) Dans le plan *xy*, b) Vue selon les trois axes *xyz*

III-2-1-2-1. Modification du modèle analytique pour l'étude d'une structure de deux bobines superposées.

Pour la modélisation du couplage magnétique existant entre deux bobines superposées, nous avons repris la définition de base de la mutuelle inductance, définie en (2.2) par l'équation de Neumann. Cette expression montre que la valeur de la mutuelle inductance est liée à la distance relative, *R*, entre les bobines l'une par rapport à l'autre. L'expression de cette distance doit être réécrite pour tenir compte de la distance horizontale *d* et de la distance verticale *h* (Figure 2.22). La distance relative *R'* entre deux points de deux spires coplanaires, dont les centres sont distants de *d*, est calculée à partir de la relation de Chasles et de l'expression (2.4) :

$$R' = \sqrt{r_i^2 + r_j^2 + d^2 - 2\,r_i\,r_j\cos(\alpha) + 2d\left(r_j\sin(\phi) - r_i\sin(\phi-\alpha)\right)} \tag{2.26}$$

La distance verticale *h* est ensuite intégrée dans (2.26) pour obtenir la distance relative *R''* (2.27) :

$$R'' = \sqrt{R^2 + h^2} \tag{2.27}$$

Finalement la nouvelle expression de la distance relative *R''* est injectée dans la relation de Neumann (2.8) pour obtenir l'expression de la mutuelle inductance entre deux spires superposées tenant compte des paramètres *d* et *h* (2.28) :

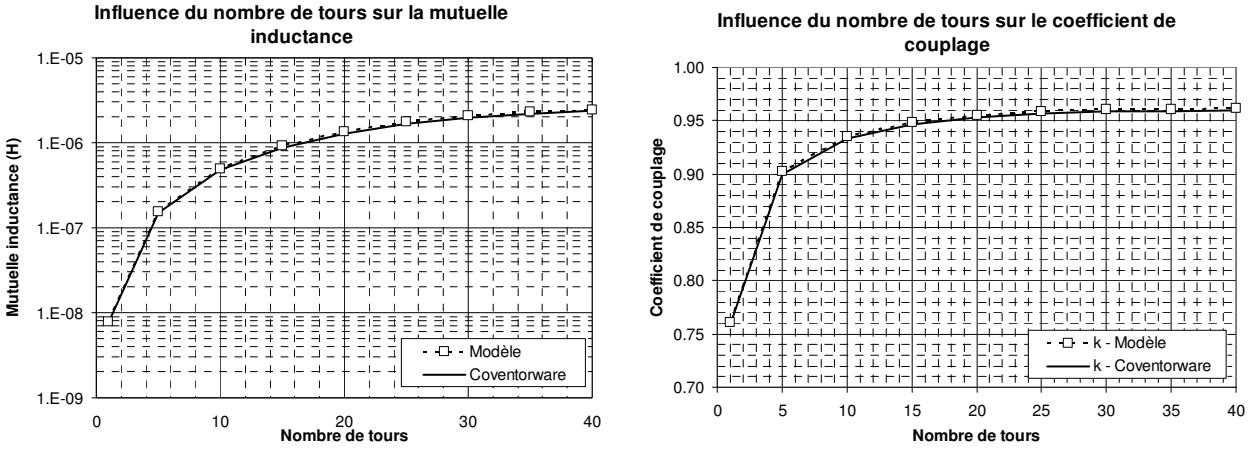
$$L_{ij} = \frac{\mu_0}{4\pi}\int_{c_i}\int_{c_j} \frac{r_i\,.\,r_j\,.\cos(\alpha).d\phi.d\alpha}{\sqrt{r_i^2 + r_j^2 + d^2 + h^2 - 2\,r_i\,r_j\cos(\alpha) + 2d\left(r_j\sin(\phi) - r_i\sin(\phi-\alpha)\right)}} \tag{2.28}$$

III-2-1-2-2. Analyse avec le modèle analytique développé

Des calculs comparatifs de la mutuelle inductance ont été menés entre Coventorware et le modèle basé sur l'expression (2.28). La mutuelle inductance, L_{ij}, est liée au flux d'interaction (Annexe I). L'intensité de ce flux est proportionnelle à la surface du circuit plongé dans le champ *B*. Pour cette raison, nous avons au préalable étudié l'influence du nombre de tours sur la variation de la mutuelle inductance.

La figure 2.23.a montré tout d'abord que la mutuelle inductance augmente avec le nombre de tours *N*. Ensuite, la figure 2.23.b présente la variation du coefficient de couplage en fonction du nombre de tours. Nous constatons alors que le couplage magnétique augmente rapidement avec le

nombre de tours. Au delà de 5 tours, représentant un taux de remplissage de 12,5%, le coefficient de couplage dépasse 0,9. Il se stabilise vers 0,96 à partir de 25 tours, représentant 50% de remplissage de la bobine. Par la suite, l'étude de l'influence de la distance horizontale et verticale sur le couplage magnétique a été réalisée pour 25 tours.

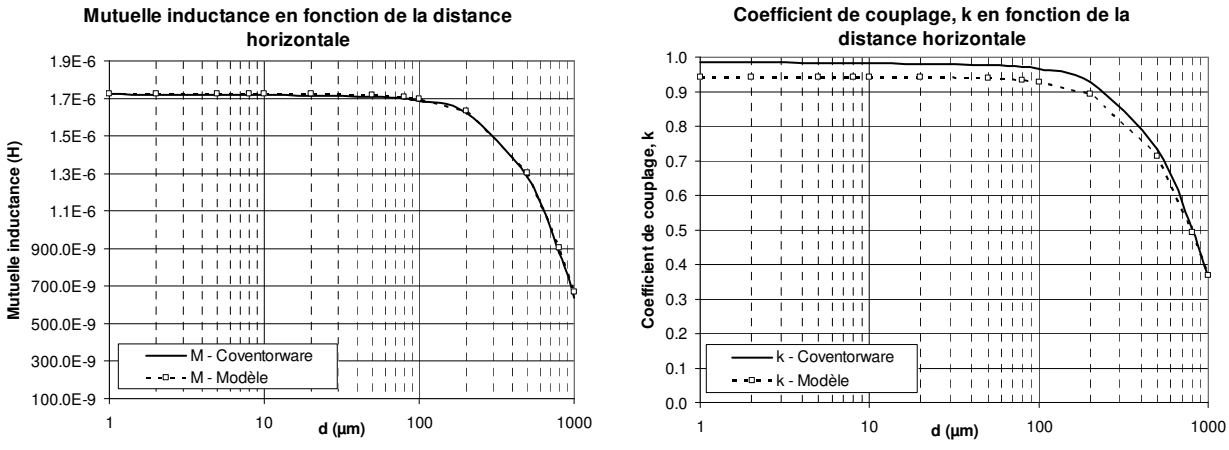


a) b)

Figure 2.23. Influence du nombre de tours sur le couplage magnétique entre deux bobines superposées et alignées.
a) Mutuelle inductance, b) Coefficient de couplage

Ensuite, toujours dans l'objectif de déterminer les conditions d'un fort couplage magnétique entre deux bobines, nous avons mené une série de simulations sur l'influence de l'espacement horizontal et vertical, entre deux inductances identiques, sur la valeur de la mutuelle inductance.

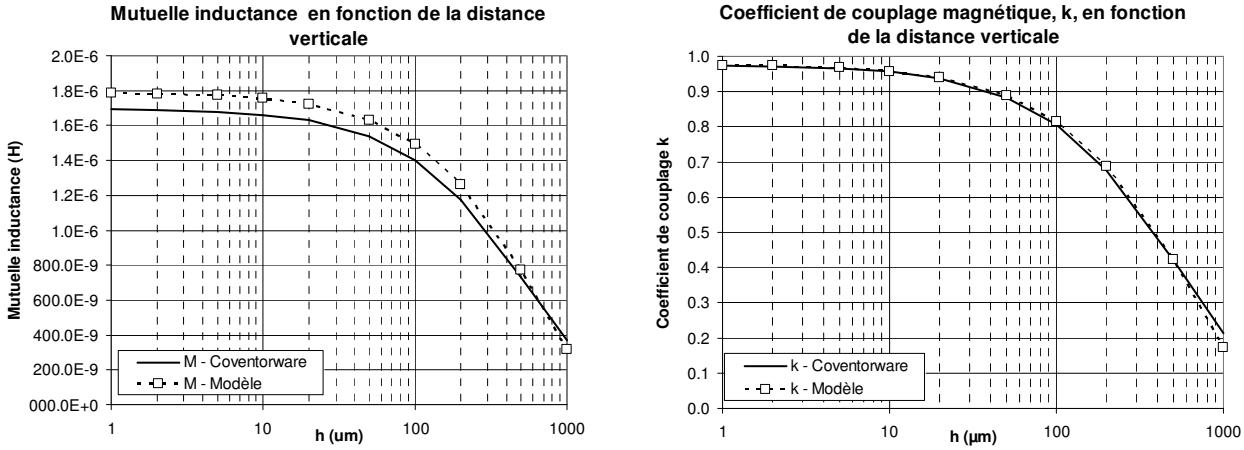
Concernant l'influence de *d*, les courbes des figures 2.24.a et 2.24.b nous montrent que les calculs numériques et simulations aux éléments finis concordent. En accord avec la littérature [103], nous trouvons que la mutuelle inductance la plus élevée s'obtient pour les distances horizontales les plus faibles et reste constante sur une plage comprise entre 0 et 100 µm. Le coefficient de couplage reste supérieur à 0,9 pour les distances horizontales inférieures à 200 µm (Figure 2.24.b). Ces courbes montrent alors que la mutuelle inductance et le coefficient de couplage sont peu sensibles à des erreurs d'alignement de l'ordre du micron entre deux bobines superposées. Par conséquent, les procédés de photolithographie sont tout à fait adaptés pour réaliser des structures d'inductances superposées avec un fort couplage magnétique.



a) b)

Figure 2.24. Etude de l'influence de la distance horizontale
a) Sur la mutuelle inductance, b) Sur le coefficient de couplage magnétique

Une deuxième série de simulations a porté sur l'influence de *h* entre deux inductances identiques, sur la valeur de la mutuelle inductance. Les simulations numériques ainsi que les résultats fournis par Coventorware s'accordent pour montrer que la mutuelle inductance la plus élevée apparaît pour les plus faibles espacements (Figure 2.25.a). Après avoir calculé l'inductance propre de chaque bobine, nous en avons déduit le coefficient de couplage, *k*. Nous constatons alors que le coefficient de couplage est supérieur à 0,9 jusqu'à une distance verticale de 50 µm (Figure 2.25.b) [95].



a) b)

Figure 2.25. Etude de l'influence de la distance verticale
a) Sur la mutuelle inductance, b) Sur le coefficient de couplage magnétique

Dans cette partie, nous avons étudié la validité de la modélisation analytique pour l'analyse du comportement d'une structure composée de deux inductances superposées connectées en parallèle et couplées magnétiquement. Pour cela, nous avons successivement étudié la variation du couplage magnétique entre deux bobines superposées en fonction du taux de remplissage, de la distance horizontale et de la distance verticale entre ces deux bobines. Les résultats numériques ont systématiquement été comparés aux données fournies par Coventorware et un bon accord a été trouvé quel que soit le paramètre géométrique étudié. La première information tirée de cette étude est que les inductances doivent être réalisées avec un taux de remplissage au moins supérieur à 50% pour garantir un couplage magnétique supérieur à 0,9 entre les deux bobines. Ceci constitue un argument supplémentaire montrant la nécessité de bobiner complètement une inductance pour se placer dans les meilleures conditions de performance. Ensuite, en considérant deux bobines superposées avec un taux de remplissage important, une étude sur l'influence de la distance verticale et horizontale entre celles-ci a été menée. De cette étude nous avons déterminé que pour atteindre les plus forts couplages magnétiques, les bobines doivent être les plus proches possibles l'une de l'autre. Une tolérance d'une dizaine de microns, quel que soit la direction dans l'espace, est néanmoins constatée pour laquelle le couplage magnétique ne varie pas de manière significative.

L'étude de la mise en parallèle d'inductance a été l'occasion d'enrichir la modélisation analytique permettant le calcul du couplage magnétique entre plusieurs bobines selon deux topologies. A partir de cet outil, nous avons également exploré les avantages qu'une association série pour atteindre de fortes valeurs d'inductances.

III-2-2. Association d'inductances en série

La deuxième façon d'associer des inductances est de les connecter en série. Nous limiterons volontairement notre étude à une structure de bobines superposées « stacked » car elle constitue à nos yeux la meilleure solution permettant de conserver le même encombrement sur le substrat tout en assurant de très forts couplages magnétiques. De plus, la mise en série des enroulements d'une

structure « interleaved » ne peut se faire qu'en ajoutant plusieurs vias et des conducteurs supplémentaires créant autant de capacités parasites et complexifiant la fabrication.

III-2-2-1. Théorie de la mise en série

La résistance équivalente à la mise en série de conducteurs étant pénalisée par le composant possédant la résistance la plus élevée, nous considérerons pour notre étude que les inductances connectées en série sont toutes identiques. En nous basant sur les équations rassemblées dans l'annexe I, l'expression générale donnant l'inductance équivalente, L_{equ}, de n bobines identiques de valeur d'inductance L connectées en série, est défini par :

$$L_{equ} = \sum_{i=1}^{n} L + L \sum_{i=1}^{n} \sum_{j=1}^{n} k_{ij} \quad ,avec \quad i \neq j \tag{2.29}$$

Dans le même temps, la résistance équivalente R_{equ} équivaut à la somme des n résistances série de chaque bobine :

$$R_{equ} = \sum_{i=1}^{n} R \tag{2.30}$$

Dans le cas particulier où les couplages magnétiques sont parfaits (k_{ij}=1), nous pouvons simplifier l'expression (2.29) :

$$L_{equ} = \sum_{i=1}^{n} L + L \sum_{i=1}^{n} \sum_{j=1}^{n} 1 \quad ,avec \quad i \neq j \tag{2.31}$$

L'inductance, L, peut être mise en facteur :

$$L_{equ} = L\left(\sum_{i=1}^{n} + \sum_{i=1}^{n} (n-1) \right) \tag{2.32}$$

$$L_{equ} = L(n + n(n-1)) \tag{2.33}$$

L'inductance et la résistance équivalente, L_{equ} et R_{equ}, sont finalement données par les relations (2.34) et (2.35) :

$$L_{equ} = n^2 L \tag{2.34}$$

$$R_{equ} = nR \tag{2.35}$$

En première approximation (expression 2.34 et 2.35), l'inductance équivalente, L_{equ}, varie comme avec le carré du nombre de bobines, n^2, et la résistance série, R_{equ}, avec le nombre de bobines, n. Dans le cas simple de l'association en série de deux bobines superposées, décrit par la figure 2.26, et considérant que le couplage magnétique est parfait (k=1), l'inductance équivalente est égale à quatre fois la valeur de départ. Dans le même temps, la résistance est doublée.

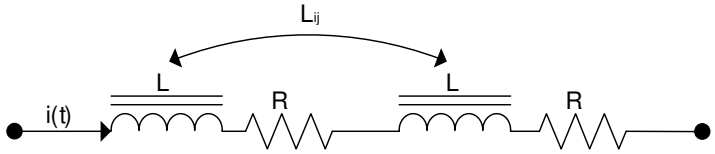


Figure 2.26. Modèle électrique équivalent de deux inductances connectées en série

Ainsi, la mise en série d'inductances permet de doubler le facteur de qualité à condition que le couplage magnétique soit suffisamment important.

III-2-2-2. Analyse avec le modèle analytique développé

De l'étude de la mise en parallèle d'inductances superposées nous savons que le couplage optimal est obtenu lorsque h et d sont faibles. Ces bobines doivent également présenter un nombre d'enroulements important.

Toutefois, lorsque le nombre de bobines superposées augmente, le couplage entre les bobines les plus éloignées est de moins en moins important du fait de leur distance. A terme, cette tendance ne permet plus de se placer dans le cas d'une croissance de l'inductance en n^2. Pour mettre en lumière ce phénomène, nous avons calculé les mutuelles inductances existant entre chaque bobine d'un ensemble constitué de dix composants inductifs superposés.

Le calcul de l'ensemble des coefficients de couplage k_{ij} permet de définir un coefficient multiplicateur, m, défini comme suit :

$$m = \frac{L_{equ}}{L} = \sum_{i=1}^{n} + \sum_{i=1}^{n}\sum_{j=1}^{n} k_{ij} \quad , avec \quad i \neq j \tag{2.36}$$

Le tracé de ce coefficient (Figure 2.27) en fonction du nombre d'inductances connectées en série, permet de retrouver une variation proche de celle du carré du nombre d'inductances, n. Ici, deux bobines contigües sont distantes de h=1µm et sont considérées comme parfaitement alignées (d=0µm). Ces valeurs permettent d'obtenir des coefficients de couplage proches de 1. La courbe décrivant le cas réel ne reste pas proche dans tous les cas de la courbe du cas idéal suivant une loi en n^2. L'approximation réalisée pour obtenir l'expression (2.34) n'est valable que pour un nombre de bobines superposées faible et pour de petits espacements inter bobines.

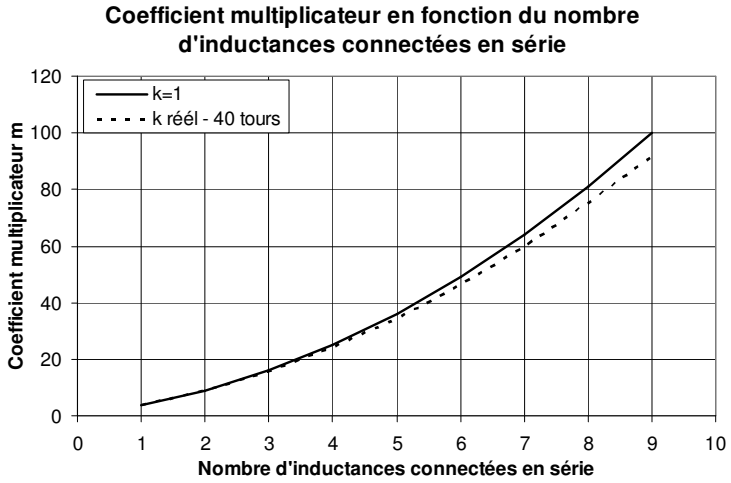


Figure 2.27. Variation du coefficient multiplicatif, m, en fonction du nombre d'inductances connectées en série.

Si ces conditions sont respectées, alors l'inductance équivalente peut donc être rapidement calculée grâce à l'expression (2.34), en connaissant la valeur de l'inductance élémentaire, L. La valeur de résistance équivalente se calcule avec l'expression (2.35), en connaissant la valeur de la résistance élémentaire, R.

Comme le montre le tableau II.2, l'idée d'ajouter le plus d'inductances possible en série est séduisante car l'inductance croît beaucoup plus vite que la résistance. Il est alors possible d'obtenir rapidement des valeurs d'inductance très importantes avec une résistance série qui augmente moins vite.

Nombre d'inductances	2	3	4	5	6	7	8	9	10
Coefficient multiplicateur, m	4	9	16	25	36	49	64	81	100
Coefficient multiplicateur de R	2	3	4	5	6	7	8	9	10

Tableau II.2. Coefficient de multiplication de la valeur d'inductance et de résistance élémentaire pour obtenir les valeurs d'inductance et de résistance équivalentes à l'association série – Cas d'un couplage magnétique parfait

Le même raisonnement peut être réalisé en sens inverse. Connaissant la valeur d'inductance finale, il est possible de la dimensionner en connectant en série n bobines de valeur d'inductance élémentaire L_{equ}/n^2. La valeur de résistance finale sera égale à nxR, R étant à déterminer pour la valeur de l'inductance élémentaire L_{equ}/n^2. Chaque bobine élémentaire devra alors être dimensionnée selon la procédure de la figure 2.18 pour que l'association en série se fasse avec des composants optimisés.

II-2-3. Synthèse

Dans cette partie, les éléments théoriques de la mise en parallèle et en série d'inductances magnétiquement couplées ont été posés. La place importante du couplage magnétique a particulièrement mis en avant. En effet, un fort couplage magnétique est une condition indispensable pour que la mise en parallèle de n bobines identiques aboutisse à la division par n de la résistance tout en conservant la valeur d'inductance. Cette condition est également très importante pour la mise en série afin de multiplier l'inductance par n^2 et la résistance série seulement par n. Ainsi, à partir des principales topologies d'association d'inductances rencontrées dan la littérature, nous avons cherché à déterminer pour chacune d'elles les conditions d'un couplage magnétique maximum. Pour cela, le modèle analytique a été modifié pour prendre en compte des éléments géométriques supplémentaires liés à la position relative des inductances associées. Concernant la structure « Interleaved », il a été démontré la nécessité de minimiser l'espacement inter brins s_2. Pour la topologie « Stacked », les simulations ont apporté la preuve qu'une distance minimale entre les bobines est indispensable à un fort couplage magnétique. De plus, quel que soit la topologie envisagée, il a été remarqué que le taux de remplissage élevé constitue une condition incontournable pour que les bobines soient fortement couplées.

Toutefois, bien que l'association d'inductances géométriquement très proches favorise le couplage magnétique, cela va également développer des effets de proximité entre les bobines qui vont modifier la répartition des courants dans les conducteurs entraînant l'augmentation de la résistance alternative R_{AC}. Ainsi, l'étude en fréquence de l'association d'inductances est nécessaire afin de déterminer dans quelle mesure cela perturbe le comportement fréquentiel de L et de R.

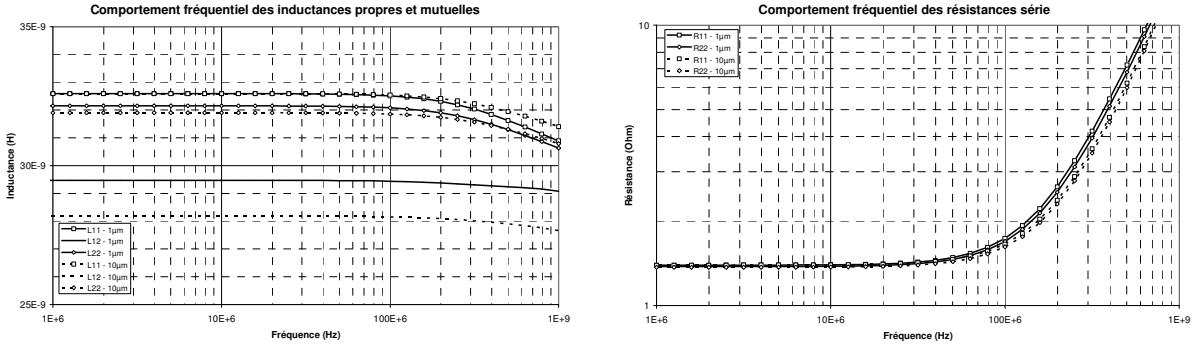
III-3. Analyse fréquentielle de l'association de deux bobines magnétiquement couplées

III-3-1. Stucture « Interleaved » – Mise en parallèle

Nous avons vus précédemment que le couplage magnétique augmente si s_2 diminue. Or nous savons que le couplage magnétique donne naissance à des boucles de courant induits par effets de proximité (Annexe II). Par conséquent, la répartition du courant dans les conducteurs est modifiée et l'impact sur l'inductance et la résistance doit être connu. Aussi, nous avons étudié l'influence de l'espacement s_2 entre deux spires connectées en parallèle selon une topologie « interleaved » sur le comportement fréquentiel des inductances propres et mutuelles ainsi que sur les résistances. Chaque spire est formée d'un conducteur de 15µm de large et d'épaisseur, bobiné sur un tour. Les simulations ont été réalisées pour s_2=1µm et s_2=10µm.

Les courbes des figures 2.28.a et 2.28.b montrent que l'augmentation de l'espacement inter brins influe sur le comportement fréquentiel de d'inductance propre et de résistance de chaque brin. Dans le cas d'un espacement inter brin grand (s_2=10µm), l'inductance diminue alors moins rapidement avec la

fréquence et la résistance AC de chacun des brins est également plus faible. En effet, l'augmentation de l'espacement inter brins diminue la mutuelle inductance L_{12} (Figure 2.28.a), limitant par conséquent les courants de circulation induits dans chaque spire.



a) b)

Figure 2.28. Influence de l'espace inter brins s_2
a) Sur les inductances propres et mutuelles, b) Sur la résistance

Ces simulations démontrent qu'avec un espacement inter-brins faible le comportement fréquentiel de l'inductance et de la résistance était légèrement dégradé, du fait du fort couplage magnétique entre les spires induisant des courants de circulation. La même étude a été menée pour des inductances associés selon une topologie « stacked ».

III-3-2. Structure « Stacked »

III-3-2-1. Mise en parallèle

Nous avons étudié l'influence de la mise en parallèle de deux inductances superposées sur silicium selon la topologie « stacked », sur l'inductance et la résistance équivalente. Les inductances simulées sont composées de conducteurs dont la largeur, l'épaisseur et l'espacement sont de 15µm, et bobinés sur 5 à 25 tours. La distance verticale entre deux inductances est de 10 µm, afin de garantir un bon couplage magnétique. Le tracé de la valeur d'inductance (Figure 2.29) montre que les valeurs diffèrent peu avec celles obtenues pour une seule inductance (Figure 2.11). Ceci signifie que le couplage magnétique est suffisamment important pour garantir une inductance constante lorsque deux bobines sont connectées en parallèle.

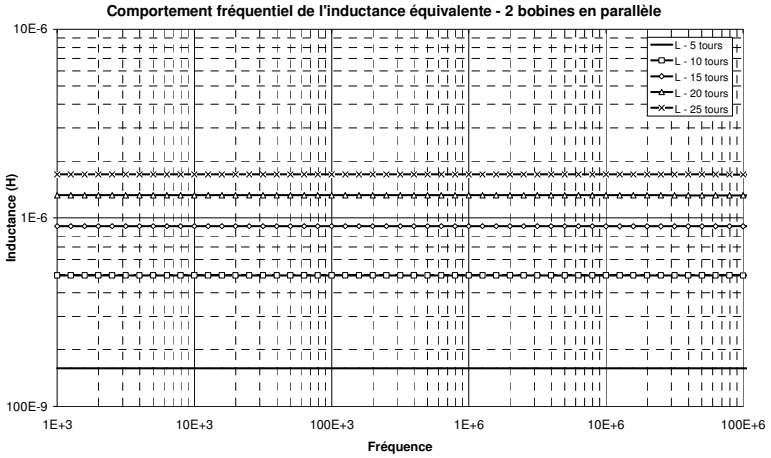


Figure 2.29. Simulation de l'inductance équivalente de deux bobines en parallèle avec Coventorware

Par ailleurs, le tracé de la résistance (Figure 2.30) indique que la résistance est bien divisée par deux, en comparaison avec les valeurs obtenues avec une seule bobine (Figure 2.12.b). Par contre, la

résistance AC obtenue à 100MHz atteint la même valeur que celle simulée pour une seule inductance (Figure 2.12.b).

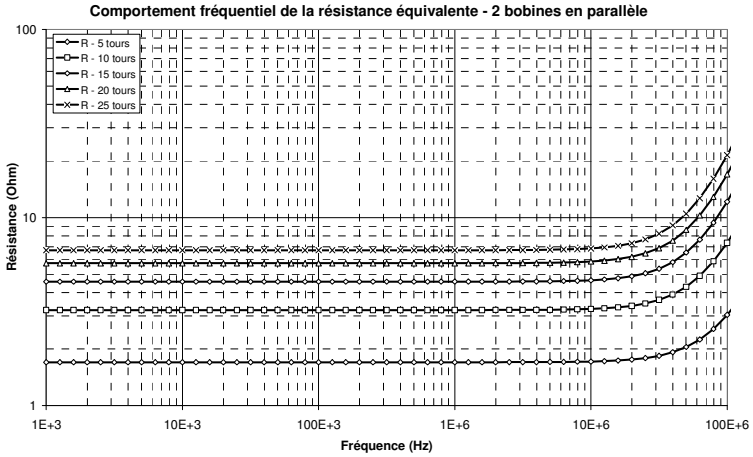


Figure 2.30. Simulation de la résistance équivalente de deux bobines en parallèle avec Coventorware

Les simulations démontrent que la mise en parallèle de bobines identiques avec un fort couplage magnétique permet de diviser par deux la résistance avec une quasi-conservation de l'inductance. Par ailleurs, le comportement fréquentiel de l'inductance ne semble pas modifier de manière significative en comparaison avec les courbes de la figure 2.12.b. Toutefois, bien que la résistance DC ait été divisée par deux, la résistance AC à 100MHz est la même que dans le cas d'une inductance seule signifiant que la superposition de bobines a générer des courant induits supplémentaires.

En conservant la même topologie « stacked », nous avons poursuivi notre étude sur l'influence de l'association en série sur le comportement fréquentiel de *L* et *R*.

III-3-2-2. Mise en série

Nous avons étudié l'influence de la mise en série de deux inductances superposées, sur substrat silicium, selon la topologie « stacked » sur l'inductance et la résistance équivalente. Les inductances simulées sont composées de conducteurs dont la largeur, l'épaisseur et l'espacement sont de 15µm, et bobinés sur 5 à 25 tours. La distance verticale entre deux inductances est de 10 µm, afin de garantir un bon couplage magnétique. Le tracé de la valeur d'inductance équivalente (Figure 2.31) montre une forte augmentation par rapport aux valeurs obtenues avec une seule bobine (Figure 2.11). Pour 25 tours, la mise en série multiplie la valeur d'inductance par 3,9.

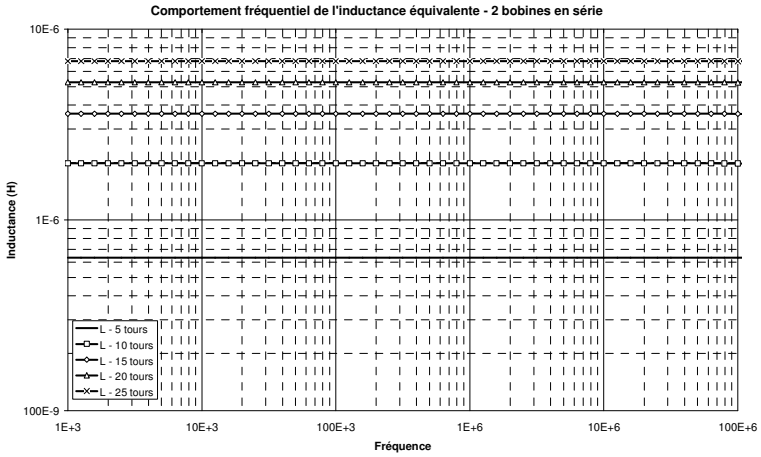


Figure 2.31. Simulation de l'inductance équivalente de deux bobines en série avec Coventorware

Par ailleurs, le tracé de la résistance (Figure 2.32) indique que la résistance est bien multipliée par deux, en comparaison avec les valeurs obtenues avec une seule bobine (Figure 2.12.b). La mise en série implique également une augmentation de la résistance AC par rapport aux valeurs simulées pour une seule inductance (Figure 2.12.b). Ainsi, pour 25 tours, la mise en série multiplie la valeur de résistance AC par 3,3 à 100 MHz. Dans le même temps, la résistance AC à 100MHz équivalente à deux bobines identiques en série de 25 tours et 3,2 fois plus grande que la résistance DC de départ.

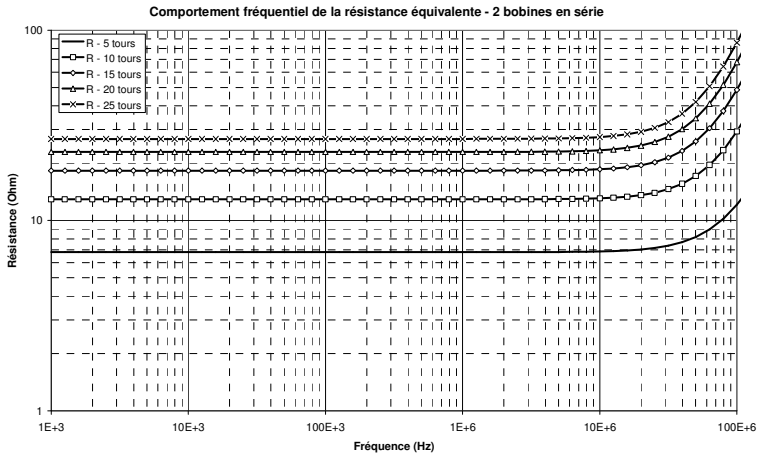


Figure 2.32. Simulation de la résistance équivalente de deux bobines en série avec Coventorware

Les simulations démontrent qu'en basse fréquence, la mise en série de bobines identiques avec un fort couplage magnétique permet de multiplier par quatre l'inductance tandis que la résistance est doublée. Par ailleurs, si les conséquences sur le comportement fréquentiel de l'inductance sont minimes, la résistance AC maximum atteinte est supérieure à celle obtenue pour une inductance simple.

II-3-3. Synthèse

Dans cette partie, nous avons étudié le comportement fréquentiel de l'inductance et de la résistance équivalente à l'association de bobines selon des topologies « interleaved » et « stacked ».

Concernant la topologie « interleaved », la variation de l'espacement inter brins s_2 engendre quelques modifications du comportement fréquentiel de L et de R. La minimisation de s_2 pour rechercher un fort couplage provoque des effets de proximité entre les bobines qui entrainent l'augmentation de R_{AC} ainsi que la diminution de L aux hautes fréquences.

Pour une topologie « stacked », cette étude fréquentielle, ne considérant que les effets de couplage magnétique, nous a permis de connaître l'influence du type d'association sur le comportement fréquentiel de l'inductance et de la résistance équivalent en comparant avec les résultats obtenus pour une seule bobine. Les simulations montrent que le comportement fréquentiel de l'inductance n'est pas affecté. Le fait de superposer deux inductances se traduit par contre par des modifications au niveau de la résistance AC. Le tracé du ratio R_{AC}/R_{DC} (R_{AC} pris à 100MHz) montre alors que la superposition de bobines entraine une croissance plus rapide la résistance AC en comparaison avec une bobine simple (Figure 2.33). La superposition de bobines magnétiquement couplées influence donc la répartition des courants dans les conducteurs. Par contre, le type d'association (série ou parallèle) ne semble avoir aucune conséquence.

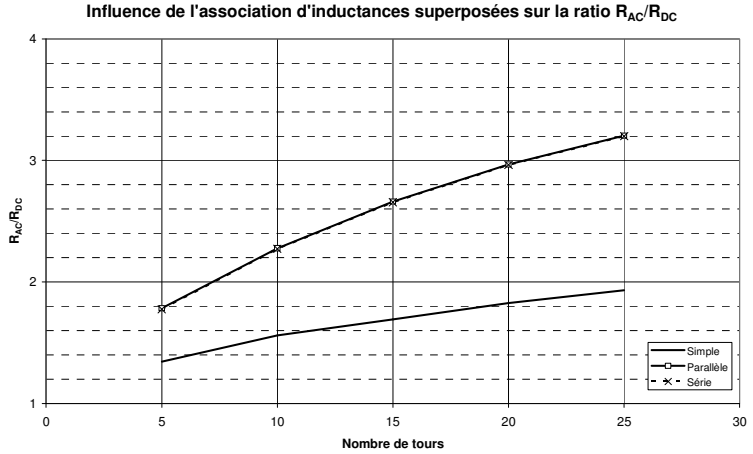


Figure 2.33. Etude du ratio R_{AC}/R_{DC} à 100MHz en fonction du type d'association

Après avoir étudié les conséquences électriques d'une association en parallèle et en série de bobines magnétiquement couplées sur l'inductance, la résistance et leur comportement fréquentiel, nous devons comparer de manière systématique ces structures à des bobines simples en conservant les paramètres géométriques constant (s, d_{out}, N). Cette étude nous permettra alors de déterminer si l'association d'inductances permet d'augmenter les performances des composants inductifs.

III-4. Comparatif des inductances monobrins et multibrins.

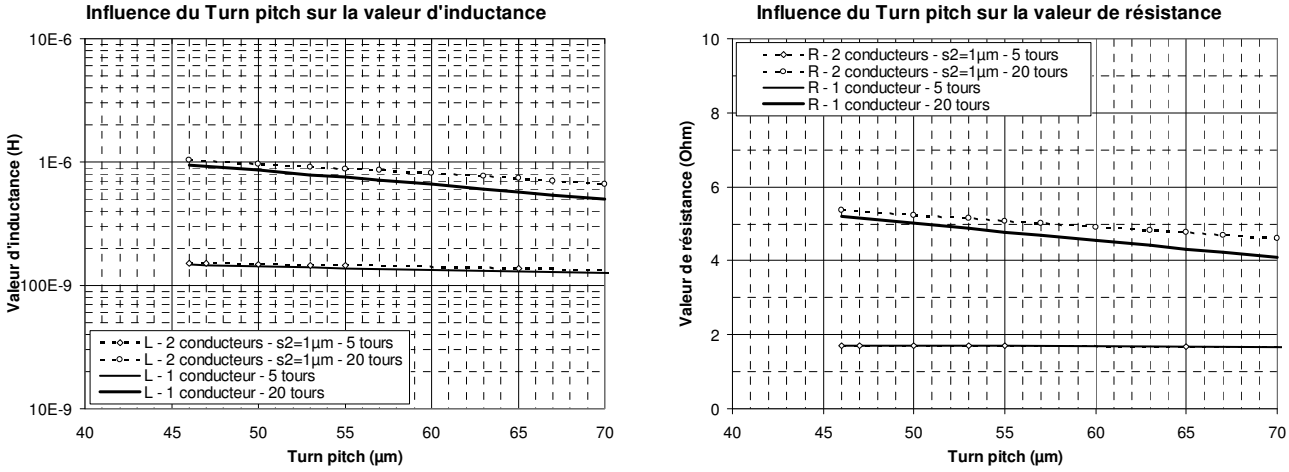
Nous avons présenté les associations parallèles et série d'inductance comme des solutions possibles à la réduction de la résistance série. La mise en équation de ces associations a montré qu'un couplage magnétique fort était primordial pour espérer optimiser la résistance série d'une inductance. L'influence des paramètres géométriques sur la mutuelle inductance pour des topologies « stacked » et « interleaved » a été étudiée. Les conséquences sur la valeur d'inductance et de résistance équivalente ont également été présentées. Une comparaison avec des structures inductives classiques à un seul brin va nous amener à déterminer qu'elles sont les associations permettant d'optimiser au mieux la résistance série d'une inductance.

III-4-1. Structure Interleaved

III-4-1-1. En statique

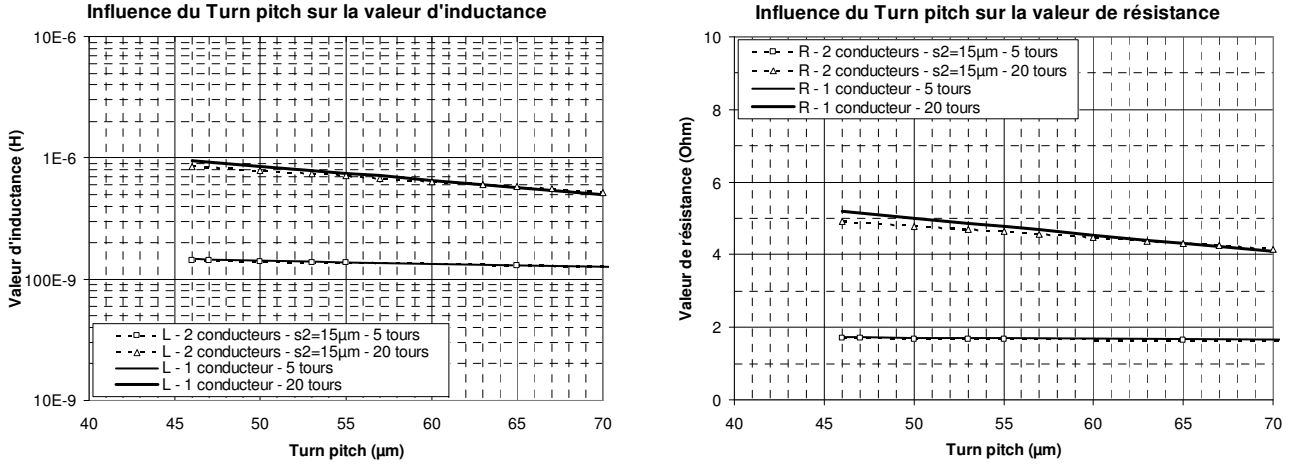
Nous avons commencé notre étude comparative en supposant que les bobines sont toutes capables de véhiculer le même courant. Pour cela, nous considérons que les inductances monobrins et multibrins doivent présenter la même section équivalente de conducteur.

Nous avons comparé des structures inductives dont le diamètre extérieur et l'épaisseur étaient fixés à 3000 µm et 15 µm respectivement. L'inductance classique est constituée d'un conducteur de 30 µm de large que nous avons comparé à une structure constituée de deux conducteurs de 15 µm de large chacun. Les comparaisons ont été réalisées à 5 et 20 tours pour plusieurs valeurs de turn pitch, avec un espacement inter brins faible (s_2=1µm) (Figure 2.34) et un autre plus important (s_2=15µm) (Figure 2.35). Dans tous les cas, les simulations menées avec le modèle présenté laissent apparaître très peu de différences entre les valeurs d'inductances et de résistance entre une structure à deux brins et son équivalent monobrin. La décroissance de l'inductance et de la résistance avec le turn pitch s'explique par l'éloignement des conducteurs entraînant la diminution de l'inductance propre et du couplage magnétique. Dans ces conditions nous concluons que l'utilisation d'une structure à 2 brins en parallèle ne modifie pas les caractéristiques électriques statiques par rapport à une structure monobrin de section équivalente. Cette conclusion est valable lorsque le nombre de brins est augmenté.



a) b)

Figure 2.34. Influence du turn pitch sur les valeurs d'inductance et de résistance série d'une inductance monobrin et d'une inductance à 2 brins – s_2=1µm.
a) Inductance, b) Résistance



a) b)

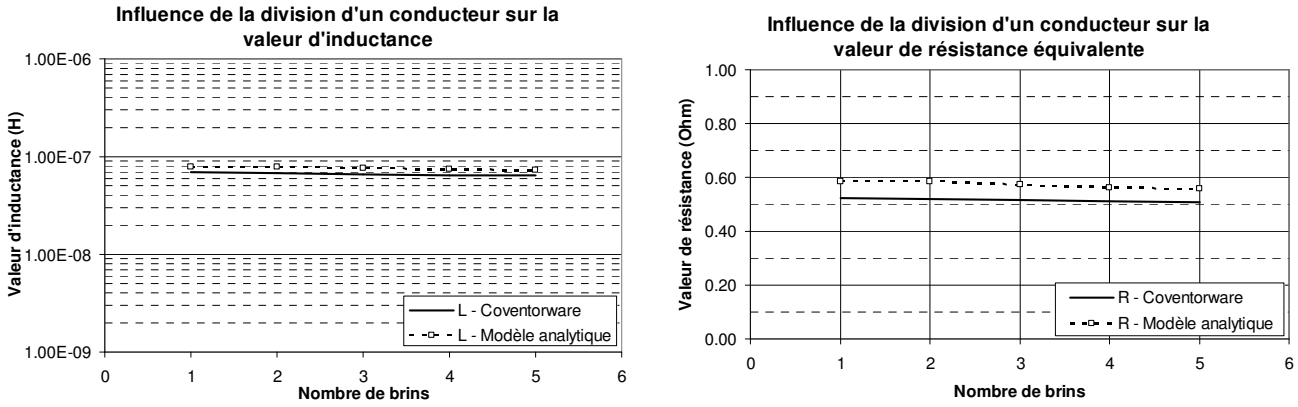
Figure 2.35. Influence du turn pitch sur les valeurs d'inductance et de résistance série d'une inductance monobrin et d'une inductance à 2 brins – s_2=15µm.
a) Inductance, b) Résistance

Ensuite, nous avons cherché à déterminer l'influence de la division des conducteurs en plusieurs brins sur *L* et *R*. Pour cela, nous avons comparé cinq inductances possédant un même diamètre extérieur de 3000 µm et bobiné sur 5 tours. Elles sont constituées de 1 à 5 brins de 15 µm d'épaisseur et connectés en parallèle. La largeur de chaque brin est fixée de telle sorte que toutes les inductances ont la même section équivalente de conducteur (Tableau II.3).

	1 brin	**2 brins**	**3 brins**	**4 brins**	**5 brins**
Largeur du brin	75 µm	37,5 µm	25 µm	18,75 µm	15 µm

Tableau II.3. Largeurs respectives des brins pour une section équivalente de conducteur constante.

Les simulations montrent qu'en statique, pour une section équivalente de conducteur donnée, la division d'un monobrin en plusieurs brins ne modifie pas significativement la valeur d'inductance ni de résistance (Figure 2.36).

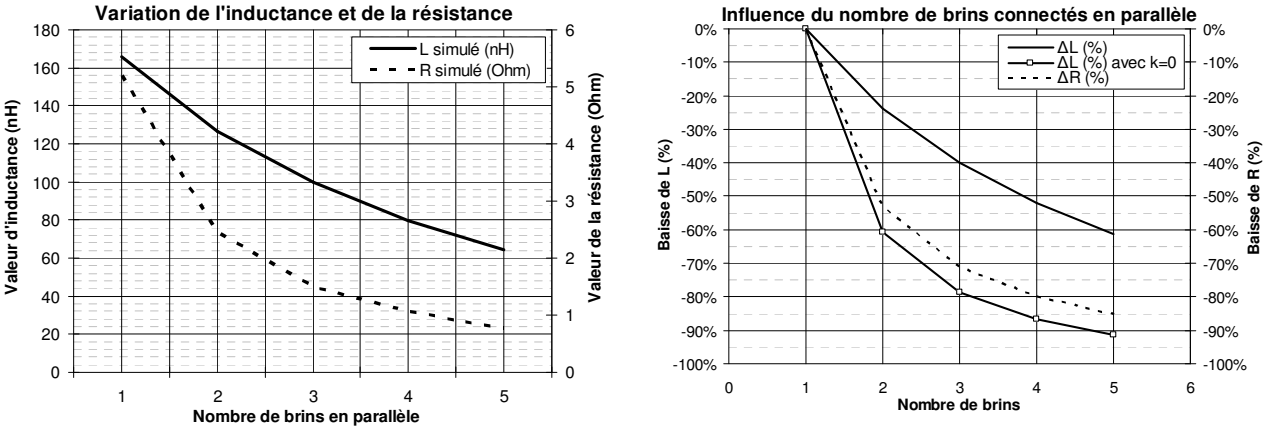


a) b)

Figure 2.36. Influence du nombre de brins sur les valeurs d'inductance et de résistance équivalente – Comparaison à une structure monobrin de section équivalente
a) Inductance, b) Résistance

Ainsi, dans la mesure où les deux structures sont électriquement identiques et rappelant que la réalisation technologique de très larges conducteurs pose des problèmes d'homogénéité d'épaisseur, la structure multibrins est une solution technologique valable.

Finalement, nous avons étudié la possibilité de connecter en parallèle plusieurs inductances pour augmenter la section équivalente de conducteur afin de réduire la résistance série. Nous avons simulé l'association de 2 à 5 inductances en parallèle selon une topologie « interleaved » que nous avons comparé à une bobine monobrin (Figure 2.37). Chacune des bobines connectées en parallèle sont constituées de conducteurs de 15 µm de large enroulés sur 5 tours. Chaque composant final présente un diamètre de 3000 µm et l'espacement entre les conducteurs est de 15 µm.



a) b)

Figure 2.37. Influence du nombre de brins sur les valeurs d'inductance et de résistance équivalentes à l'association de d'inductances en parallèles – Structure « Interleaved ».
a) En valeur, b) En pourcentage

Les simulations montrent que l'inductance et la résistance diminuent avec le nombre brins (Figure 2.37.a). En effet, pour ajouter des inductances supplémentaires à une structure inductive déjà étroitement bobinée, il faut écarter les conducteurs. Ceci équivaut à l'augmentation du turn pitch et donc à la diminution de l'inductance série de chacune des bobines constituant la structure multibrins « interleaved ». Néanmoins, la décroissance de l'inductance est ralentie par rapport à la décroissance de la résistance grâce au couplage magnétique entre les bobines (Figure 2.37.b). Lorsque deux bobines sont connectées en parallèle, l'inductance équivalente décroît de 25% tandis que la résistance série

baisse de plus de 50%. Dans le cas de 5 bobines connectées en parallèle, la résistance est diminuée de près de 85% tandis que l'inductance baisse de 60%. Si le couplage magnétique était nul entre les bobines, alors la décroissance de l'inductance serait encore plus rapide que celle de la résistance.

Pour maintenir la valeur d'inductance constante il faut compenser sa chute en augmentant le nombre de tours. Comme le montre la figure 2.38, l'augmentation du nombre de brins permet de réduire la résistance série à inductance constante lorsque le nombre de tours augmente. L'utilisation de 5 brins en parallèle assure alors une réduction de 76% de la résistance

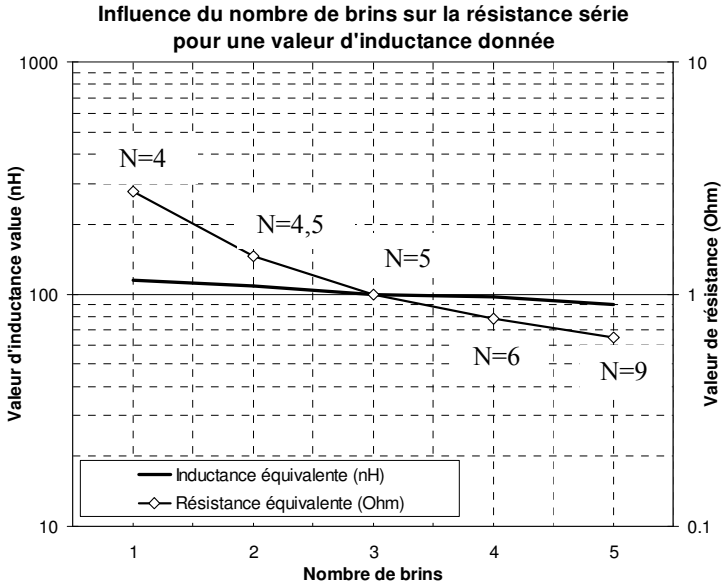


Figure 2.38. Influence du nombre de brins sur la valeur de résistance équivalente à l'association de bobines en parallèles pour une valeur d'inductance donnée– Structure Interleaved.

III-4-1-2. En fréquence

Concernant les simulations en fréquence des composants multibrins, l'étude a été réalisée en nous basant sur les composants décrits dans le tableau II.3. La division d'un conducteur de 75µm de large en plusieurs brins provoque une très faible baisse de la valeur d'inductance (Figure 2.39) déjà identifiée par la figure 2.36.a. Les courbes montrent par ailleurs que la division des brins ne modifie pas significativement le profil fréquentiel de l'inductance (Figure 2.39).

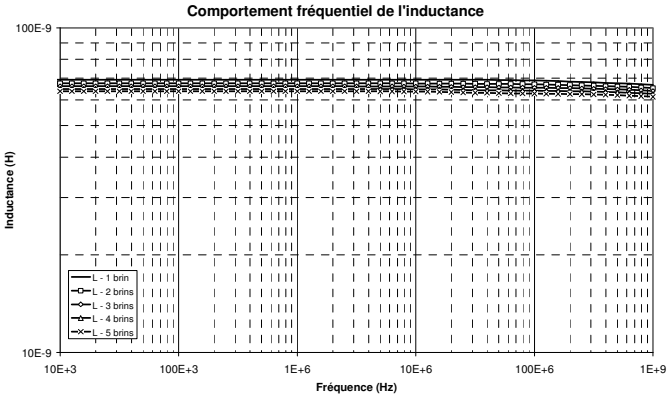


Figure 2.39. Influence de la division des conducteurs sur le comportement fréquentiel de l'inductance

L'analyse des courbes fréquentielles de la résistance série de ces composants montrent également un très faible écart en basse fréquence (Figure 2.40.a). Néanmoins, un décrochage des courbes apparaît clairement au delà de 10 MHz. Nous constatons alors que les inductances formées de plusieurs brins en parallèle présentent une résistance AC plus faible par rapport à la résistance AC de leur équivalent

monobrin. De plus, il apparaît que l'écart de résistance est d'autant plus important que le nombre de brins est grand.

Ces observations se traduisent alors par un facteur de qualité supérieur par rapport à celui obtenu avec une structure monobrin équivalente (Figure 2.40.b). Néanmoins ce gain de résistance est limité à une plage fréquentielle d'environ une décade (40MHz-400MHz), au delà de laquelle les effets de proximité deviennent plus importants pour les structures multibrins. Ceci se traduit alors par une résistance AC supérieure et un facteur de qualité inférieur à ceux de l'inductance monobrin de départ (Figure 2.40.b).

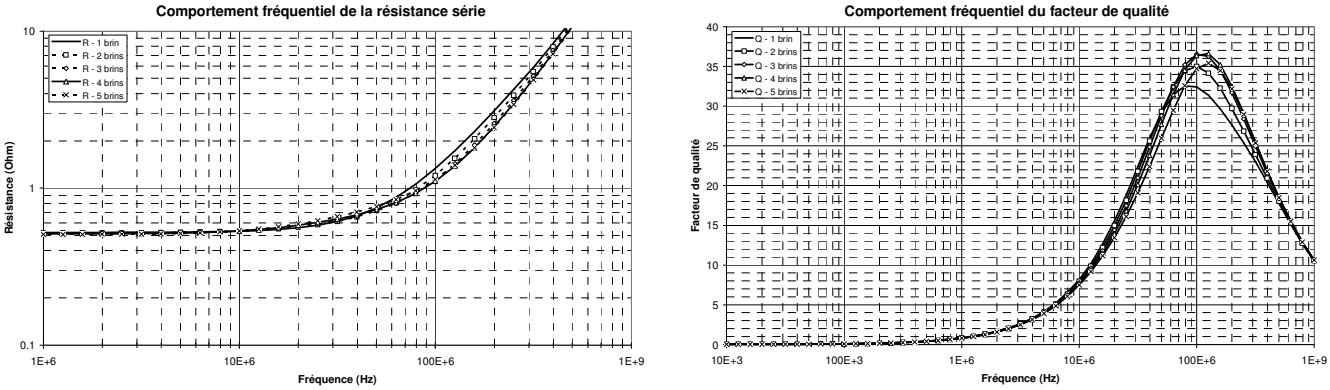
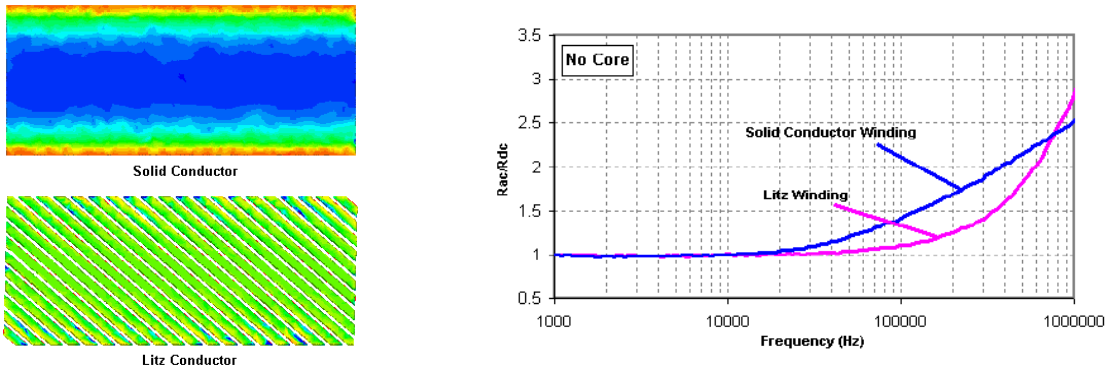


Figure 2.40. Influence de la division des conducteurs
a) sur le comportement fréquentiel de la résistance, b) sur le facteur de qualité

Ce phénomène a été évoqué en 2003 dans les travaux de thèse de S. Wang, sous la direction de W. G. Odendaal et D. Boroyewich, concernant le design de composants magnétiques planaires en technologie hybride [111]. Deux types de bobinages, de résistances continues équivalentes, ont été réalisés et comparés. L'un utilise un seul conducteur bobiné sur 3 tours tandis que le deuxième est constitué de plusieurs brins également bobinés sur 3 tours. L'ensemble des brins est relié en parallèle de telle manière que la section équivalente est identique à la section du conducteur simple (Figure 2.41.a). Cette division d'un conducteur simple en plusieurs brins correspond à une structure de conducteur Litz. Les paramètres géométriques des brins et des conducteurs sont rassemblés dans le tableau II.4.



a) b)

Figure 2.41. Influence de la division des conducteurs sur le comportement AC de la résistance [40]
a) Répartition des densités de courant, b) Mesures expérimentale

Les simulations ont montré que la division des brins permet une répartition plus homogène des densités de courant (Figure 2.41.a). Les caractérisations électriques ont par la suite démontré une réduction de près de 30% de la résistance alternative avec l'utilisation d'une structure de conducteur Litz (Figure 2.41.b). Par ailleurs, il a également été montré que plus le nombre de brins en parallèle est

important, et plus la réduction de la résistance AC est efficace, à section équivalente constante. Toutefois, cette étude ne précise pas l'impact d'une telle division des conducteurs sur la valeur d'inductance et son comportement fréquentiel, ni même sur celui du facteur de qualité.

Paramètres	Modèle I	Modèle II
Nombre de brins	16	10
Largeur des brins (mm)	0,5	1,1
Epaisseur des brins (mm)	0,1	0,0727
Espacement des brins (mm)	0,5	0,5
Largeur des conducteurs (mm)	8	8
Epaisseur des conducteurs (mm)	0,3	0,245

Tableau II.4. Paramètres géométriques des brins et conducteurs

Remarque : Selon les définitions, les fils de Litz sont des brins isolés et doivent statistiquement occuper toutes les positions sur la section du conducteur global, de manière à embrasser le même flux [25]. Pour satisfaire à cette définition, les conducteurs doivent être torsadés. Par conséquent, nos inductances suivant la topologie « interleaved », ne peuvent être qualifiées de structure de conducteur Litz. Chacun des enroulements ne voit donc pas le même flux magnétique et sont donc toujours sujets à des courants de circulation.

III-4-2. Structure stacked en parallèle

III-4-2-1. En statique

Nous avons précédemment démontré que pour réaliser la réduction de la résistance série avec une quasi-conservation de la valeur d'inductance, des bobines identiques connectées en parallèle avec un fort couplage magnétique était indispensable. Concernant la structure stacked, nous avons montré les conditions pour lesquelles le couplage magnétique était maximal. Nous allons maintenant comparer l'une structure monobrin classique avec des structures d'inductances empilées selon la topologie stacked et déterminer si, avec cette association, une réduction de la résistance avec conservation de la valeur l'inductance est possible.

Nous avons calculé, avec le modèle analytique, l'inductance équivalente d'une structure inductive composée de 1 à 5 bobines. Celles-ci sont toutes des structures monobrins constituées de conducteurs dont la largeur, l'épaisseur et l'espacement sont de 15µm. Enroulées sur 40 tours, les bobines ont toutes un diamètre de 3000µm. Nous considérerons pour la suite de notre étude que les bobines sont parfaitement alignées les unes par rapport aux autres.

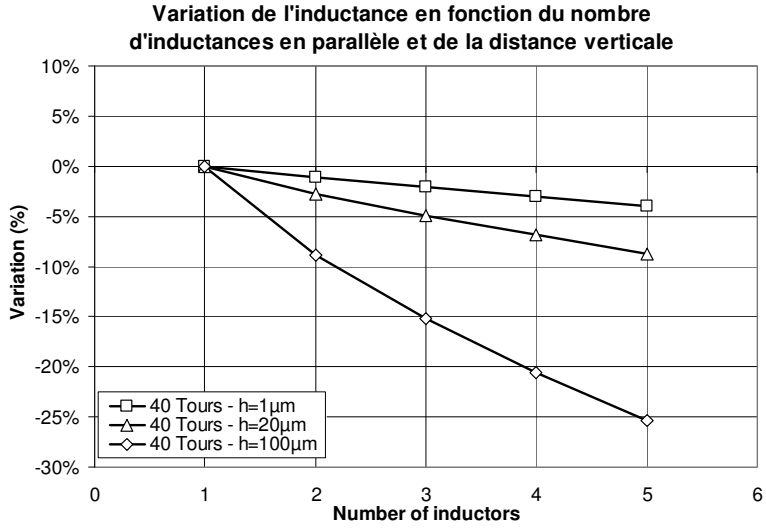


Figure 2.42. Influence du nombre d'inductances en parallèle et de la distance verticale sur la valeur d'inductance.

Les résultats (Figure 2.42) montrent que l'augmentation du nombre de bobines en parallèle entraîne la baisse de l'inductance équivalente, L_{equ}. Pour un espacement de 1µm, la mise en parallèle de cinq bobines entraîne la perte de presque 5% d'inductance par rapport à la valeur d'une bobine seule.

Cette perte augmente alors avec h pour atteindre 25% avec un espacement entre bobines de 100µm. Cette étude montre que l'espacement, h, entre les bobines est l'élément clé dans la superposition des inductances. Un faible espacement est requis, non seulement pour assurer une forte valeur de mutuelle inductance mais aussi pour permettre de paralléliser plusieurs bobines sans entraîner une perte trop importante d'inductance. Dans ces conditions, la superposition de bobines connectées en parallèles est une solution valable permettant de diviser la résistance série en maintenant une valeur d'inductance constante.

III-4-2-2. En fréquence

Nous avons étudié l'influence de la distance verticale sur la mise en parallèle de deux inductances superposées selon la topologie « stacked » sur substrat silicium. Nous avons simulé l'inductance et la résistance équivalente de deux bobines constituées de conducteurs dont la largeur, l'épaisseur et l'espacement sont de 15µm, et bobinés sur 25 tours. Cette structure a été comparée à une inductance classique de même section, dont les conducteurs sont épais de 30µm. Le tracé de l'inductance équivalente (Figure 2.43) montre que si la distance verticale est faible (10µm), les valeurs diffèrent peu avec celles obtenues pour une seule inductance, qu'elle que soit l'épaisseur des conducteurs de celle-ci. Si la distance verticale augmente (100µm), l'inductance équivalente est plus faible, dénotant d'une baisse significative du couplage magnétique.

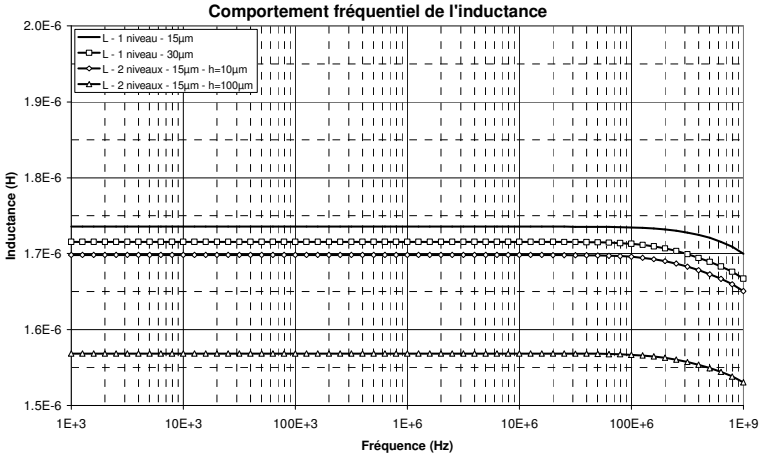
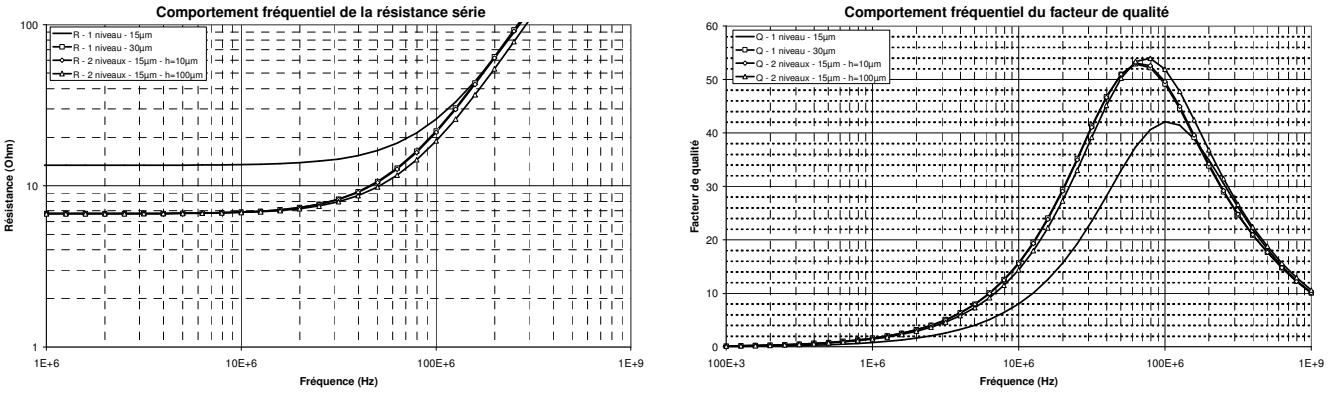


Figure 2.43. Influence de la distance verticale sur le comportement fréquentiel de l'inductance équivalente

Concernant la résistance série, en basse fréquence, les tracés de la figure 2.44.a montrent que la mise en parallèle de deux inductances est équivalente au doublement de la section d'une inductance classique. L'influence de la distance verticale apparaît autour de 100MHz. En haute fréquence, la résistance AC est légèrement plus faible si la distance verticale est grande. Finalement, les courbes de facteur de qualité de la figure 2.44.b montrent que le doublement de la section des conducteurs ou la mise en parallèle de deux bobines ont des effets identiques.

Le facteur de qualité augmente du fait de la diminution de la résistance à inductance constante. Les fréquences de travail sont plus faibles à cause d'une augmentation plus précoce de la résistance série, constatée sur la figure 2.44.a. Par ailleurs, l'augmentation de la distance verticale entraîne une augmentation de la fréquence de travail, liée à une inductance plus faible (Figure 2.43). Le facteur de qualité est également légèrement supérieur grâce à une résistance AC plus faible.



a) b)

Figure 2.44. Influence de la distance verticale
a) Sur la résistance série, b) Sur le facteur de qualité

Les simulations montrent que la mise en parallèle de deux bobines en parallèle est électriquement équivalente au doublement de la section des conducteurs si la distance verticale est faible (h=10µm). Par conséquent, si des conducteurs de forte section sont nécessaires et que l'épaisseur à réaliser atteint les limites technologiques, la topologie « stacked » est une alternative valable.

III-4-3. Structure stacked en série

Nous avons également étudié l'association en série de *n* inductances comme solution à la diminution de la résistance série. En effet, grâce au fort couplage magnétique nous pouvons atteindre

des valeurs élevées d'inductances selon une variation en n^2 alors que dans le même temps, la résistance ne croît que selon une loi en n.

III-4-3-1. En statique

Nous avons tout d'abord dimensionné une inductance de valeur 1 µH avec des conducteurs de 15µm de large et espacés de 15µm. La bobine optimisée, présentant la résistance la plus faible possible, est obtenue pour un nombre d'enroulement maximum et un diamètre extérieur le plus faible possible. Ce compromis est atteint avec un diamètre extérieur de 2200µm et 35 tours. La résistance série, $R_{équ}$, calculée est de 9,51 ohms. Pour dimensionner cette valeur d'inductance avec n bobines superposées et connectées en série, nous devons connaître la valeur de l'inductance élémentaire, L en utilisant l'expression (2.34). La valeur de cette inductance élémentaire décroît très rapidement avec le nombre d'inductances, n, à connecter en série afin d'obtenir 1 µH (Tableau II.5). Ce calcul est réalisé en considérant que l'approximation des couplages parfaits est valable. La distance verticale est considérée égale à 1µm.

Nombre d'inductances en série	**2**	**3**	**4**	**5**
L élémentaire (nH)	250.0	111.1	62.5	40.0

Tableau II.5. Valeurs des inductances élémentaires en fonction du nombre d'inductances à connecter en série pour obtenir 1µH.

Il est à noter, que dans le cas de distances verticales, h, plus importantes, tous les coefficients de couplages doivent être calculés afin de déduire le coefficient multiplicatif, m, et la valeur des inductances élémentaires. Ces dernières seront plus élevées que celles rassemblées dans le tableau II.5. Ce surdimensionnement de L permet de compenser des valeurs de mutuelles inductances plus faibles, et ainsi obtenir la valeur finale de 1 µH.

- Dimensionnement à paramètres géométriques constants

Le dimensionnement des inductances élémentaires, dans les cas de la connexion en série de deux et trois inductances, a été réalisé en respectant les paramètres géométriques précédents. Les bobines sont constituées de conducteurs dont la largeur des conducteurs est de 15µm et espacés de 15µm pour un diamètre extérieur de 2200µm. Les résistances séries obtenues sont résumées dans le tableau II.6.

Nombre d'inductances en série	**2**	**3**
R élémentaire (ohm)	3.89	2.54
$R_{équ}$ (ohm)	7.78	7.62

Tableau II.6. Valeur des résistances série élémentaires et équivalente à la mise en série de deux et trois inductances.

Le calcul de la résistance équivalente à l'association en série de 2 et 3 bobines montre alors un gain de 20% par rapport à la bobine simple de référence. Toutefois, les inductances élémentaires que nous avons dimensionnées ne sont pas optimales. En effet, en ayant conservé le diamètre extérieur ainsi que la largeur des conducteurs, les bobines obtenues ont un taux de remplissage faible. Or, nous savons qu'à valeur d'inductance donnée, la bobine optimale en termes de résistance est obtenue pour un taux de remplissage maximum. Une marge d'optimisation apparaît alors et doit être exploitée.

L'optimisation peut suivre deux voies distinctes. Le diamètre extérieur que nous avons fixé est une valeur maximale à ne pas dépasser pour respecter des conditions d'encombrement constant à valeur d'inductance donnée. Mais les faibles valeurs des inductances élémentaires nous permettent de les dimensionner avec des diamètres extérieurs plus petits. La possibilité de gagner de la surface sur silicium tout en conservant une inductance identique est très intéressante. La première manière d'optimiser ce composant, dite *'à encombrement minimum'*, sera de dimensionner les inductances

élémentaires avec un diamètre extérieur minimum permettant un taux de remplissage maximum. Cette première optimisation est réalisée à largeur et espacement des conducteurs constants.

Si le diamètre extérieur est conservé constant, la solution pour obtenir un taux de remplissage maximum est de bobiner des conducteurs plus larges. La deuxième méthode d'optimisation, dite *'à encombrement fixe'*, que nous étudierons sera donc basée sur le dimensionnement des bobines élémentaires à diamètre extérieur constant et avec des conducteurs de largeur permettant un remplissage maximal de la bobine. L'espacement entre les conducteurs demeure constant.

- Dimensionnement à encombrement minimum

En suivant les règles d'optimisation décrites plus haut, nous avons dimensionné chacune des inductances élémentaires rassemblées dans le tableau II.7, avec l'encombrement le plus petit possible sur le substrat. Nous avons alors calculé la résistance équivalente de chaque bobine élémentaire et relevé leur diamètre extérieur minimum. Le tableau II.7 montre que l'augmentation du nombre d'inductances connectées en série permet simultanément de réduire la résistance série ainsi que la surface occupée sur le substrat, pour une valeur d'inductance constante.

Surface minimale et w constant					
Nombre d'inductances	**R (ohm)**	**$R_{équ}$ (ohm)**	**Diamètre (µm)**	**Gain sur $R_{équ}$ (%)**	**Gain sur le diamètre (%)**
2	3.86	7.72	1360	-19%	-38%
3	2.27	6.81	1040	-28%	-53%
4	1.59	6.36	860	-33%	-61%
5	1.18	5.9	740	-38%	-66%

Tableau II.7. Dimensionnement à encombrement minimum - Valeur des résistances série élémentaires et totales dans le cas de la mise en série de deux à dix inductances.

La marge d'optimisation évoquée précédemment permet de réduire drastiquement la résistance série tout en réduisant la surface du composant sur le substrat. Le facteur de qualité va augmenter ainsi que la fréquence de résonance de la bobine.

- Dimensionnement à encombrement fixe

La même démarche a été suivie pour étudier l'optimisation d'inductance à encombrement fixe. Nous avons dimensionné chacune des inductances élémentaires rassemblées dans le tableau II.8, avec un encombrement constant et des conducteurs les plus larges possibles. Nous avons alors calculé la résistance équivalente de chaque bobine élémentaire et relevé la largeur des conducteurs utilisés.

Surface constante et largeur de conducteur optimisée				
Nombre d'inductances	**R (ohm)**	**$R_{équ}$ (ohm)**	**Largeur des conducteurs (µm)**	**Gain sur $R_{équ}$ (%)**
2	1.66	3.32	45	-65%
3	0.71	2.13	75	-78%
4	0.36	1.44	105	-85%
5	0.25	1.25	130	-87%

Tableau II.8. Dimensionnement à encombrement constant - Valeur des résistances série élémentaires et totales dans le cas de la mise en série de deux à dix inductances.

Le tableau montre que l'augmentation du nombre d'inductances connectées en série permet de réduire très rapidement la résistance série. Trois bobines en série suffisent pour réduire la résistance de presque 80%. Néanmoins l'élargissement des conducteurs va limiter le fonctionnement en fréquence d'une telle structure.

III-4-3-2. En fréquence

Nous avons étudié l'influence de la mise en série de deux inductances superposées de 250nH, sur substrat silicium, selon la topologie « stacked », afin d'obtenir une inductance équivalente de 1µH. Nous avons comparé les comportements en fréquentiels d'une structure inductive optimisée à encombrement constant avec une structure inductive optimisée à encombrement minimum ainsi qu'avec une inductance classique. La distance verticale entre deux inductances est de 10 µm, afin de garantir un bon couplage magnétique.

Le tracé de la valeur d'inductance équivalente (Figure 2.45) montre que quelque soit la méthode d'optimisation envisagée, la valeur d'inductance équivalente est proche de 1µH à condition que chaque bobine élémentaire soir correctement dimensionnée. En effet, si une bobine est dimensionnée pour 250nH précisément, l'inductance équivalente sera inférieure à 1µH. De fait, il faut surdimensionner de 10% chaque bobine élémentaire à 260nH pour avoir effectivement 1µH à la fin.

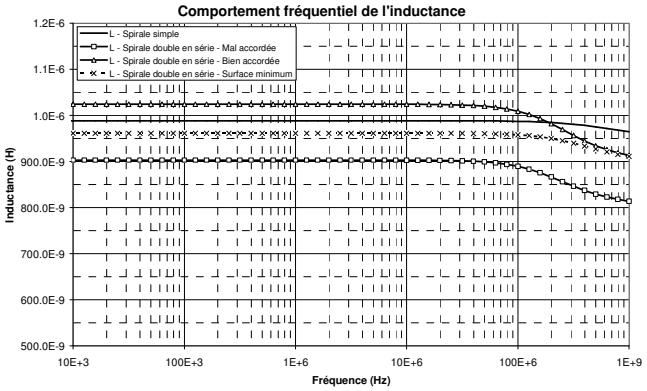
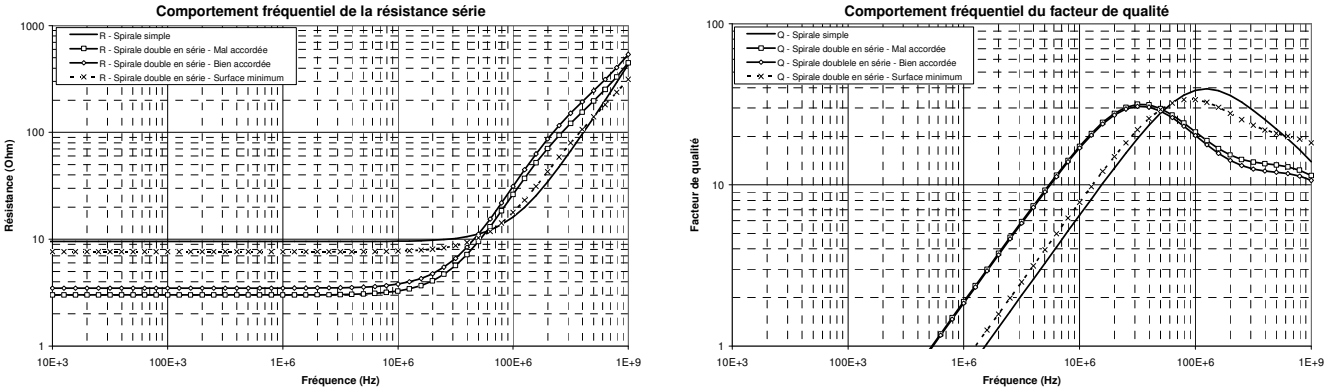


Figure 2.45. Influence de la mise en série pour une valeur cible d'inductance – 1µH

Ensuite, suivant la méthode d'optimisation choisie, les courbes de la figure 2.46.a montrent que le gain en résistance série est plus ou moins important. Comme prévu par le modèle analytique, le gain maximal en résistance DC est obtenu pour une optimisation à encombrement constant. Néanmoins, ce dimensionnement entraîne une augmentation plus rapide de la résistance AC qui est due au couplage magnétique entre les deux bobines élémentaires reliées en série. Ceci se traduit également par un facteur de qualité maximum plus faible (Figure 2.46.b) que pour une bobine classique. Une diminution de la fréquence de travail est également constatée quelque soit la méthode d'optimisation choisie. La plus grosse diminution correspond à un dimensionnement à encombrement constant et s'explique par l'utilisation de conducteurs plus larges que pour la bobine classique de départ (45µm au lieu de 15µm). Il a été précisé au paragraphe III-1 que l'augmentation de la largeur des conducteurs entraînait la diminution de la fréquence de résonance. Le décalage le moins important correspond à la méthode d'optimisation à encombrement minimum et s'explique par le plus faible diamètre des bobines utilisées. Toutefois, pour des fréquences inférieures à la fréquence de travail, chaque méthode d'optimisation assure un facteur de qualité supérieur à celui d'une bobine classique de même valeur d'inductance.



a) b)

Figure 2.46. Influence de la mise en série à inductance constante – 1µH
a) Sur la résistance série, b) Sur le facteur de qualité

Ces simulations ont montré l'intérêt de la mise en série de bobines pour optimiser leurs performances. Bien que la bande fréquence d'utilisation soit plus réduite que pour une bobine classique, du fait des couplages magnétiques entre chaque bobine, il apparaît que pour une même valeur d'inductance, il est possible de réduire la résistance série pour une surface occupée identique voire inférieure.

III-5. Méthodologie de conception d'une association de plusieurs inductances.

L'inconvénient principal dans le dimensionnement d'inductances intégrées est de réaliser le compromis d'une inductance forte avec une résistance faible en continue **et** en fréquence, dans un volume imposé et avec une fréquence de résonance la plus élevée possible. Dans ce chapitre, nous avons étudié plusieurs types d'associations de bobines intégrées et fait apparaître l'intérêt d'utiliser les forts couplages magnétiques pour doper les performances des inductances.

A surface occupée constante sur le substrat, nous avons vu qu'il était possible d'obtenir des inductances de grandes valeurs en utilisant la mise en série de bobines. D'autre part, de faibles résistances série sont accessibles par des associations en parallèle tout en conservant la valeur d'inductance. Finalement, il est apparu par ailleurs, que la division des conducteurs en plusieurs brins connectés en parallèle faisait apparaître une économie de résistance dans les hautes fréquences.

Concernant les solutions technologiques pour l'association d'inductances, nous avons choisi celles nous assurant les couplages magnétiques les plus élevés. Si la solution « interleaved » est la plus simple à mettre en œuvre, elle ne permet pas d'atteindre de fortes inductances sans occuper une surface importante sur le substrat. De même, les faibles résistances ne s'obtiennent qu'avec des structures larges et/ou avec des facteurs de forme difficiles à produire en salle blanche. La topologie « stacked » allonge le temps de fabrication et la complexité mais assure les valeurs d'inductances les plus élevées et les résistances série les plus faibles à surface constante.

Nous considérerons que la surface maximum est fixée au préalable mais que les inductances réalisées peuvent l'être en occupant une surface plus petite. Le substrat est considéré semi-conducteur et des précautions ont été prises pour limiter les pertes dans celui-ci. Les contraintes électriques appliquées à la bobine vont déterminer l'ordre de grandeur de l'inductance et de la résistance.

- Fort courant continu – Forte ondulation. Contexte dans lequel de forts courants doivent être fournis et où la rapidité des transitoires est privilégiée à la précision de régulation :

Avec un courant moyen élevé, une faible résistance série en continue est recherchée. Pour diminuer la résistance série, il a été démontré que des conducteurs de fortes sections devaient être

réalisés. Dans ce cas, dans la mesure où la fréquence d'utilisation est élevée (>1MHz) les effets de peaux vont se manifester et une forte ondulation en courant oblige à choisir une solution pour réduire les pertes dues à la résistance alternative. Egalement, cela implique une valeur d'inductance qui peut être faible.

Nous avons une situation de « faible résistance /faible inductance » et où les pertes dans le substrat peuvent être limitées par des techniques d'isolation. L'inductance peut être bobinée avec des conducteurs les plus larges possible pour atteindre un taux de remplissage maximum sur la surface impartie. Afin de réduire les pertes Joules en hautes fréquences, les conducteurs devront être divisés en 2 ou 3 brins selon la topologie « interleaved ». Si la résistance série n'est pas atteinte, les conducteurs peuvent être épaissis, dans la mesure où la technologie le permet et que les pertes Joules en hautes fréquences ne dépassent pas la limite autorisée. Au delà d'un certain facteur de forme, deux inductances similaires peuvent être superposées selon une topologie « stacked-parallèle » pour diminuer la résistance continue à inductance constante.

Ce contexte est caractéristique de la plupart des convertisseurs abaisseurs de tension rapides, pour lesquels la tension de sortie n'a pas besoin d'une régulation fine. Egalement, cette solution peut être mise en œuvre dans un filtre de sortie de convertisseur multiphase, dans lequel l'ondulation de sortie est suffisamment réduite pour qu'une petite inductance de filtrage suffise.

- Faible courant continu – Forte ondulation. Contexte dans lequel de faibles courants doivent être fournis et où la rapidité des transitoires est privilégiée à la précision de régulation :

Avec un courant moyen faible, la recherche d'une résistance série est moins critique et autorise des sections de conducteurs moins importantes. Néanmoins, une forte ondulation en courant oblige à choisir une solution pour réduire les pertes dues à la résistance alternative, si les effets de peaux restent non négligeables. Egalement, cela implique une valeur d'inductance qui peut être faible.

Nous avons une situation de « moyenne résistance /faible inductance » et où les pertes dans le substrat peuvent être limitées par des techniques d'isolation. L'inductance doit être bobinée avec un taux de remplissage maximum pour optimiser le rapport R/L, avec des conducteurs dont la largeur permettra d'atteindre la valeur d'inductance voulue. Leur épaisseur sera la variable d'ajustement de la résistance. D'autre part, l'ondulation en courant étant considérée comme non négligeable, les conducteurs devront être divisés en 2 ou 3 brins selon la topologie « interleaved », afin de réduire les pertes Joules en hautes fréquences.

Ce contexte correspond, par exemple, à celui d'une inductance utilisée dans une des branches d'un convertisseur multiphase. En effet, dans ce cas, l'ondulation en courant dans une branche est choisie volontairement grande dans le but de minimiser la taille de l'inductance. Les techniques de microélectronique, ouvrent en outre la possibilité d'intégrer les inductances de chaque branche selon une topologie « stacked » ou « interleaved » de manière à les coupler entre elles et ainsi réduire encore plus l'ondulation du courant de sortie. Pour constituer le filtre de sortie, il serait alors possible d'utiliser une petite inductance (cas précédent) voire de la supprimer.

- Faible courant continu – Faible ondulation. Contexte dans lequel de forts courants doivent être fournis et où la précision de régulation est privilégiée à la rapidité des transitoires :

Avec un courant moyen faible, la recherche d'une résistance série est moins critique et autorise des sections de conducteurs moins importantes. Toutefois, l'évaluation de la résistance alternative à la fréquence de fonctionnement doit indiquer si l'ondulation en courant est suffisamment faible pour négliger les pertes Joules associées. Il faut prévoir une bobine avec une forte valeur d'inductance série pour assurer une faible ondulation du courant.

Nous avons une situation de « moyenne résistance /forte inductance » et où les pertes dans le substrat peuvent être limitées par des techniques d'isolation. L'inductance doit être bobinée avec un

taux de remplissage maximum pour optimiser le rapport R/L, avec une largeur de conducteur et un nombre de tours adaptés pour atteindre la valeur d'inductance voulue et pour que le composant occupe toute la surface disponible. L'épaisseur des conducteurs sera la variable d'ajustement de la résistance, dans la mesure où les pertes Joules en fréquences sont acceptables et que les moyens technologiques le permettent. Dans le cas contraire, l'utilisation d'une topologie « interleaved », pour réduire les pertes, et d'une topologie « stacked-parallèle », pour atteindre de fortes sections, devra être étudiée. Si la valeur d'inductance visée n'est pas atteinte, il faudra envisager l'utilisation d'une topologie « stacked-série » et déterminer si l'optimisation doit être réalisée à surface constante et largeur de conducteur optimisée où à largeur de conducteur constante et surface minimale.

- Fort courant continu – Faible ondulation. Contexte dans lequel de forts courants doivent être fournis et où la précision de régulation est privilégiée à la rapidité des transitoires :

Cette situation est le pire cas envisageable. En effet, il faut à la fois atteindre une forte valeur d'inductance tout en maintenant la résistance très faible. Si la surface disponible est limitée, il faut obligatoirement utiliser une structure « stacked-série » qui occupera le maximum de surface possible afin de conserver des conducteurs suffisamment larges. Le taux de remplissage doit être maximum pour optimiser le rapport R/L de chaque bobine en série. Si malgré tout, la résistance voulue n'est pas atteinte, l'épaisseur des conducteurs peut être augmentée. Dans ce cas, si les pertes Joules en fréquences augmentent significativement, les conducteurs pourront être divisés selon une topologie « interleaved ».

Cette situation est caractéristique de la plupart des convertisseurs abaisseurs de tension (Buck, Forward…) pour lesquels la précision de régulation de la tension de sortie est primordiale, mais également du filtre de sortie d'un convertisseur multiphase.

Dans la mesure où les fréquences de commutation augmentent au-delà de 10MHz, il faudra généraliser la division des conducteurs selon une topologie « interleaved » pour l'ensemble des bobines décrites ci-dessus.

La figure 2.47 représente l'arbre de décision de dimensionnement décrit dans ce paragraphe.

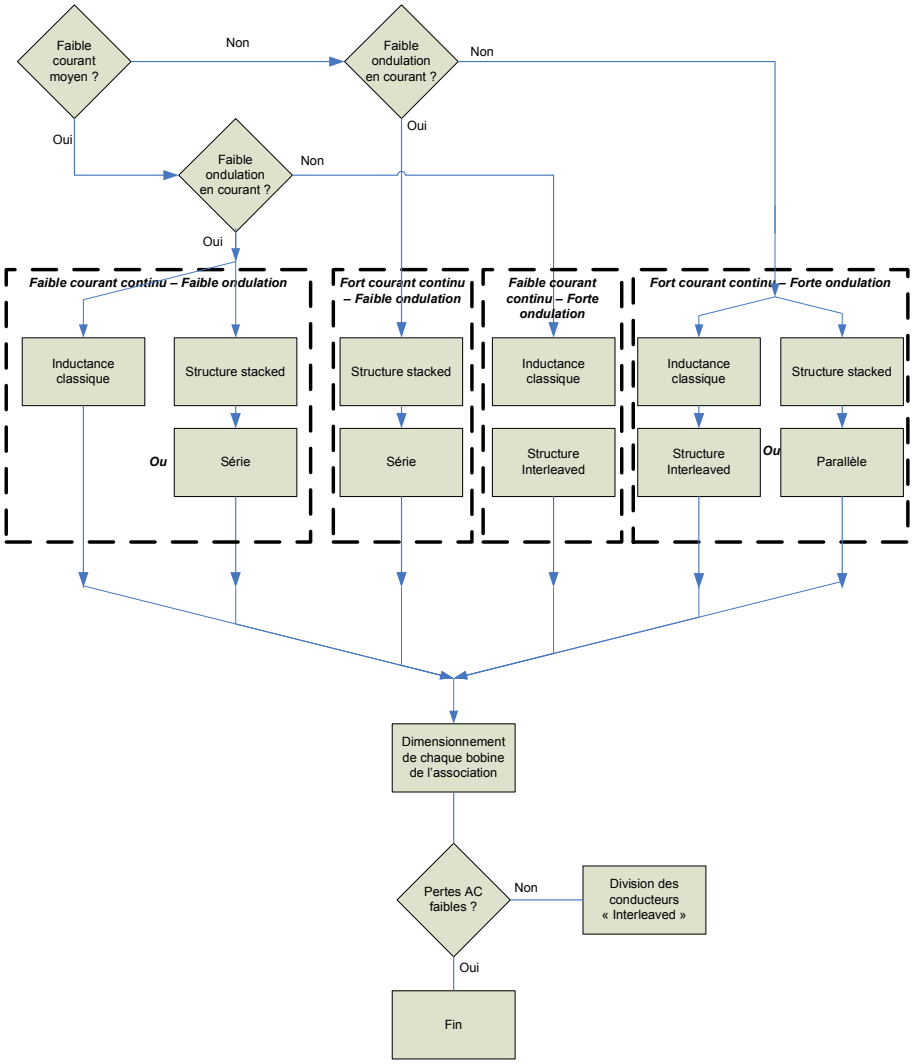


Figure 2.47. Méthodologie de dimensionnement d'une inductance planaire intégrée pour des applications de puissance en haute fréquence.

4. Conclusion

Nous avons présenté dans ce chapitre les étapes nécessaires au dimensionnement d'une inductance pour des applications de puissance. Celui-ci doit tenir compte des contraintes DC et AC imposées par le circuit ainsi que par la charge. Dans un premier temps, une méthodologie pour le dimensionnement d'une inductance planaire classique a été proposée. Des solutions ont été proposées pour permettre à un concepteur de satisfaire un cahier des charges. Notamment, l'association de plusieurs inductances en parallèle et/ou en série a été proposée afin d'atteindre respectivement de faibles de résistance et de fortes valeurs d'inductances.

Leur comportement fréquentiel a ensuite été étudié et les limitations de telles structures ont pu être identifiées. L'étude en simulation des composants seuls a démontré que dans la plage de fréquence qui nous intéresse (<100MHz), les principaux paramètres d'inductance et de résistance, calculés avec une hypothèse quasi-DC, n'étaient que peu modifiés avec l'augmentation de la fréquence. Dans ce cas, les effets de peaux et de proximité sont peu importants. Ensuite, l'intégration de composants magnétiques sur un substrat semi-conducteur s'accompagne inévitablement de pertes d'énergie dans le substrat, en haute fréquence, qui limitent le facteur de qualité ainsi que la plage de fonctionnement fréquentiel du composant. Ces pertes doivent être réduites avec des techniques d'isolations, utilisées dans le domaine RF, destinées à supprimer tout couplage (électrique comme magnétique) avec le substrat. Par ailleurs, les simulations ont montré l'intérêt de la mise en parallèle de bobines, permettant la réduction de la résistance série en AC pour une valeur d'inductance constante.

Finalement, à partir des simulations statiques et fréquentielles, nous avons pu mettre en place une procédure de choix de structure inductive basée sur les contraintes électriques rencontrées dans des convertisseurs à découpage réel. Un composant inductif intégré peut être composé d'une ou plusieurs bobines élémentaires, chacune étant dimensionnée suivant la procédure décrite au paragraphe II-1-4, associées en parallèle ou en série, selon une topologie « stacked » ou « interleaved », de manière à atteindre les objectifs du cahier des charges. Ces deux topologies permettent effectivement d'optimiser la valeur de résistance à inductance constante et pour une surface occupée identique voire inférieure en comparaison avec une bobine classique. Nous avons également relevé que la plage fréquentielle d'utilisation de telles structures était légèrement réduite du fait d'une croissance plus rapide de la résistance AC, due au couplage magnétique entre les bobines mais aussi entre les bobines et le substrat silicium. L'utilisation des topologies présentées se justifie alors en fonction du but principal fixé par le cahier des charges :

- Interleaved-parallèle : réduction de la résistance AC
- Stacked :
    - Parallèle : bobine à très faible résistance
    - Série : bobine de forte inductance à résistance et/ou surface minimum

Chapitre III : Procédé technologique pour la réalisation d'inductances intégrées.

1. Introduction

Dans le chapitre II, après avoir étudié la méthode de dimensionnement d'inductances spirales planaires classiques, nous avons étudié la possibilité d'en associer plusieurs afin d'atteindre des performances supérieures. Pour cela, deux types de topologies ont été envisagés (interleaved et stacked) présentant chacun des avantages et des inconvénients électriques et technologiques. Avant même d'aborder leur réalisation, nous pouvons établir une liste de contraintes dont nous ne pourrons pas nous départir. Tout d'abord, la topologie interleaved peut être réalisée de la même manière qu'une bobine classique. Dans ce cas la seule contrainte sera l'espacement entre les conducteurs (s et s_2) qui est limité par la résolution du procédé de photolithographie pour l'épaisseur de structure visée. Ensuite, la topologie stacked va poser plus de problèmes car elle requiert l'empilement de deux niveaux d'inductances. En plus des contraintes sur les espacements entre les conducteurs vient s'ajouter la nécessité de limiter la distance entre les deux niveaux pour assurer un bon couplage magnétique entre les bobines. Ceci suppose un bon alignement entre les deux niveaux d'inductances. De plus, pour superposer deux bobines, une couche isolante doit les séparer et doit être déposée de façon à pouvoir contrôler son épaisseur. Celle-ci doit être relativement fine afin de limiter la distance verticale entre les inductances mais doit également présenter une très bonne planéité pour que l'espacement entre les deux bobines soit uniforme à l'échelle de leur diamètre. Cette planéité de la surface de l'isolant est également importante car elle constitue la condition de base à la poursuite des étapes de photolithographie dans de bonnes conditions de reproductibilité.

Le procédé de fabrication d'inductances destinées à la puissance s'inspire des techniques microélectroniques dites « MEMS », regroupant des méthodes et des moyens assurant la réalisation de conducteurs métalliques épais. Dans la première partie de ce chapitre, nous détaillerons l'ensemble des moyens mis en œuvre dans un procédé technologique pour la fabrication d'inductances intégrées tenant compte des contraintes de puissance et celles liées à l'empilement de bobines. Nous détaillerons les choix des matériaux et des méthodes employées et les justifierons en soulignant les avantages vis-à-vis d'autres solutions technologiques. Nous validerons ensuite ces choix à l'aide de relevés

d'épaisseur de structures réalisées. Nous apporterons un soin particulier à décrire les problèmes rencontrés pour la superposition de deux inductances. La deuxième partie de chapitre sera dédiée à la critique des structures inductives au moyen d'observations réalisées à l'aide de microscope optique et électronique. Ces dernières nous permettront de vérifier la capacité du procédé technologique à réaliser les diverses topologies visées et identifier des problèmes de conception que les relevés d'épaisseur précédents ne pouvait faire apparaître. Finalement, nous montrerons dans une troisième partie les évolutions successives du procédé visant à améliorer les performances des composants et augmenter la reproductibilité de leur fabrication. Ces évolutions concerneront une modification du procédé de fabrication des conducteurs, l'introduction de technique de polissage pour planariser la couche d'isolant ainsi que la transposition du procédé technologique sur un substrat isolant de type Pyrex®. Ces choix d'évolutions seront étayés par une étude de la bibliographie et des résultats expérimentaux montrant les bénéfices apportés.

2. Procédé technologique développé pour la fabrication de structures inductives planaires intégrées

Pour valider les simulations présentées au chapitre II, nous avons dessiné des jeux de masques optiques et développé un procédé technologique *ad hoc* permettant de réaliser des inductances monobrins et multibrins, sur un et deux niveaux.

L'étude de la littérature [64-71, 104, 106, 110, 112] fait apparaître un certains nombre de constantes concernant la fabrication d'inductances intégrées. Dans le domaine de la puissance, cette fabrication repose sur deux étapes essentielles qui sont :

- *l'enduction de résines épaisses de définition* : la résine insolée et développée sert de moule dans lequel du cuivre croît par croissance électrolytique pour constituer les bobines.
- *la croissance électrolytique de cuivre* : grâce à une base de croissance conductrice recouverte d'un moule de résine épaisse, la croissance électrolytique permet d'obtenir des conducteurs avec de fortes épaisseurs que des techniques d'évaporation ne permettent pas d'atteindre.

Les matériaux utilisés varient peu d'une publication à l'autre et quel que soit la topologie d'inductance choisie (solénoïdale ou planaire). Les conducteurs sont en cuivre pour abaisser au maximum la résistance électrique de l'inductance. Le moule de définition, quant à lui, est généralement réalisé avec un polymère de type polyimide [110, 113]. Ce matériau est apprécié dans le domaine de la réalisation d'inductances pour la puissance mais aussi dans le domaine MEMS. Il possède les caractéristiques d'insolation d'une résine négative et peut constituer un moule épais permettant d'obtenir des structures à fort facteur de forme. Egalement, après recuit, il peut être utilisé comme une couche d'isolation et se démarque dans ce rôle des oxydes diélectriques par sa faible permittivité (ε_r=3).

Pour la réalisation de nos inductances, le polyimide n'a pas été employé pour des raisons techniques et historiques. Au sein du laboratoire, de nombreux travaux ont porté sur la réalisation de structures à fort facteur de forme pour des applications MEMS en optique ainsi qu'en micro-fluidique [3, 4, compléter]. La résine SU-8 est privilégiée pour sa capacité de moule à fort facteur de forme avec des flancs droits et sa résistance aux attaques chimiques [114]. Ainsi, une forte compétence à l'utilisation de cette résine a été développée au laboratoire et a été notamment exploitée pour la conception des premières structures inductives [58, 59]. Ces travaux font parti du projet européen INDUCSIL pour lequel a été dimensionnée une structure solénoïdale avec des conducteurs de 100µm d'épaisseur. La SU-8 a alors servi à la fois de moule pour la croissance électrolytique du cuivre et du matériau magnétique ainsi que comme isolant entre les conducteurs et le noyau.

Cette résine étant bien connue et maîtrisée, à notre tour nous l'avons utilisée pour réaliser l'isolation de la bobine. D'autres considérations techniques nous ont également orientées naturellement vers cette résine. Pour notre procédé, l'enduction d'une résine épaisse isolante est indispensable à plusieurs titres. Tout d'abord, les inductances étant réalisées en cuivre, il faut les protéger de l'oxydation. Par ailleurs, dans un objectif d'intégration monolithique de ces objets, elles doivent être isolées vis-à-vis des autres composants. Parmi les résines épaisses isolantes, deux sont plus particulièrement misent en œuvre au laboratoire : le BCB et la SU-8. Le BCB est principalement apprécié dans le domaine RF pour son faible angle de pertes en très hautes fréquences [113]. Néanmoins, le BCB est très long à mettre en œuvre et à tendance à contraindre les wafers lorsque de fortes épaisseurs sont déposées. Ces contraintes entraînent la déformation des wafers et des structures à sa surface. Il devient alors difficile d'insoler à sa surface avec une bonne résolution. De plus, nous avons choisi la SU-8 car elle est simple à mettre en œuvre et possède un fort pouvoir planarisant, indispensable pour la réalisation du second niveau d'inductance. Cette dernière caractéristique fait d'ailleurs de la SU-8 une résine très utilisée dans les procédés MEMS [114, 115]. Enfin, malgré une constante diélectrique de l'ordre de 4, la SU-8 dispose de bonnes propriétés en hautes fréquences, avec notamment un faible angle de pertes [116, 117].

Les étapes technologiques élémentaires que nous avons alors mises en place pour la réalisation d'inductances planaires, s'inspirent des travaux évoqués jusqu'ici ainsi que ceux menés au sein du laboratoire concernant l'intégration d'inductances solénoïdales [58, 59]. Ces derniers ont notablement participé au développement du dépôt électrolytique de cuivre sur de fortes épaisseurs et des résines épaisses (SU-8) associées. Ces étapes principales du procédé sont rassemblées dans la figure 3.1 :

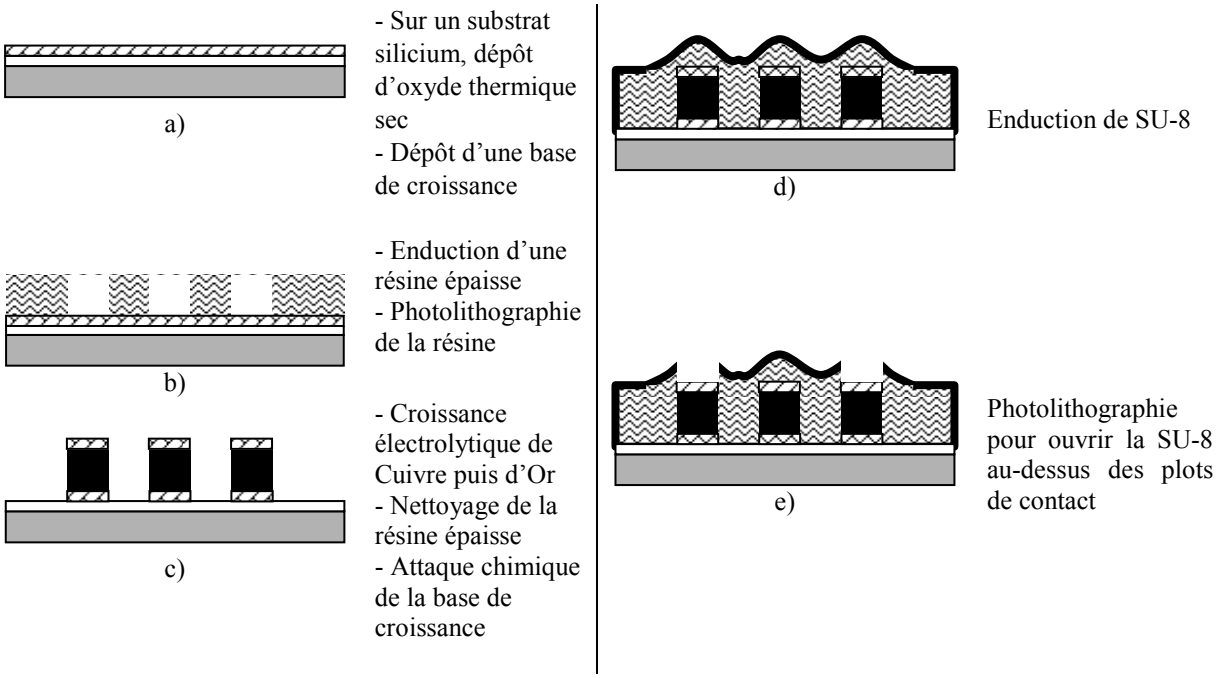


Figure 3.1. Procédé technologique pour la réalisation d'inductances planaires intégrées

a) à partir d'un substrat silicium, une couche d'oxyde sec de silicium est réalisée pour isoler la future inductance. Ensuite, une base de croissance métallique est déposée sur toute la surface du wafer par évaporation par effet Joule.

b) une résine de définition positive est enduite, insolée et développée pour former un moule dans lequel vont croître les conducteurs en cuivre.

c) Le wafer est ensuite immergé dans une solution contenant des ions C_u^{2+}. Les conducteurs sont alors obtenus par croissance électrolytique, la base de croissance constituant l'électrode de travail.

A la fin, une fine couche d'or est également déposée par croissance électrolytique afin d'éviter l'oxydation du cuivre et assurer un bon contact électrique au niveau des plots de mesure. Cette étape est suivie par une gravure chimique de la base de croissance pour dé court-circuiter les spires.

d) les inductances sont ensuite recouvertes d'une résine épaisse SU-8 isolante. L'épaisseur de cette couche doit être contrôlée et présenter une planéité suffisante pour la réalisation d'un second niveau.

e) une étape de photolithographie permet d'ouvrir la SU-8 au niveau des plots de contact de la bobine pour réaliser les mesures et/ou établir une connexion électrique avec le niveau suivant de bobine.

La réalisation du second niveau d'inductances se base sur les mêmes étapes technologiques. A partir de la couche de SU-8, le procédé recommence alors avec l'évaporation d'une base de croissance. La mise au point du procédé a nécessité la résolution de plusieurs problèmes inhérents à la forme de nos inductances ainsi qu'à notre objectif de superposer deux bobines électriquement connectées. Nous traitons ici de l'ensemble des difficultés rencontrées et des solutions que nous proposons pour leur résolution.

II-1. Le principe de croissance électrolytique [112]

Pour réaliser des inductances avec une faible résistance, la section des conducteurs doit être conséquente. Le dessin du masque définissant la forme des bobines, fixe la largeur de ces conducteurs. La gamme d'épaisseur est déterminée par la méthode de dépôt utilisée. Les métaux peuvent être déposés par pulvérisation cathodique ou par évaporation par effet Joule. Ces techniques sont onéreuses et ne permettent pas de réaliser des dépôts supérieurs à quelques microns d'épaisseur.

Pour des épaisseurs supérieures au micron, les dépôts électrochimiques sont employés. Moins chères, les techniques de croissance électrolytique permettent d'atteindre des épaisseurs de dépôt de plusieurs dizaines de microns. La mise en œuvre est également plus rapide car ce type de dépôt ne nécessite pas de pompage préalable pour une mise sous vide, qui est indispensable pour un dépôt par évaporation. L'électrochimie permet de déposer n'importe quel métal ou mélange de métaux disponibles en solution ionique. Ainsi, le service électrochimie du laboratoire réalise régulièrement des croissances d'or, de cuivre mais aussi de Fer/Nickel et Fer/Nickel/Cobalt sur une gamme d'épaisseur allant du micron jusqu'à la cinquantaine de microns. Pour nos inductances, les bobines seront réalisées par croissance de cuivre. Dans ce cas, le principe de dépôt électrolytique repose sur la réduction de l'ion cuivre Cu^{2+} en Cu. Une différence de potentiel est imposée entre une contre électrode et une électrode de travail sur laquelle le cuivre doit être déposé. Le champ électrique provoque le déplacement des ions Cu^{2+}, formant ainsi un courant ionique. Ces ions se réduisent alors à la surface de l'électrode de travail (Figure 3.2).

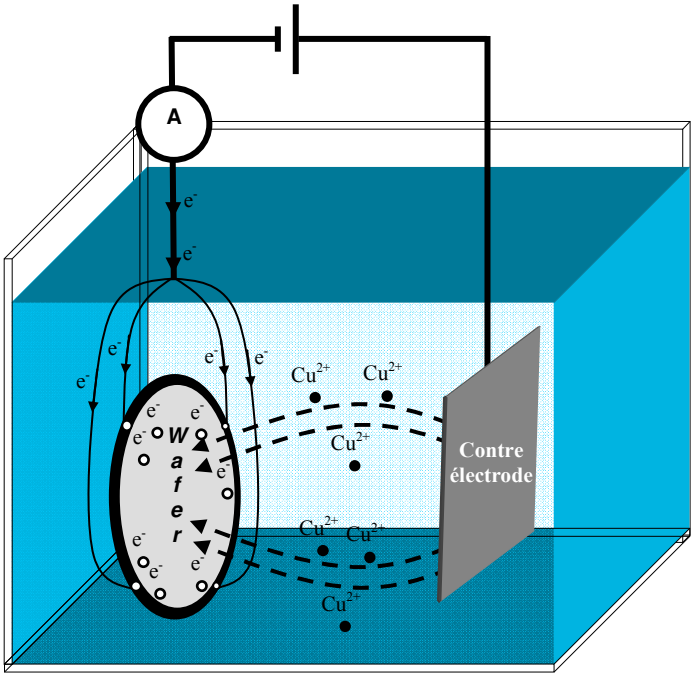


Figure 3.2. Montage pour l'électrodéposition de cuivre sur un wafer 4''

La vitesse de réduction de l'ion cuivre, donc la vitesse de croissance du cuivre, est dépendante de la densité d'électrons présente à la surface du wafer. Par conséquent, pour obtenir une croissance de cuivre d'épaisseur constante sur toute la surface du wafer, la répartition du courant doit être la plus homogène possible. Pour cela, le métal constituant l'électrode de travail doit être le plus conducteur possible et couvrir la surface du wafer.

II-2. Le choix de la base de croissance

Pour la réalisation des inductances, la première étape importante est le choix des métaux constituants la base de croissance sur laquelle le cuivre va croître par dépôt électrochimique. Cette base est constituée d'une première couche dite d'accroche, réalisant l'interface entre le SiO_2 et la deuxième couche métallique très conductrice qui constitue l'électrode de travail. Les métaux utilisés doivent être suffisamment conducteurs pour assurer une bonne répartition des courants sur toute la surface du wafer, afin d'obtenir une bonne homogénéité de croissance de cuivre sur toute la surface du wafer. Les métaux qui la constituent doivent également être choisis de manière à être facilement gravés par voie chimique, avec une bonne sélectivité[1] vis-à-vis du cuivre (étape c).

II-2-1. Conséquences sur l'attaque chimique des matériaux conducteurs et leurs sélectivités

- L'électrode de travail

L'électrode de travail doit être très conductrice pour assurer un bon échange d'électrons avec la solution d'ions de cuivre. Les métaux les plus utilisés en microélectronique sont, par ordre croissant de conductivité : l'aluminium, l'or et le cuivre. L'aluminium s'oxyde très facilement et n'est pas assez conducteur en comparaison avec l'or et le cuivre. Un contact en cuivre serait le choix idéal pour une croissance électrolytique de cuivre. Toutefois, les oxydes de cuivre se forment très rapidement. En revanche, l'or ne s'oxyde pas et présente une conductivité électrique suffisante pour notre application. D'autre part, la solution d'attaque de l'or, constituée d'un mélange $KI+I_2$, est sélective vis-à-vis du cuivre. Néanmoins, dans la pratique, il a été constaté que la solution d'attaque de l'or augmentait la

[1] La sélectivité d'un métal par rapport à un autre, les deux étant immergés dans une solution chimique d'attaque, se défini comme la capacité du premier à être gravé sans que le second soit notablement altéré.

rugosité des conducteurs en cuivre. D'autre part, l'or gravé vient se redéposer sur les bobines de cuivre avec une couleur noire caractéristique du mélange $KI+I_2$. L'utilisation d'une solution acide permet d'éliminer cette couche et de retrouver la couleur rose caractéristique du cuivre.

- La couche d'accroche

L'or et le cuivre ne se fixent pas sur le silicium ou l'oxyde de silicium pour des raisons d'incompatibilité des mailles cristallographiques. Une première couche dite d'accroche est nécessaire pour réaliser la transition entre le SiO_2 et le métal à déposer. Celle-ci peut-être réalisée en chrome ou en titane. Les deux solutions ont été étudiées dans le cadre de la thèse. Le choix entre les deux a été guidé par la facilité que nous avions de graver cette couche d'accroche sans endommager les bobines. Le chrome peut être gravé à l'aide d'une solution commerciale de 'Chrome Etch', mais elle attaque également le cuivre. Une solution diluée H_2SO_4 : H_2O dans une proportion 1 : 1, sélective vis-à-vis du cuivre, a également été testée. La vitesse de gravure est très importante. De plus, du fait du caractère isotrope d'une attaque chimique, une sur gravure du chrome se produit sous les bobines en cuivre, provoquant leur décollement (Figure 3.3).

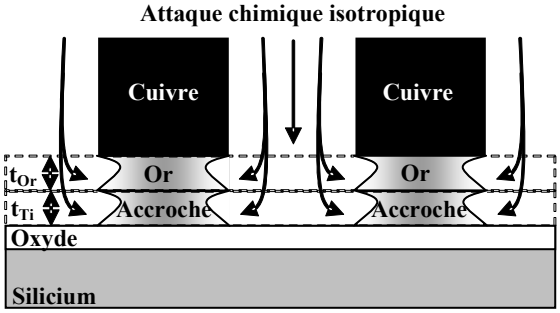


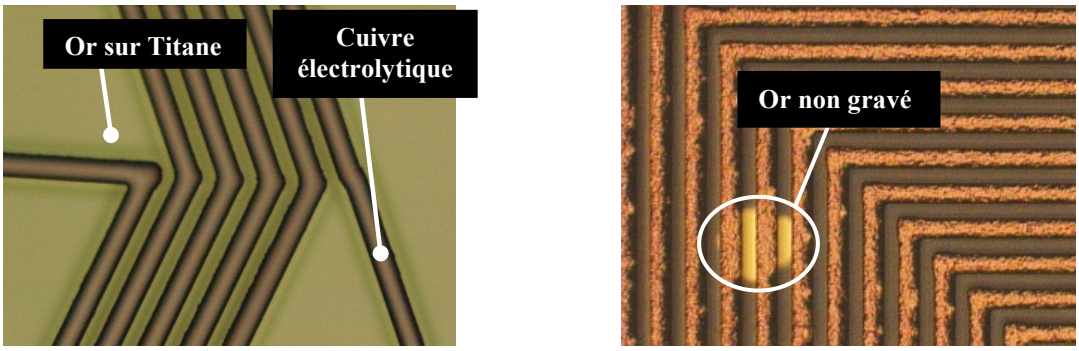
Figure 3.3. Phénomène de sur gravure de l'or par le $KI+I_2$ et de la couche d'accroche sous les motifs en cuivre

Une dilution plus importante a permis de ralentir la vitesse d'attaque sans pour autant régler le problème de sur gravure. D'autre part, le chrome laisse apparaître des contraintes mécaniques importantes, pouvant déformer le wafer et les structures réalisées dessus. Le titane est gravé avec du HF (acide fluorhydrique) qui est sélectif vis-à-vis de l'or et du cuivre. Dans sa formulation de base (50% HF), la gravure est trop rapide et entraîne une sur gravure du titane sous les bobines en cuivre. En utilisant du 'buffer HF' (HF dilué à 12,5%), la vitesse d'attaque est diminuée et limite la sur gravure du titane.

Finalement, nous avons donc choisi de travailler avec une couche d'accroche en Ti/Au (Figure 3.4.a). De manière générale, la gravure de l'or puis du titane entre les motifs de cuivre doit être réalisée avec soin pour limiter la sur gravure de l'or puis du titane sous les motifs en cuivre. Ce problème de sur gravure entraîne la perte d'un grand nombre de motifs par décollement (Figure 3.5.a). La sur gravure à deux causes principales :

Les micro-masquages : ils sont principalement imputables à des résidus de résine à des re-dépositions de métal gravé ainsi qu'à des bulles d'air piégées entre les lignes de cuivre. Ils protègent des zones de la pénétration de la solution d'attaque chimique. Ces masquages laissent apparaître par la suite des zones où l'or n'est pas attaqué, mettant en court-circuit plusieurs spires entre elles (Figure 3.4.b). Les micro-masquages obligent donc à augmenter le temps de gravure pour éliminer tous les courts-circuits entre les spires. Un nettoyage complet enchaînant acétone et « AZ 100 remover » permet de supprimer les résidus de résine. Les résidus organiques en général sont supprimés avec un plasma O_2, mais la présence de cuivre nous l'interdit car il s'oxyderait. Concernant les re-dépositions de métal gravé, l'alternance rinçage/attaque règle le problème. Le rinçage à l'eau dé-ionisée (eau DI) présente des intérêts multiples. Avant l'attaque, il élimine les bulles d'air, favorisant la pénétration de

la solution de gravure entre les spires. Après l'attaque, il élimine le métal gravé et stoppe l'action de la solution de gravure. Ainsi, un bon rinçage évite de trop attaquer les zones ouvertes par rapport aux zones protégées par les micros masquages.



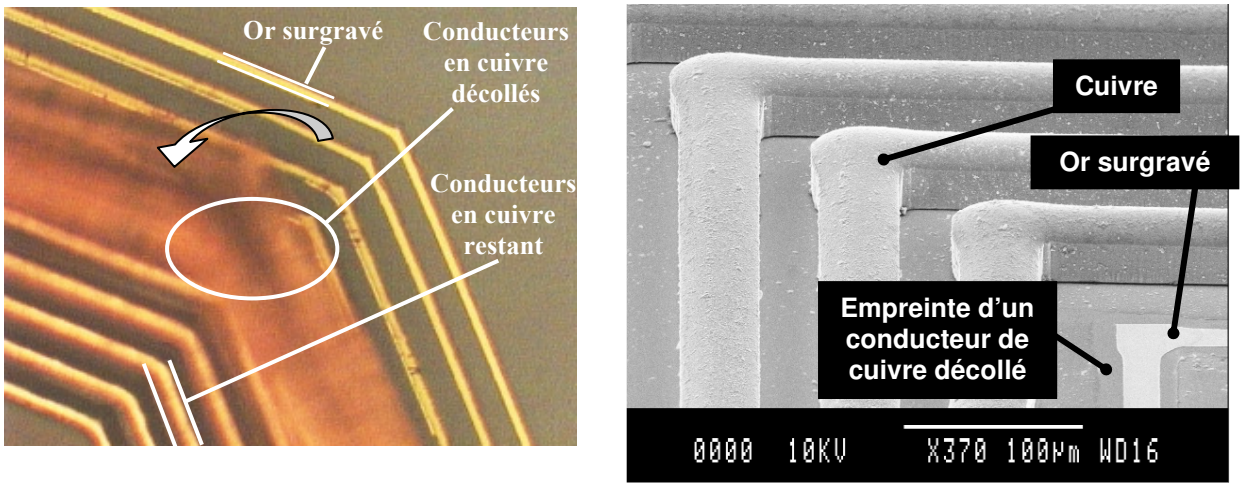
a) b)

Figure 3.4. Photo optique de conducteurs de cuivre réalisés sur une couche de croissance en or
a) Conducteurs en cuivre réalisés sur une couche pleine plaque de Ti/Au,
b) Micro-masquage lors de la gravure de la couche de Ti/Au

L'épaisseur de la couche d'accroche : Une attaque chimique est isotrope. La solution présente donc une même vitesse d'attaque quelque soit la direction de l'espace. Si les épaisseurs de titane t_{Ti} et d'or t_{or} sont importantes, le temps de gravure va augmenter amplifiant le phénomène de sur gravure sous les lignes de cuivre (Figure 3.3). Les épaisseurs constituant la couche d'accroche doivent être choisies de manière à être négligeables devant la largeur du motif en cuivre.

- Epaisseurs

Le choix des épaisseurs de titane et d'or nous amène à réaliser un compromis. En effet, si nous optons pour des épaisseurs faibles, ce sera au détriment de l'homogénéité de la croissance électrolytique de cuivre car la couche d'accroche sera devenue trop résistive. A l'inverse, si nous choisissons de favoriser l'homogénéité de la croissance avec de fortes épaisseurs de titane et d'or, cela entraînera des problèmes de surgravure de la base de croissance et le décollement des inductances (Figure 3.5.a).



a) b)

Figure 3.5. Décollement des conducteurs en cuivre par surgravure de la couche d'or
a) Vue optique du décollement, b) Observation MEB

Nous avons débuté nos essais avec du Ti/Au 1000A°/2000A°. La couche d'or assure l'essentiel de la conduction électrique et la couche de titane plus fine sera plus facile à graver. Toutefois, des

problèmes de surgravure sont apparus dès l'attaque de l'or provoquant la perte de plusieurs inductances sur le wafer (Figure 3.5.b). Le passage à une couche de Ti/Au 1000A°/1000A° assure le maintien de la plupart des structures après la gravure de l'or et du titane. La variation d'épaisseur entre les bobines du centre et de l'extérieur du wafer est comprise entre 2µm et 5µm pour une épaisseur visée de 15µm. Le contrôle des épaisseurs des différentes couches technologiques sont réalisées à l'aide d'un profilomètre mécanique.

II-2-2. Conséquences sur la croissance électrolytique : problèmes d'inhomogénéité de l'épaisseur de cuivre électro-déposée.

Le compromis entre l'homogénéité des épaisseurs des bobines et la fiabilité de la gravure de la base de croissance a été un problème difficile à résoudre du fait du facteur de forme des bobines (*w, s* et *t*=15µm). Une solution a été mise en œuvre afin de lever ce compromis et consiste à réaliser une gravure préalable de l'électrode de travail en Or selon la forme des bobines.

- La gravure des bobines dans l'électrode de travail en Or

Une étape supplémentaire a été ajoutée au procédé initial de la figure 3.6. Se situant juste après l'évaporation de Ti/Au et juste avant l'enduction de la résine épaisse de définition, nous la nommerons étape a.2). Cette étape consiste à graver préalablement la couche d'or en utilisant le masque définissant la forme des bobines. La gravure étant chimique, il faut éviter de surgraver l'or pour que les fils restent à la côte déterminée par le dessin du masque. Si les fils d'or sont plus étroits que prévu, comme observé sur la figure 3.5.b, la qualité de la croissance de cuivre sera détériorée entraînant la perte de nombreuses structures inductives.

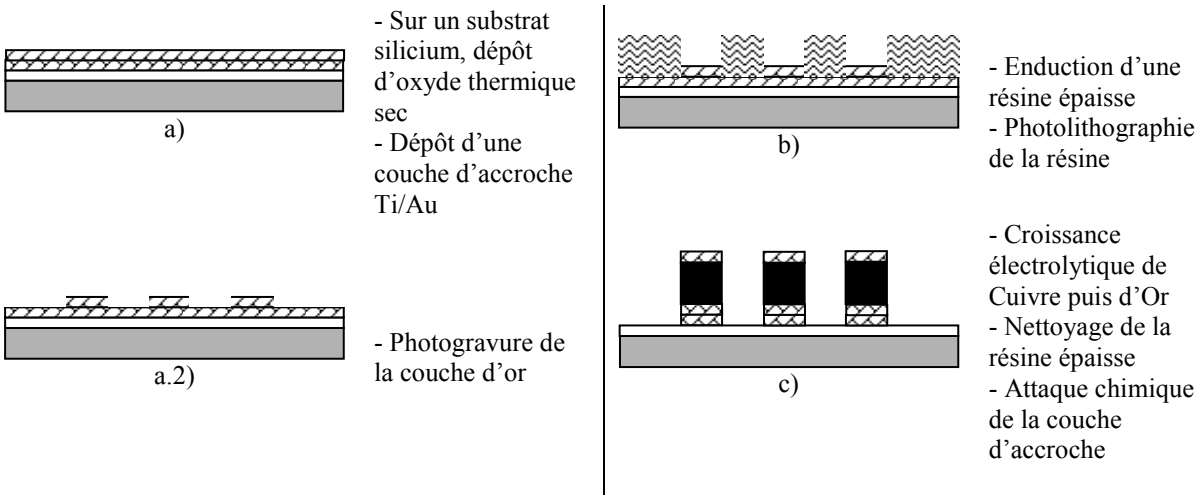


Figure 3.6. Modification du procédé technologique – Gravure préalable de la couche d'or

Les figures 3.7.a et 7.b sont des exemples du résultat obtenu après avoir gravé la couche d'or selon la forme des inductances. Ensuite, la résine de définition est enduite normalement. Après insolation et développement, le moule de résine apparaît aligné avec les bobines en or (étape b). La continuité électrique étant assurée par la couche de titane, la croissance électrolytique peut être réalisée (étape c).

a) b)

Figure 3.7. Gravure de la couche d'or selon la forme des bobines
a) Vue générale d'une bobine gravée dans la couche d'or, b) Détail des conducteurs

Avec cette étape supplémentaire, les inductances peuvent être dé court-circuitées en gravant uniquement le titane. Ceci a permis de complètement éliminer le risque de perte de composants par sur gravure. Néanmoins, une mauvaise homogénéité des épaisseurs des bobines en fonction de leur position sur le wafer a été constatée. Une bobine située au centre du wafer est plus de 30% moins épaisse qu'une bobine située en bordure, à proximité des amenées de courant. La source d'électrons et l'électrode de travail en or ne sont plus connectées directement du fait de la gravure de la couche d'or selon la forme des bobines. C'est la couche d'accroche en titane qui assure alors l'essentiel de la conduction électrique entre les deux. Par conséquent, sa plus forte résistivité vis-à-vis de l'or ne permet pas d'avoir une bonne répartition des lignes de courant à la surface du wafer.

- Homogénéisation des lignes de courant par l'utilisation d'un quadrillage

Pour palier à ce phénomène, un quadrillage a été utilisé. Il est gravé dans la couche d'or en même temps que les bobines. Connecté à la source d'électrons et entourant chacune des bobines, ce quadrillage en or permet d'amener le courant au plus près de celles-ci et d'homogénéiser sa répartition à la surface du wafer (Figure 3.8).

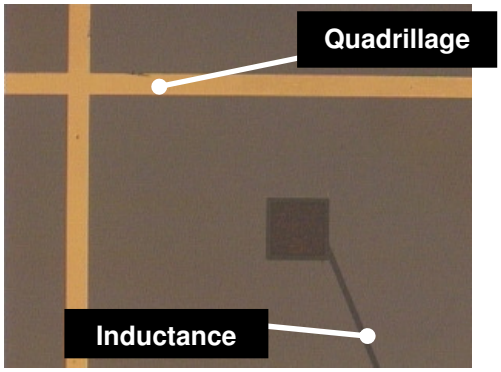
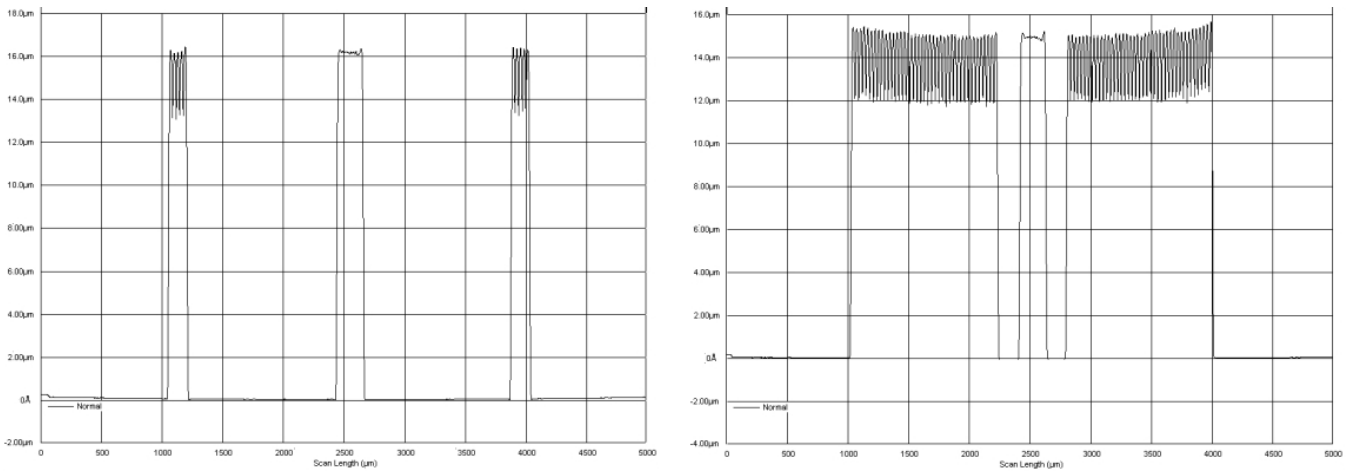


Figure 3.8. Quadrillage en or pour l'homogénéisation des lignes de courant autour des structures inductives

L'écart d'épaisseur entre une bobine du centre et une bobine de la bordure d'un wafer a été ramené à moins de 30%. Des relevés d'épaisseurs au profilomètre mécanique ont été réalisés sur des bobines à faible et fort taux de remplissage, dont la largeur et l'espacement des conducteurs sont de 15µm.



a) b)

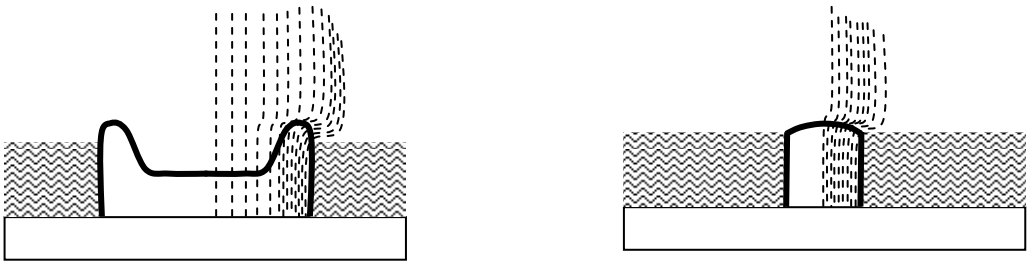
Figure 3.9. Profils d'épaisseur de bobines
a) à faible taux de remplissage, b) à fort taux de remplissage

Les figures 3.9.a et 9.b montrent une épaisseur homogène d'une bobine à l'autre ainsi que d'un conducteur à l'autre. Néanmoins, la figure 3.9.b révèle une légère augmentation de l'épaisseur des conducteurs les plus éloignés du centre de la bobine. En effet, les conducteurs les plus éloignés du centre sont proches du quadrillage et sont soumis à une densité de courant plus élevée que les conducteurs du centre.

- Influence de la largeur des motifs

Les mesures d'épaisseur des composants ont montré que la largeur des conducteurs a également une influence sur le profil de croissance. Comme le montre la figure 3.10, la largeur des ouvertures dans la résine épaisse de définition influence la répartition des lignes de courant ionique et donc la vitesse de dépôt de cuivre [112]. Lorsque l'ouverture est large, la répartition des lignes de courant est homogène au centre de l'ouverture et viennent à se concentrer sur les arêtes du moule de résine épaisse. Par conséquent, un gradient de vitesse de croissance du cuivre apparaît. Le cuivre croît alors plus rapidement le long des parois de résine qu'au centre de l'ouverture (Figure 3.10.a).

Lorsque l'ouverture est étroite, la majorité des lignes de courant sont influencées par les arêtes du moule. La croissance est rectiligne le long du moule, mais si le cuivre déposé dépasse le moule, le dépôt prend alors la forme d'un champignon (Figure 3.10.b).



a) b)

Figure 3.10. Répartition des lignes de courant en fonction de la largeur du moule de résine
a) ouverture large, b) ouverture étroite

Les mesures d'épaisseur d'une inductance constituée de conducteurs de 75µm de large montrent une homogénéité d'épaisseur des conducteurs. Toutefois, le profil d'épaisseur de chaque conducteur est influencé par leur largeur de la manière décrite par la figure 3.10.b (Figure 3.11).

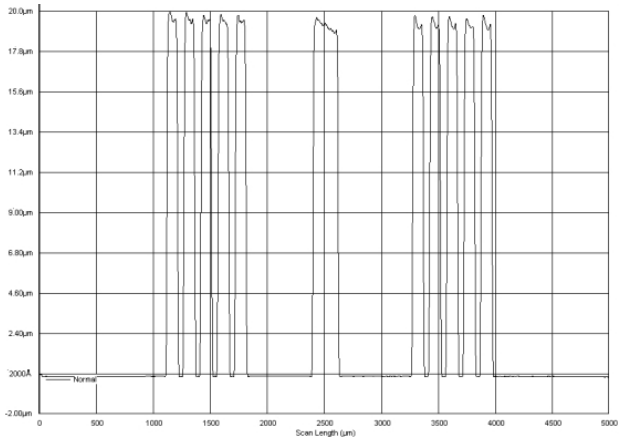
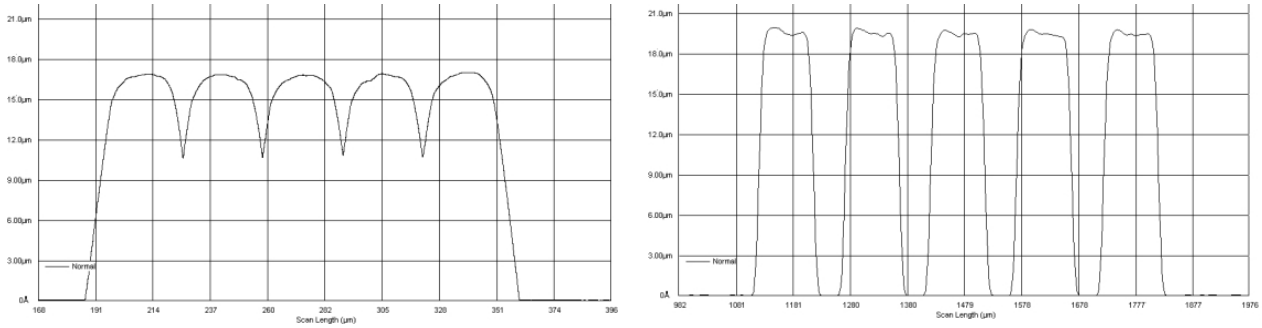


Figure 3.11. Profil d'une inductance avec conducteurs larges de 75µm

Les relevés plus détaillés des profils de conducteurs de 15µm et 75µm de large nous montrent l'influence de la répartition des courants ioniques sur la croissance électrolytique de cuivre (Figure 3.12). Le profil d'épaisseur des conducteurs larges de 75µm (Figure 3.12.b) sont plus irréguliers que ceux des conducteurs de 15µm de large (Figure 3.12.a).



a) b)

Figure 3.12. Détail des profils d'épaisseur des conducteurs en fonction de leur largeur
a) Conducteurs de 15µm de large, b) Conducteurs de 75µm de large

Pour une application de puissance, la section des conducteurs doit être contrôlée car il détermine le courant maximum admissible. Il est donc préférable de réaliser des conducteurs avec un facteur de forme proche de 1 afin d'assurer une épaisseur homogène de la croissance de cuivre. Dans cette optique, pour la réalisation de conducteurs de forte section, l'utilisation d'une topologie « interleaved » en lieu est place d'un conducteur très large prend tout son sens.

II-3. L'enduction de SU-8

II-3-1. Enjeux de l'enduction

L'enduction de SU-8 ne se limite pas à isoler la structure inductive vis-à-vis des autres composants. Le procédé mis en place va directement influencer les performances du composant à plusieurs titres. Pour la réduction de la résistance série, nous souhaitons réaliser un empilement d'inductances connectés en série et en parallèle. La réalisation de deux à *n* niveaux de bobines nécessite la mise au point préalable d'une étape de planarisation de la première couche de bobine afin d'obtenir le résultat de la figure 3.13. En effet, la couche de résine SU-8 au-dessus de la première inductance doit être suffisamment plane pour que les étapes ultérieures de photolithographie puissent être réalisées avec une résolution suffisante. Une mauvaise planéité de la résine dégrade la qualité de son insolation et de celle des résines qui seront utilisées ultérieurement, entraînant une mauvaise ou aucune révélation. Ensuite, une couche de SU-8 trop épaisse et pas assez plane n'est une base correcte

pour la réalisation d'une deuxième bobine présentant avec la première les qualités de couplage magnétique recherchées.

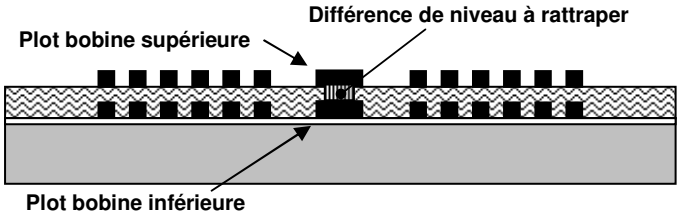


Figure 3.13. Réalisation du deuxième niveau au-dessus d'une couche de SU-8 plane

L'épaisseur de la couche de SU-8 provoque également une différence de niveau entre le plot de la première et de la deuxième bobine (Figure 3.13). Cette différence de niveau ne pourra pas être rattrapée par la croissance de cuivre de la seconde inductance si l'épaisseur de SU-8 est trop importante. Ceci rendra de plus en plus difficile la reprise de contact à mesure que le nombre d'inductances empilées augmentera.

Ensuite, la SU-8 étant une résine négative, les ouvertures réalisées par photolithographie présentent des flancs fermés tels que décrits par la figure 3.14. La forme de ces flancs empêche la continuité électrique de la base de croissance du second niveau, réalisée par évaporation, entre la surface de la SU-8 et le plot de contact de la première inductance (Figure 3.14). Dans ce cas, le cuivre ne pourra pas être électro déposé au fond de l'ouverture.

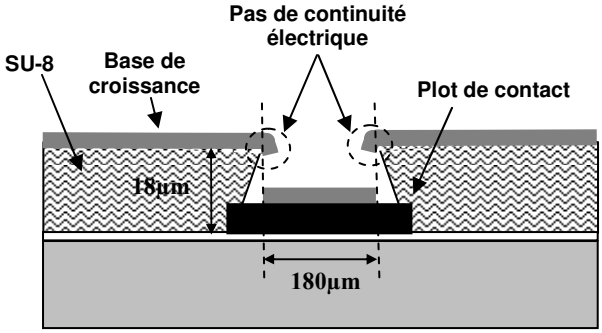


Figure 3.14. Influence des flancs d'une ouverture dans la SU-8 sur le dépôt par évaporation de la base de croissance

Pour conserver les dimensions des conducteurs et assurer un couplage magnétique élevé, les deux inductances doivent être superposées avec une couche intermédiaire isolante plane. Les structures à recouvrir présentent une hauteur de 15µm à 20µm. Nous nous bornerons alors à travailler avec les résines 2005 et 2025 permettant de réaliser des dépôts de 4µm à 10µm et de 30µm à 80µm d'épaisseur respectivement. Ces valeurs sont données pour des vitesses de rotation allant de 1000 tr/min à 3000 tr/min.

II-3-2. Tests de la résine SU-8 afin de définir les paramètres d'enduction

- Tests avec enduction simple de 2025

La résine SU-8 2025 est plus visqueuse que la 2005. Son utilisation se justifie par la nécessité d'obtenir une épaisseur de résine de plus de 10µm pour enrober la bobine qui dont l'épaisseur est fixée à 15µm. Une courbe d'enduction a été tracée afin de connaître la gamme d'épaisseurs qu'il nous était possible de déposer (Figure 3.15).

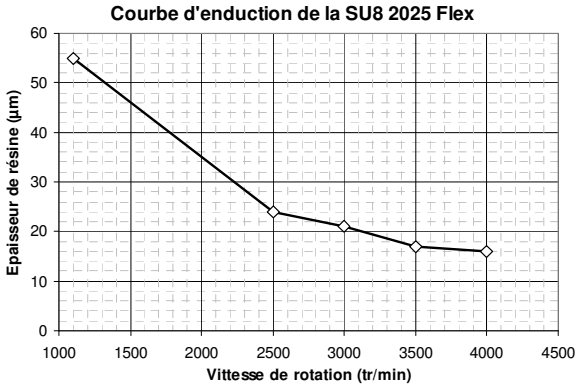


Figure 3.15. Courbe donnant les épaisseurs de SU-8 déposées en fonction de la vitesse de rotation.

Pour réussir le recouvrement de 15µm de cuivre, l'épaisseur de résine devra être d'au moins 16µm. Cette couche séparant les deux niveaux d'inductance, ne devra pas être supérieure à 50µm sous peine d'avoir un coefficient de couplage, *k*, inférieur à 0,9. Nous avons donc commencé avec une enduction à 3300 tr/min, afin d'obtenir un dépôt de 19µm de SU-8 (Figure 3.15).

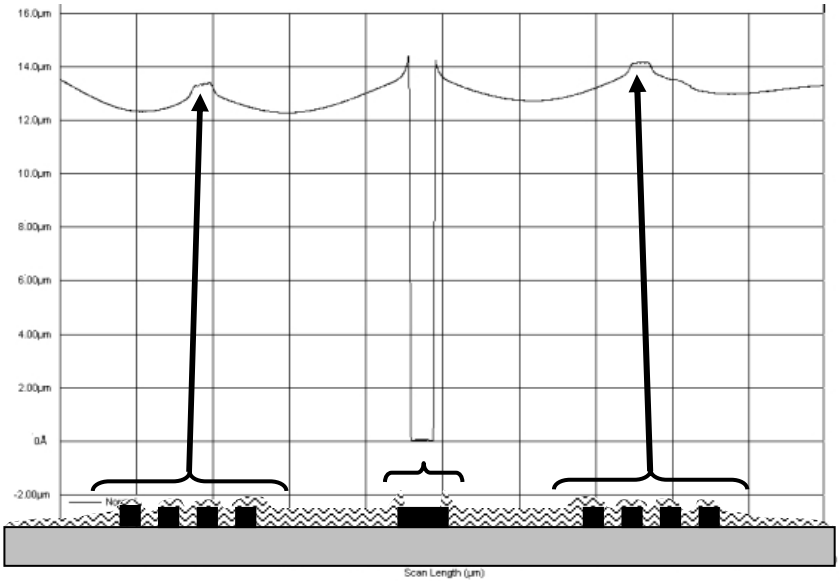


Figure 3.16. Dépôt de résine à vitesse de rotation trop élevée sur des structures de 15µm de haut.

Les structures devraient être entièrement recouvertes avec une couche superficielle de 4 µm. Toutefois, le résultat obtenu, représenté par la figure 3.16, ne correspond pas à nos attentes. Avec la force centrifuge, la résine a épousé la forme des structures en venant s'accumuler sur ses flancs (Figure 3.16). Il n'y a aucune planéité. La vitesse de rotation doit être réduite afin que la résine s'étale de manière uniforme sur l'ensemble des structures du wafer. Cette solution entraîne alors une augmentation de l'épaisseur de résine. L'expérience a par la suite montré que pour recouvrir complètement les structures d'une couche plane de résine, la vitesse adéquate correspond à un dépôt de plus de 100µm de résine. Dans le cas de bobines superposées, cette forte épaisseur ne permet pas d'atteindre une valeur d'inductance équivalente optimale, du fait de la grande distance entre les deux niveaux, et génère des défauts internes.

En effet, la résine 2025 étant visqueuse, elle a tendance à piéger des bulles d'air. Ces dernières vont dégazer au moment du recuit précédent l'insolation de la résine. Ces défauts rendent le dépôt inhomogène et non-plan (Figure 3.17).

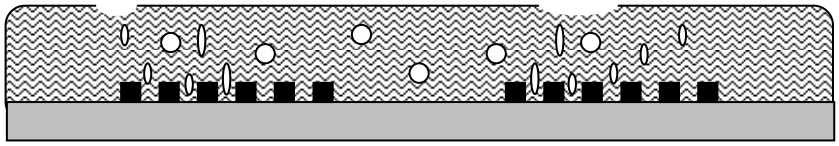


Figure 3.17. Dégagement gazeux au moment du recuit.

Afin d'essayer de sortir de l'impasse que constitue le compromis entre une épaisseur faible, une bonne planéité et un dépôt homogène, nous avons réalisé des tests d'enduction multiples puis d'enduction simple d'une formulation de SU-8 plus fluide (SU-8 2005).

- Enductions multiples

Le principe d'enduction multiple a été utilisé afin de dissocier les problèmes rencontrés. Nous avons débuté en associant la 2005 avec la 2025. L'enduction de SU-8 2005 fluide, va permettre remplir des motifs et ainsi éviter le piégeage de bulles d'air. Elle réduit également la hauteur apparente des motifs. L'enduction de SU-8 2025, plus visqueuse, doit permettre d'obtenir au final une couche plane. La deuxième enduction peut donc se faire à des vitesses de rotation plus élevées. Les résultats obtenus ont montré de très bonnes planarisations. Les différences de niveau constatées, entre la résine au-dessus d'une bobine et la résine au-dessus du silicium, étaient comprises entre 1µm et 400nm. Toutefois, ces valeurs correspondent à des épaisseurs de résine déposées comprises entre 40µm et 70µm au-dessus du cuivre.

Pour réduire l'épaisseur de résine déposée, il faut alors augmenter la vitesse d'enduction. L'épaisseur globale de résine déposée chute autour de 35µm. Néanmoins, une dégradation de la qualité de planarisation est constatée. De plus, l'augmentation de vitesse de rotation amplifie le phénomène d'accumulation de résine sur les flancs des motifs et nous sommes confrontés à des dépôts dont la topologie est décrite par les figures 3.18.a et 3.18.b.

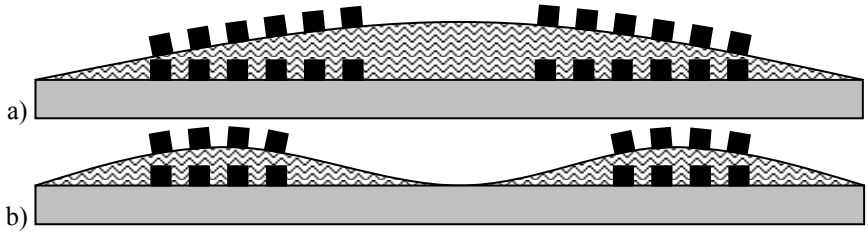


Figure 3.18. Inhomogénéités du dépôt de résine SU-8
a) Cas d'une bobine à fort taux de remplissage : création d'un dôme
b) Cas d'une bobine à faible taux de remplissage : Dômes localisés au niveau des spires.

Sur des bobines à fort taux de remplissage apparaît un dôme unique de SU-8 au-dessus de la structure (Figure 3.18.a et Figure 3.19). Pour des bobines à faible taux de remplissage, l'accumulation de résine sur les structures se traduit par l'apparition d'un dôme de SU-8 au-dessus de chaque ensemble de conducteurs (Figure 3.18.b et Figure 3.20.a).

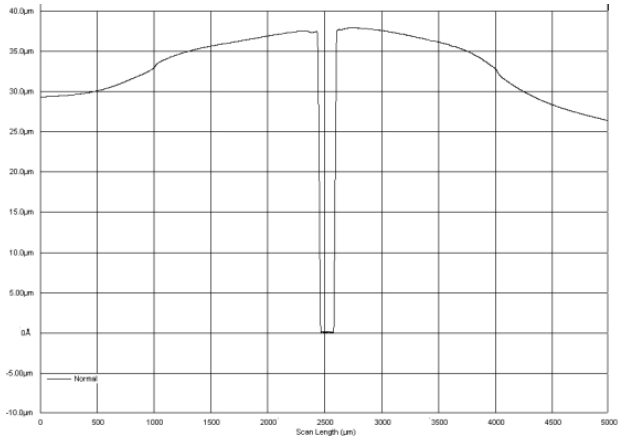
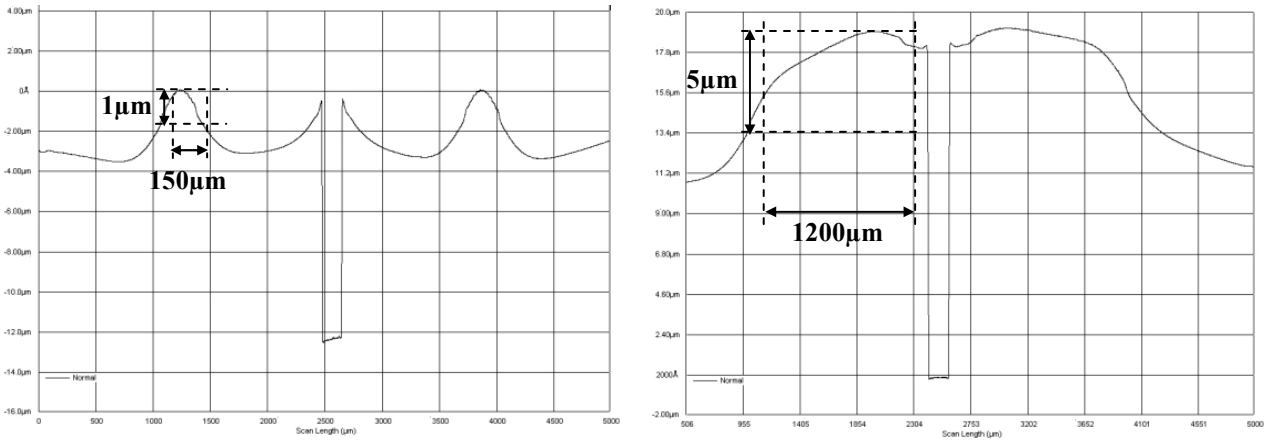


Figure 3.19. Exemple de profil d'une inductance à fort taux de remplissage recouverte d'une épaisse couche de SU-8

- Tests avec enduction simple de 2005

Le choix d'une résine très fluide se justifie par la nécessité de remplir entièrement les motifs avec la résine pour éviter de piéger des bulles d'air. Egalement, de part sa fluidité, à vitesse constante les épaisseurs atteintes seront plus faibles qu'avec la 2025 où l'association 2025+2005. Ces tests ont été réalisés à des vitesses inférieures à 1000 tr/min afin d'atteindre des épaisseurs supérieures à 10µm et ainsi recouvrir nos structures de 15µm de haut. Un compromis a été trouvé avec la SU-8 2005 en fixant une vitesse de 250 $tr.min^{-1}$ pendant 30 secondes, avec une accélération initiale de 100 $tr.min^{-1}.sec^{-1}$. La vitesse est assez lente pour que la couche de résine soit suffisante au-dessus des conducteurs et assez rapide pour limiter son épaisseur. L'accélération est également assez faible pour ne pas éjecter la résine trop violemment et éviter une accumulation de résine trop marquée sur les motifs en cuivre. Les profils d'épaisseurs des dépôts de SU-8 réalisés avec ces paramètres d'enductions sont donnés par les figures 3.20.a et 3.20.b. Pour un taux de remplissage faible, le dépôt présente une épaisseur reproductible de 10µm à 12µm au-dessus des spires. La variation d'épaisseur de SU-8 au dessus d'une série de conducteurs, répartie sur une largeur de 150µm, est de 1µm (Figure 3.20.a).



a) b)

Figure 3.20. Profil d'épaisseur mesuré
a) Faible taux de remplissage, b) Fort taux de remplissage

Pour un fort taux de remplissage, le dépôt présente une épaisseur reproductible de 17µm à 20µm au-dessus des spires. La variation d'épaisseur de SU-8 au dessus d'une série de conducteurs répartis sur une largeur de 1200µm et de 5µm (Figure 3.20.b). Ces mesures nous ont amené à conclure que le dépôt de résine est assez plan au-dessus des conducteurs pour poursuivre les étapes de photolithographie de la deuxième inductance.

II-4. Synthèse

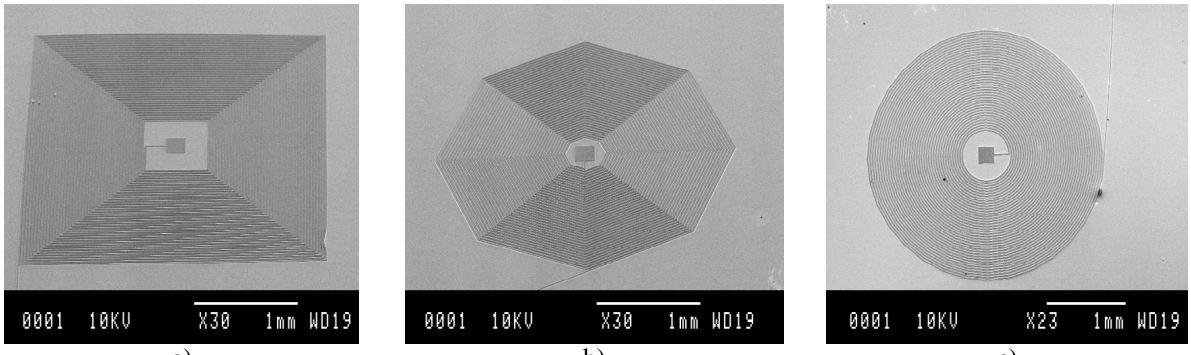
Dans cette première partie, nous avons présenté les techniques et les matériaux utilisés pour le développement de notre procédé technologique de fabrication d'inductances intégrées. Chacune des étapes a été détaillée et les problèmes rencontrées exposés ainsi que les solutions apportées. Nous rappelons ici les principales conclusions. Nous avons ainsi vu que le choix de la base de croissance était essentiel à plusieurs titres. Tout d'abord, sa conductivité doit être suffisante pour qu'une densité de courant homogène soit garantie sur toute la surface du wafer. Cette couche doit pouvoir également être gravé facilement sans provoquer la perte de composants par surgravure chimique. La réponse à ces deux contraintes s'est traduite par la mise en œuvre d'un quadrillage en or, gravé selon la forme des bobines et supporté par une couche de titane assurant l'accroche avec l'oxyde d'isolation. Les mesures de profil ont montré que les objectifs d'épaisseur ont été atteints accompagné d'une bonne homogénéité de croissance sur la surface du wafer. Enfin, le problème de la couche d'isolation pour la réalisation d'un second niveau de bobine a été abordé. Nous avons choisi de la réaliser en SU-8 selon un procédé d'enduction de type « spin-coating ». Les paramètres de ce dépôt ont été mis au point de manière à assurer le compromis entre la finesse de la couche et sa planéité. Ce compromis est nécessaire pour favoriser les conditions de la création du second niveau d'inductance et garantir des conditions de couplage magnétique fort entre deux bobines. Ces deux étapes ayant été mise au point, elles peuvent à présent être répétées pour réaliser le deuxième niveau d'inductances. Nous présentons maintenant les résultats obtenus étape par étape, au travers d'observations MEB et optiques.

3. Observations et commentaires sur les structures obtenues

Plusieurs inductances, sur un et deux niveaux, ont été réalisées selon le procédé technologique décrit par la figure 3.1. Des observations au microscope électronique à balayage (MEB) ainsi qu'au microscope optique ont été réalisées à diverses étapes de la fabrication afin de valider chacune d'elles.

III-1. Premier niveau de croissance de cuivre

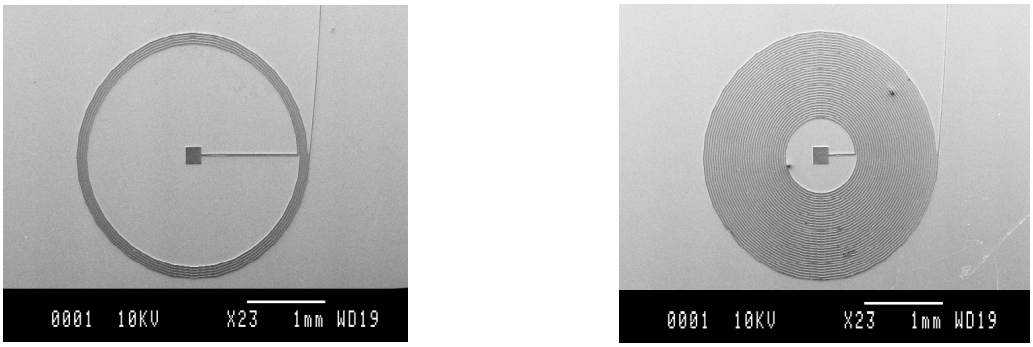
Les premières observations ont portées sur la réalisation du premier niveau d'inductance. Le procédé mis en place nous a permis de réaliser indifféremment des inductances de forme carrée, octogonale et circulaire. Les inductances de la figure 3.21 sont constituées de conducteurs larges et espacés de 15µm et présentent toutes un diamètre de 3000µm.



a) b) c)

Figure 3.21. Différentes formes d'inductances réalisées
a) Carrée, b) Octogonale, c) Circulaire

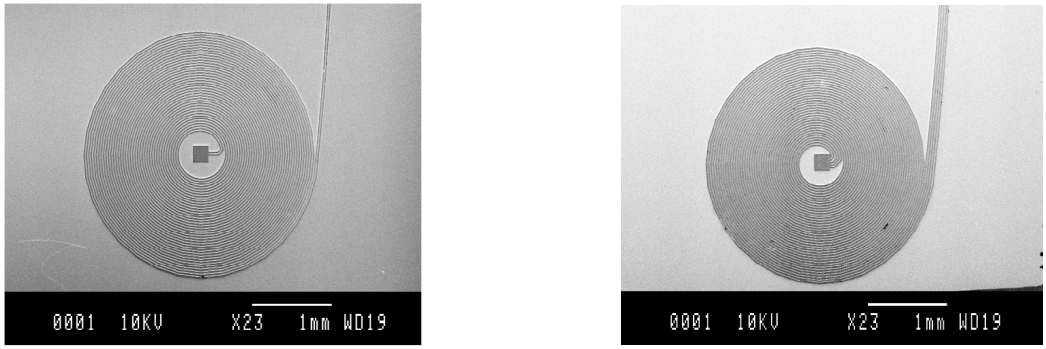
Ensuite, concernant les inductances circulaires, nous avons réalisés des composants avec différents taux de remplissage, afin de caractériser électriquement l'influence du nombre de tours sur L et R et leurs comportements fréquentiels. La figure 3.22.a présente un exemple d'une inductance à faible taux de remplissage tandis que la figure 3.22.b est un exemple d'une inductance avec un fort taux de remplissage.



a) b)

Figure 3.22. Différents taux de remplissage d'une inductance
a) 5 tours, b) 40 tours

Ensuite, sur le même niveau technologique qu'une inductance classique, il est possible de réaliser des composants selon une topologie « interleaved ». Pour aborder sa faisabilité, nous avons réalisé des inductances constituées de 2 à 5 brins selon cette topologie avec un espacement inter brins s_2 de 15µm. Les observations de la figure 3.23 montrent alors que le procédé technologique mis en place est compatible avec la réalisation d'inductances planaires multibrins.

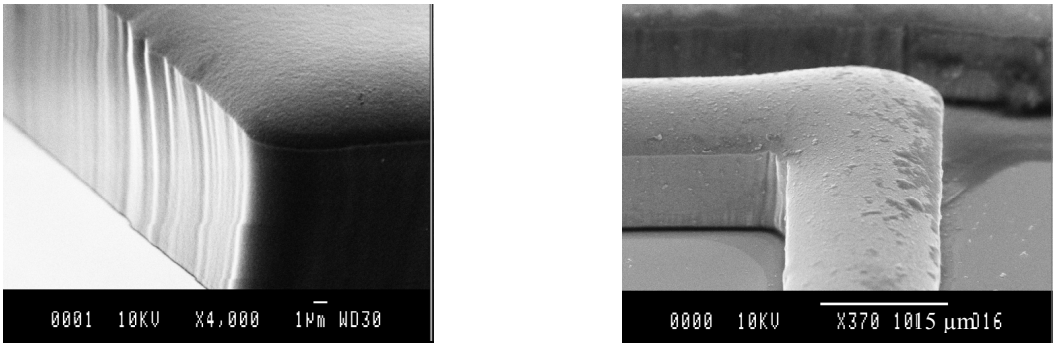


a) b)

Figure 3.23. Inductances multibrins
a) 2 brins, b) 5 brins

Il est à noter que la réalisation d'inductances avec un nombre de tours important augmente la probabilité d'apparition de défauts (court-circuit entre spires, rupture d'une spire) qui modifient ou empêchent le fonctionnement de l'inductance. En cela, la réalisation d'inductances à plusieurs brins est intéressante car même si l'un des brins est inopérant, la fonction inductive est maintenue bien que ses performances soient dégradées.

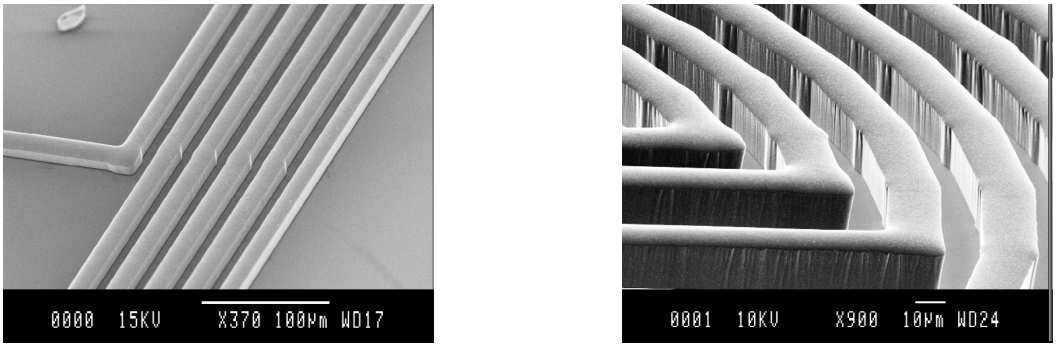
Comme nous l'avons précisé en tête de ce chapitre, le contrôle de la section des conducteurs est indispensable afin de garantir la densité de courant maximum que l'inductance pourra supporter. Pour cela, nous devons contrôler la forme des conducteurs. Les observations rassemblées dans la figure 3.24 montrent que les conducteurs et les plots de contacts réalisés par dépôt électrolytique présentent des flancs droits. Ce profil est directement lié à la qualité de l'enduction et de la photolithographie de la résine de définition, qui a permis d'obtenir un moule à flancs droits sur une forte épaisseur (≈20µm). Avec la figure 3.24.b nous retrouvons un profil d'épaisseur des conducteurs en forme de dôme comme prévue par la figure 3.10.a.



a) b)

Figure 3.24. Détails sur les croissances réalisées
a) Détail sur un plot de contact, b) Détail sur un conducteur

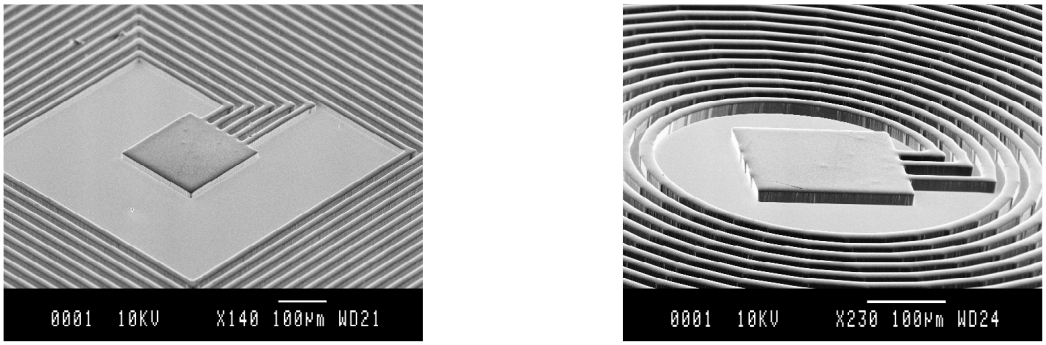
Par la suite, des observations ont été réalisées pour déterminer si la croissance électrolytique était influencée par les angles imposés par le dessin des inductances. Les figures 3.25.a et 3.25.b montrent que la croissance électrolytique de cuivre permet d'obtenir indifféremment des inductances orthogonales et circulaires. Les angles de ces structures ne présentent pas de surépaisseur significative en comparaison avec les parties linéaires des conducteurs.



a) b)

Figure 3.25. Influence des angles sur la croissance électrolytique de cuivre
a) Inductance orthogonale, b) Inductance circulaire

Par ailleurs, la réalisation d'inductances multibrins orthogonales (Figure 3.26.a) ou circulaires (Figure 3.26.b), n'entraîne pas non plus de modifications des profils des conducteurs et des plots en cuivre.



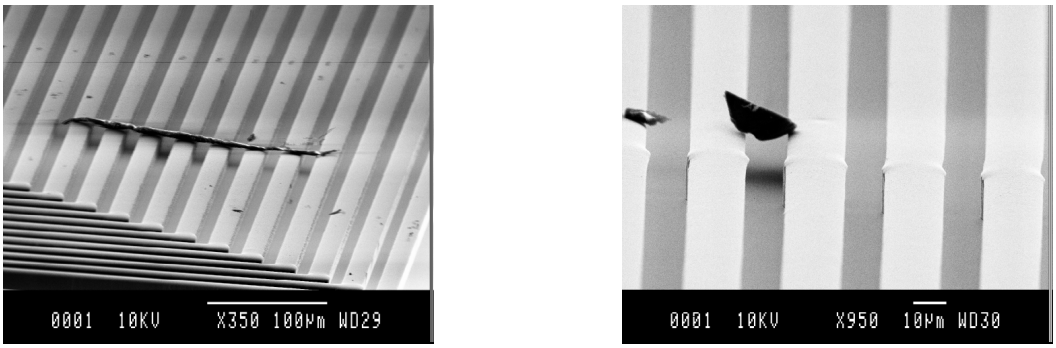
a) b)

Figure 3.26. Détails sur les conducteurs et les plots de contact dans le cas d'une structure inductive multibrins
a) Inductance orthogonale avec 5 brins, b) Inductance circulaire avec 3 brins

Les mesures de profils avaient déjà permis de valider que l'objectif d'épaisseur des conducteurs de 15µm avait été atteint. A présent, les observations du premier niveau de bobine ont confirmé que le

procédé mis en place respecte la côte et la forme des conducteurs (section carrée) quelque soit la type d'inductance.

La suite du procédé technologique prévoit l'enduction de SU8 au-dessus des inductances et une isolation pour ouvrir la résine au niveau des plots de contact. Avant cela, nous devons nous assurer de la propreté de la surface des composants. En effet, diverses pollutions peuvent venir se déposer à la surface du wafer et ont une taille moyenne à l'échelle de l'espacement entre les spires. Eclat de silicium, résidus de résine, re-déposition de métal gravé chimiquement sont des exemples de pollutions rencontrées. Elles sont éliminées par rinçage ou soufflage pour éviter de court-circuiter les spires entre elles et ne pas les piéger dans la résine d'isolation. Les figures 3.27.a et 3.27.b sont des exemples de pollutions restant sur les bobines après le retrait de la résine de définition et la gravure de la base de croissance.



a) b)

Figure 3.27. Pollutions sur les inductances
a) Résidus de résine, b) Poussière

III-2. Enduction de la résine SU-8

Après l'enduction, l'insolation et le développement de la résine SU-8, il faut contrôler optiquement si la résine a été correctement ouverte au-dessus des plots de contact en cuivre afin que la continuité électrique entre les deux niveaux de bobine soit assurée.

La figure 3.28 est un exemple d'ouverture correctement réalisée dans la SU-8. Le contraste entre la résine et le plot central en cuivre atteste de la présence d'un flanc de résine. L'observation du plot de cuivre nous permet de déterminer qu'il ne reste plus de résine dans le fond de l'ouverture. Ce contrôle revêt une grande importance car la présence d'un fond de résine mal révélé se traduit ensuite soit par l'absence de continuité électrique entre deux niveaux d'inductances soit par l'impossibilité de poser une pointe de mesure et/ou de réaliser une soudure (bonding) pour l'encapsulation du composant.

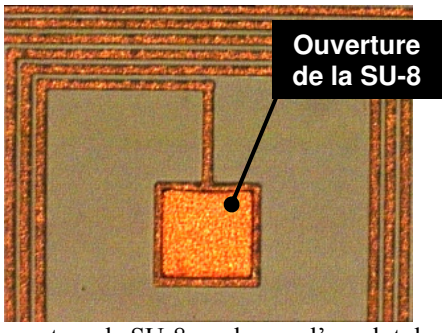


Figure 3.28. Photo optique de l'ouverture de SU-8 au-dessus d'un plot de contact d'une inductance

Ensuite, une prise de vue générale sur la tranche permet de visualiser la couche de SU-8 déposée sur les inductances. Le dépôt recouvre l'ensemble des spires (Figure 3.29). Sur les bords extérieurs de l'inductance, nous pouvons observer l'accumulation de résine SU-8, caractéristique de l'enduction par rotation (spin coating).

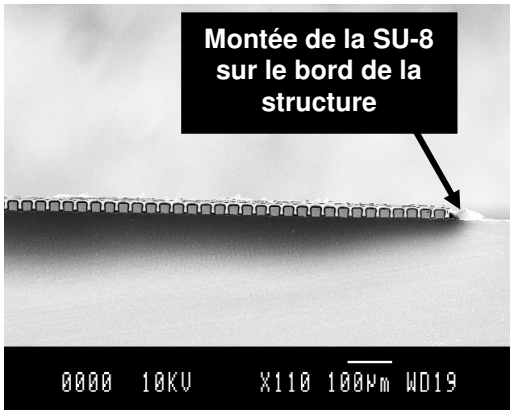
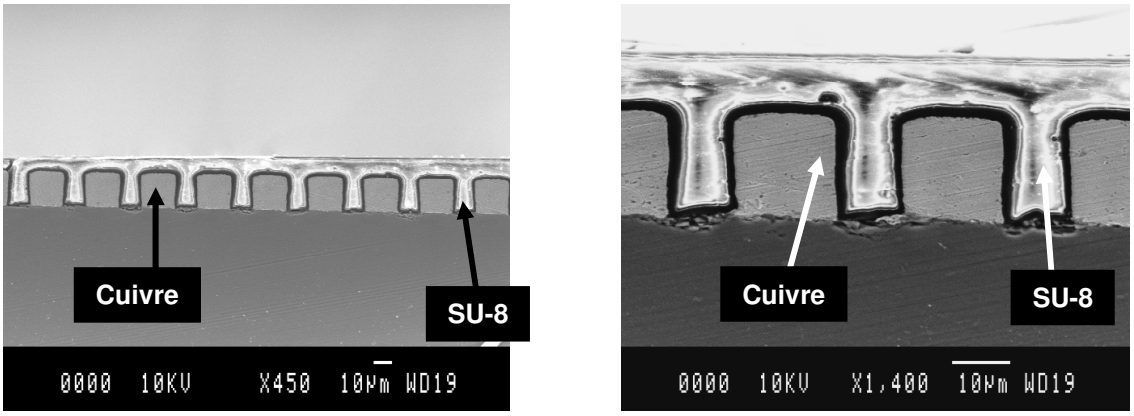


Figure 3.29. Profil du dépôt de SU-8 au-dessus d'une inductance

L'enduction par rotation est également à l'origine de la formation d'un dôme de résine au-dessus des inductances, mis en évidence par les relevés de profil (Figure 3.19 & 3.20). Les observations au MEB confirment cette tendance. La figure 3.30.a montre en effet l'épaississement de la résine de la gauche vers la droite de la photo. Cette enduction doit également permettre la pénétration de la résine entre chaque conducteur de l'inductance. L'ensemble des photos présentées jusqu'ici, et en particulier celle de la figure 3.30.b, montrent que la SU-8 est correctement descendue dans chaque espace laissé entre les conducteurs.



a) b)

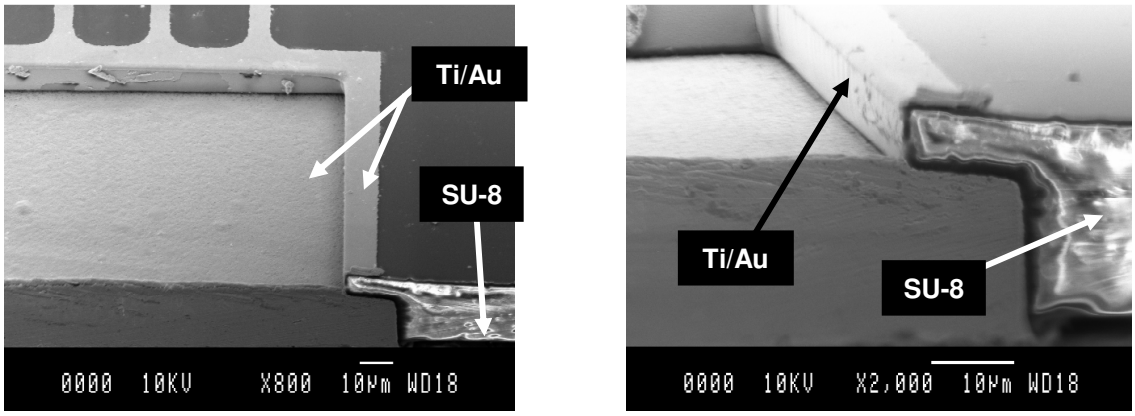
Figure 3.30. Profil d'épaisseur du dépôt de SU-8 au-dessus des conducteurs
a) Variation de l'épaisseur, b) Pénétration de la résine entre les motifs

A ce stade, la couche isolante déposée selon les paramètres spécifiés présente une bonne planéité et a pu être ouverte au niveau des plots de contact. Sur cette base, nous pouvons alors entreprendre la réalisation du second niveau d'inductance.

III-3. Réalisation du deuxième niveau d'inductance

La réalisation du deuxième niveau d'inductance débute avec le dépôt par évaporation de la base de croissance Ti/Au sur la résine SU-8 complètement recuite (étape a). Pour que la croissance électrolytique du plot de contact du deuxième niveau puisse être réalisée, le dépôt de la base de croissance doit être conforme pour assurer la continuité électrique entre la surface de la SU-8, les flancs de l'ouverture de cette résine et le plot de contact du premier niveau.

Les figures 3.31.a et 3.31.b représentent une vue en section d'un plot de contact d'un premier niveau d'inductance, recouvert de résine SU-8 ouverte au niveau du plot. La base de croissance est déposée et gravée chimiquement suivant la forme des bobines du second niveau (Figure 3.31.a). Nous retrouvons les flancs d'ouverture de la résine SU-8 décrits par la figure 3.14, mais la couche Ti/Au, constituant la base de croissance, a pu néanmoins être déposée de manière continue sur toutes les faces des structures.



a) b)

Figure 3.31. Plot de contact avec résine SU-8 ouverte et base de croissance du deuxième niveau gravée
a) Vue sur le plot de contact avec la base de croissance du deuxième niveau
b) Vue des flancs de la SU-8 avec la base de croissance du deuxième niveau

La continuité de la base de croissance a pu être obtenue grâce à la méthode de dépôt employée. Dans un bâti sous vide, les wafers sont disposés sur une portion de sphère à laquelle un mouvement planétaire est imprimé (Figure 3.32). Un canon à électrons vient alors chauffer la cible de métal jusqu'à son évaporation. Le mouvement planétaire et l'inclinaison des wafers par rapport à la source d'évaporation permettent le recouvrement de marches.

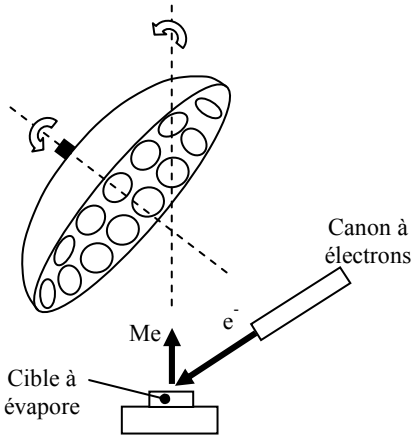
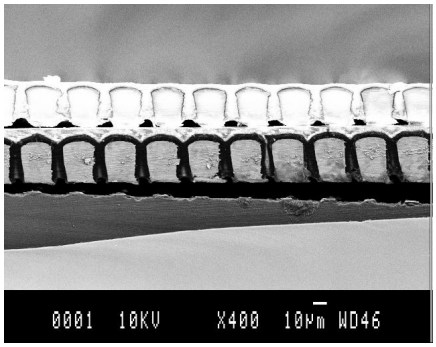
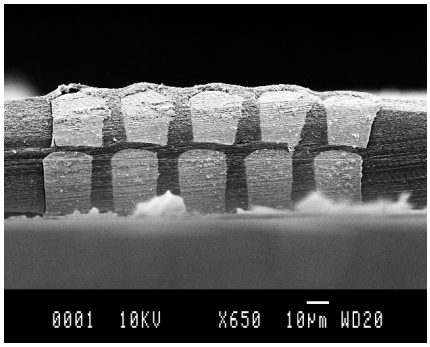


Figure 3.32. Dépôt par évaporation avec mouvement planétaire des wafers

A partir de la base de croissance, l'inductance du deuxième niveau peut-être réalisée par croissance électrolytique puis recouverte par une couche isolante de SU-8. Les plots de contacts sont ouverts par photolithographie de la résine. L'observation en coupe des conducteurs montre que ces derniers sont bien superposés et très proches des conducteurs du premier niveau (Figure 3.33).



a)



b)

Figure 3.33. Superposition de deux inductances isolées par une couche de SU-8 réticulée.

L'empilement de deux inductances est un procédé long et source de divers problèmes. La plupart de ces problèmes et les plus ennuyeux se concentrent sur la qualité du dépôt de SU-8 réalisant l'isolation entre les deux inductances. Les recuits de réticulation (Hard-bake) doivent être méticuleusement réalisés afin que la SU-8 puisse supporter les autres étapes du procédé, et notamment l'évaporation de métal pour la base de croissance. Un mauvais recuit final rend la résine sensible aux températures supérieures à 100°C et a pour conséquence un décollement général de la résine sous forme de film, ainsi que des motifs. De manière générale, la température du recuit final (ou recuit de réticulation) doit être supérieure à la température de fonctionnement attendu du composant. Si en fonctionnement la température du composant dépasse celle du recuit final, alors la résine va retrouver une certaine fluidité entraînant la modification de la structure inductive. La figure 3.34 est un exemple d'observation de SU-8 commençant à se décoller, entraînant la déformation du composant. Nous constatons un écartement notable entre les spires du premier et du second niveau. Un décollement de la résine vis-à-vis du wafer est également visible.

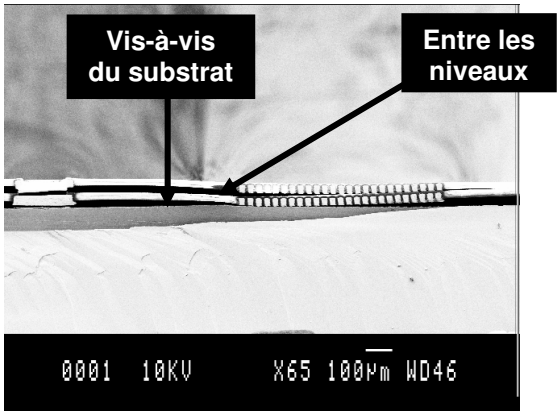
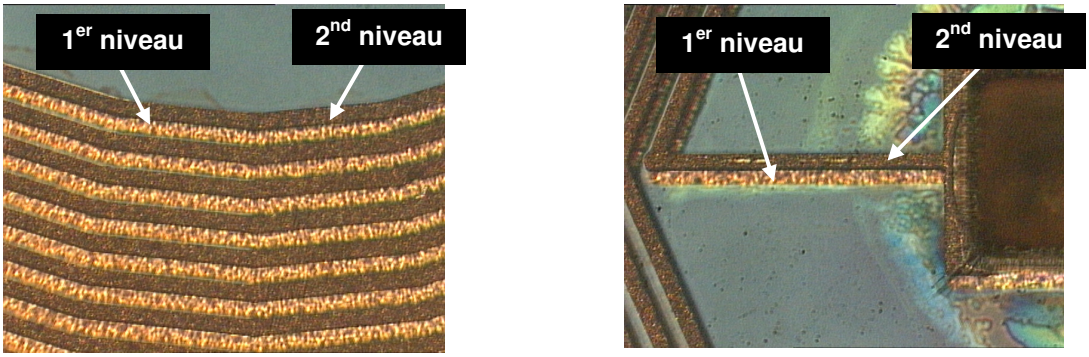


Figure 3.34. Décollement de la SU-8 entre les deux niveaux d'inductances

Finalement, concernant les défauts inhérents à la réalisation d'inductances sur plusieurs niveaux, il a été constaté en simulation qu'un écart horizontal de plusieurs dizaines de microns entraînait la chute du couplage magnétique. Sur les figures 3.35.a et 3.35.b, nous avons deux exemples d'erreur d'alignement entre les deux niveaux d'inductances. Ici, l'erreur se limite à la largeur d'un conducteur, soit 15µm seulement. Le mauvais alignement s'explique par les conditions dans lesquelles la photolithographie est réalisée. Le moment de l'insolation de la résine de définition correspond à l'étape b de la figure 3.1. La résine épaisse de définition est enduite sur la base de croissance (Ti/Au) qui est opaque. Il est par conséquent difficile de réaliser l'alignement au dessus des structures et des mires d'alignement.



a) b)

Figure 3.35. Mauvais alignement du second niveau d'inductance par rapport au premier niveau
a) Vue des spires, b) Vue d'un plot

III-4. Synthèse

Dans cette seconde partie, chaque étape de la réalisation des inductances a pu être validée. Nous avons tout d'abord pu vérifier que le procédé technologique nous permettait de réaliser des inductances classiques de différentes formes et avec des taux de remplissage variables. Sur le même niveau, nous avons pu également fabriquer des inductances constituées de 2 à 5 brins connectés en parallèle selon une topologie « interleaved ». Ensuite, la mise en œuvre de la résine SU-8 selon les paramètres définies précédemment a permis de recouvrir les inductances d'une couche isolante homogène, comblant correctement les interstices. Sur cette base, nous avons empilé une deuxième de bobine. A ce stade, les observations ont montré qu'une attention particulière devait être apportée aux recuits de la SU-8 sous peine décollement de cette couche.

Le procédé technologique a pu être mené à son terme et fournir des composants fonctionnels dont les caractérisations électriques seront commentées au chapitre suivant. Par ailleurs, ce procédé technologique n'est pas resté figé et a bénéficié d'évolutions constantes tout au long de la thèse. Nous précisons ici qu'elles ont été ces évolutions et dans quelle mesure elles ont permis d'améliorer le procédé de fabrication.

4. Evolutions du procédé technologique

IV-1. Base de croissance en Ti/Cu

Une grande partie des bobines réalisées l'ont été sur une base de croissance électrolytique Ti/Au, dont l'or aura été préalablement gravé comme décrit par l'étape a.2) du procédé technologique (Figure 3.6). Bien que cela ait permis de résoudre les problèmes de sur gravure chimique de la base de croissance, les mesures de profils montrent une inhomogénéité de l'épaisseur des conducteurs d'une même bobine. D'autre part, la photogravure de la couche d'or amène des étapes technologiques supplémentaires qui augmentent le temps de fabrication. Lorsque cette gravure est réalisée pour les inductances du second niveau, ces étapes peuvent participer à la dégradation progressive de la SU-8 par l'ajout d'étapes de recuits et de gravures chimiques supplémentaires. Le remplacement du Ti/Au par une base de croissance Ti/Cu a alors été étudié pour remédier à ces inconvénients.

La base de croissance Ti/Cu est réalisée par évaporation. Comme pour la base de croissance Ti/Au, il faut graver la couche de cuivre et de titane entre les spires pour supprimer les courts-circuits. La gravure chimique de la couche de cuivre va également attaquer les spires. Pour néanmoins conserver les dimensions de ces dernières, nous avons limité l'épaisseur de cuivre évaporée à 500A°. L'épaisseur de titane est maintenue à 1000A° et assure l'accroche du cuivre sur le SiO_2.

Des mesures comparatives de profils d'épaisseur ont été réalisées sur des bobines de premier et de second niveau, réalisées avec une base de croissance Ti/Au 1000A°/1000A°et Ti/Cu 1000A°/500A°. Les mesures ont été réalisées de bord à bord des wafers pour déterminer les différences d'épaisseurs entre les bobines du bord et du centre. La figure 3.36 rassemble le résultat de ces mesures. Pour chaque série, nous avons représenté l'écart d'épaisseur par rapport à la bobine la moins épaisse mesurée. Dans le cas de l'utilisation d'une base de croissance Ti/Au avec gravure de la couche d'or selon la forme des bobines, les profils montrent une forte inhomogénéité de la croissance de cuivre pour des bobines du premier et du deuxième niveau. Les bobines les moins épaisses se situent au centre du wafer et l'écart d'épaisseur maximum constaté varie entre 20% et 40%. Avec une base de croissance en Ti/Cu, l'inhomogénéité est fortement réduite. Les écarts d'épaisseurs constatés sont majoritairement inférieurs à 5%.

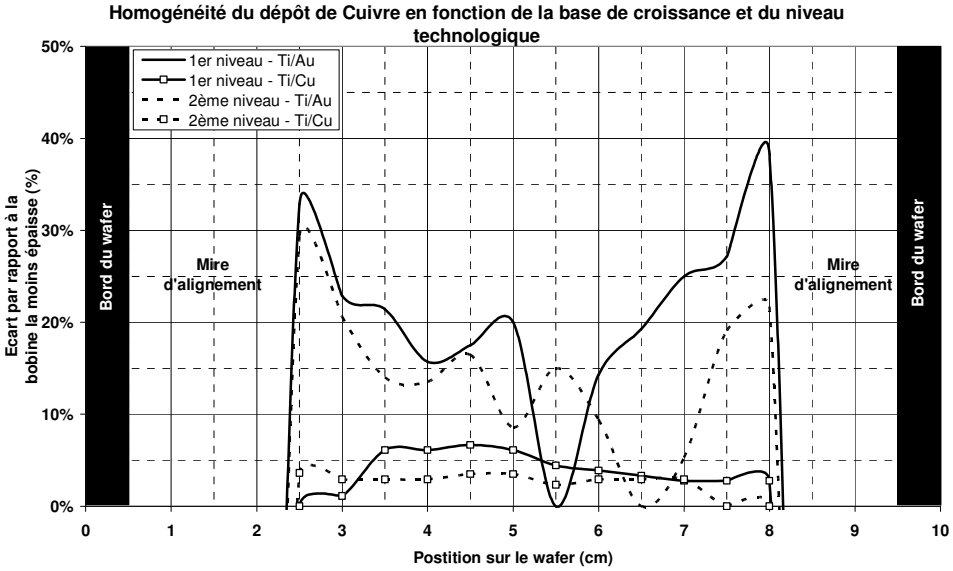


Figure 3.36. Influence de la base de croissance sur la variation d'épaisseur de cuivre le long d'un wafer pour 1 et 2 niveaux d'inductances

La mise en œuvre de la base de croissance Ti/Cu est intervenue en fin de thèse et a permis de simplifier et de fiabiliser le procédé technologique. En effet, la couche de cuivre (500A°) est suffisamment fine pour être gravée chimiquement sans que des problèmes de surgravure n'apparaissent. Elle est également suffisamment épaisse pour garantir une bonne répartition des lignes de courants sur toute la surface du wafer et a donc participée à améliorer la qualité des croissances électrolytiques.

IV-2. Solutions annexes pour réduire l'épaisseur et l'inhomogénéité de la couche de SU8

Plusieurs solutions sont envisageables pour réduire l'épaisseur de SU-8 et rendre sa surface encore plus plane. Le phénomène d'accumulation de résine sur les flancs des structures est typique d'une enduction de résine par rotation (spin coating). Néanmoins d'autres méthodes d'enduction de films minces existent et pourraient résoudre ce problème :

- Trempage-retrait (dip coating) [118, 119] : le wafer est trempé verticalement dans la résine puis retiré par un système mécanique. L'absence de rotation évite l'accumulation de résine sur les motifs. L'épaisseur est principalement dépendante du nombre de trempage-retrait réalisé, de la vitesse de ces trempages et de la viscosité de la résine utilisée.
- Spray-coating [120, 121]: le dépôt est réalisé par la projection en spray de la résine. Ce procédé est particulièrement intéressant pour le dépôt d'une couche conforme de résine sur des motifs

à fort facteur de forme. De plus, la littérature indique que ce procédé consomme moins de résine que l'enduction par rotation.

Toutefois, si l'enduction par rotation doit être conservée pour déposer la SU-8, il existe également des solutions basées sur le polissage pour mettre à niveau le dépôt de SU-8 et fixer son épaisseur. La centrale technologique étant équipée de ce type d'outillage, nous avons testé cette solution. Tous les essais ont été réalisés avec un dépôt de résine au préalable insolée et ayant subie un recuit de réticulation final. Le principe de fonctionnement est schématisé par la figure 3.37. Le wafer est fixé sur un plateau secondaire puis sa surface est amenée à proximité du plateau primaire. Ces derniers tournent en sens inverse. Le plateau principal est enduit en continue d'une solution abrasive contenant des grains d'alumine de diamètre connu (0,3µm). Un déplacement transversal du plateau secondaire, conjointement aux mouvements de rotation des deux plateaux, permet d'homogénéiser la répartition de la solution d'attaque sur tout le wafer (Figure 3.21.b). Un faible espace est maintenu entre le wafer et le tapis du plateau principal afin que la solution abrasive puisse recouvrir la surface du wafer.

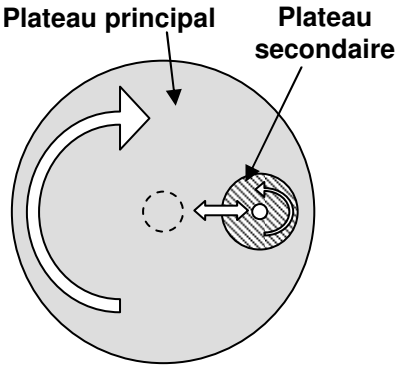


Figure 3.37. Principe de fonctionnement de la polisseuse

Après que le procédé de polissage de SU-8 ait été mis en place avec le personnel de l'équipe TEAM, nous avons étudié son influence sur la modification des profils de SU-8. La comparaison des relevés à t=0, t+10 minutes et t+22 minutes de polissage a montré qu'en une vingtaine de minutes, il était possible de diviser par deux l'épaisseur de résine au-dessus des composants, quel que soit leur position sur le wafer et leur taux de remplissage (Figure 3.38).

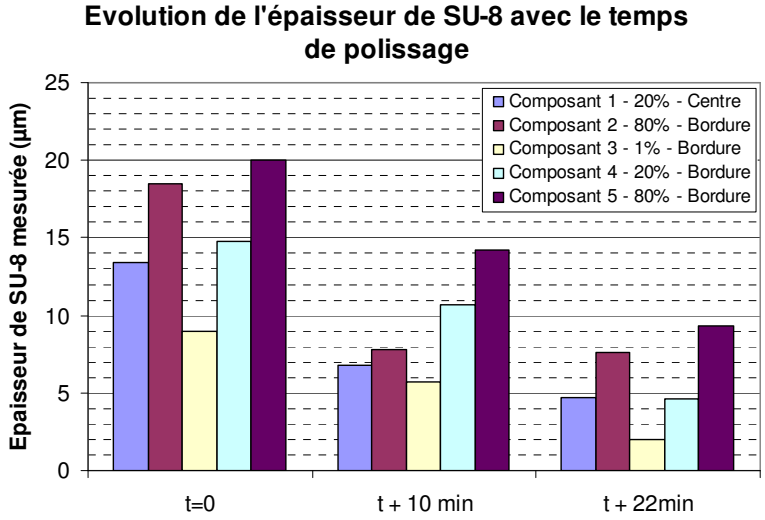
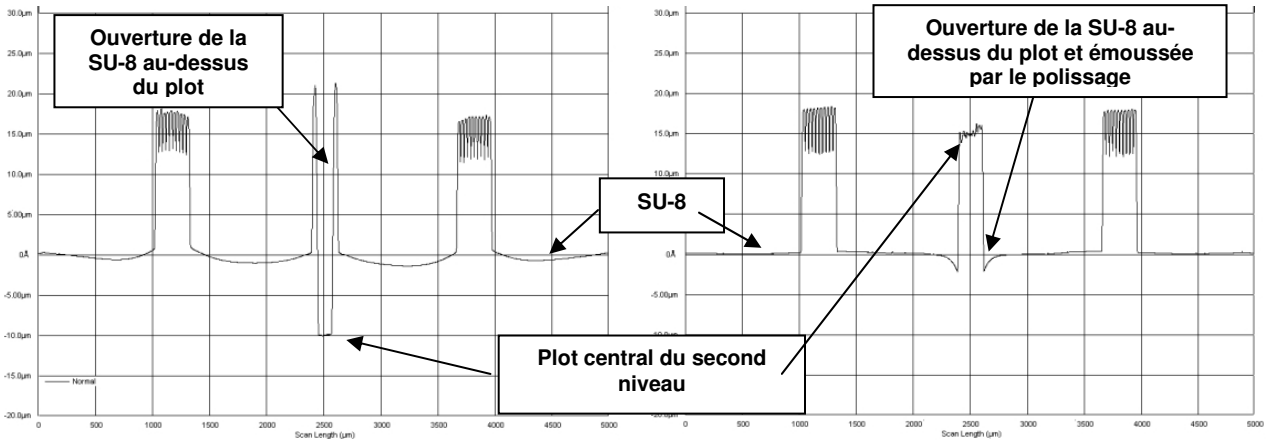


Figure 3.38. Evolution de l'épaisseur de SU-8 avec le temps de polissage

A t=0, les épaisseurs de SU-8 relevées pour des composants disposés à plusieurs endroits du wafer et avec différents taux de remplissage, s'échelonnent entre 9µm et 20µm. Après 22 minutes de polissage, l'ensemble de ces composants sont recouverts de moins de 10µm de résine. Ainsi, même si les disparités d'épaisseur persistent, elles sont suffisamment faibles pour que leur impact soit négligeable sur le couplage magnétique.

Le procédé technologique a été ensuite poursuivi pour réaliser le deuxième niveau d'inductance sur cette couche de SU-8 polie. Les mesures de profils ont été alors comparées à celles d'inductances réalisées sur une couche de SU-8 non polie, en respectant toujours le procédé d'enduction décrit précédemment.

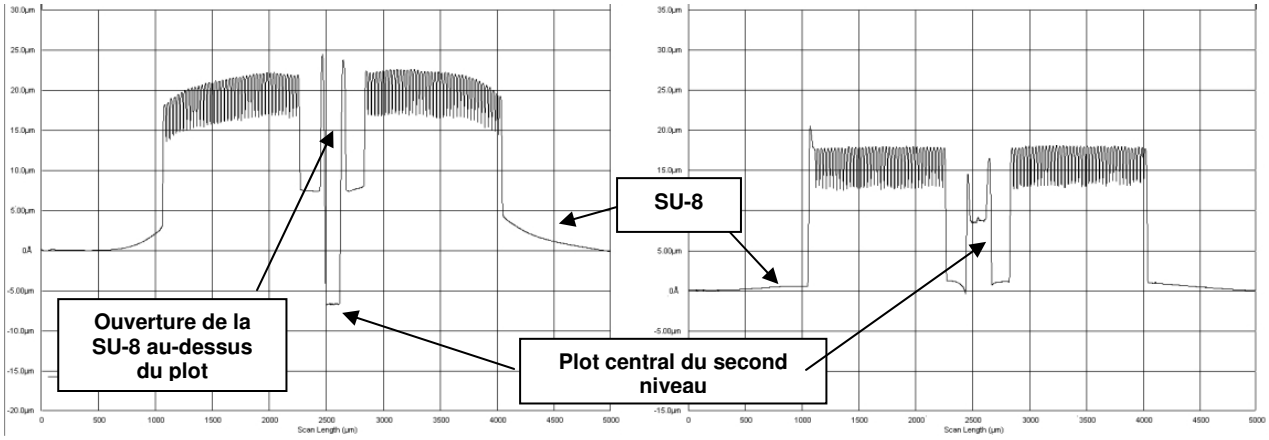


a) b)

Figure 3.39. Profil d'épaisseur de la croissance de cuivre du deuxième niveau – Bobines à faible taux de remplissage
a) SU-8 non polie, b) SU-8 polie

Concernant les bobines à faible taux de remplissage, le polissage a amené plusieurs améliorations (Figure 3.39.b) en comparaison avec la même bobine réalisée sur la SU-8 non polie (Figure 3.39.a). La surface de SU-8 apparaît plus plane et la variation d'épaisseur entre les conducteurs externes et internes est limitée. Egalement, la différence de niveau entre le plot central et les spires du deuxième niveau est franchement réduite en comparaison avec un composant n'ayant subit l'étape de polissage. Le polissage a permis de diminuer l'épaisseur de résine au-dessus des plots et d'émousser les flancs de l'ouverture au niveau des plots. Ainsi, la qualité de photolithographie s'est trouvée améliorée et une bonne continuité électrique de la base de croissance a pu être assurée sur l'ensemble du wafer.

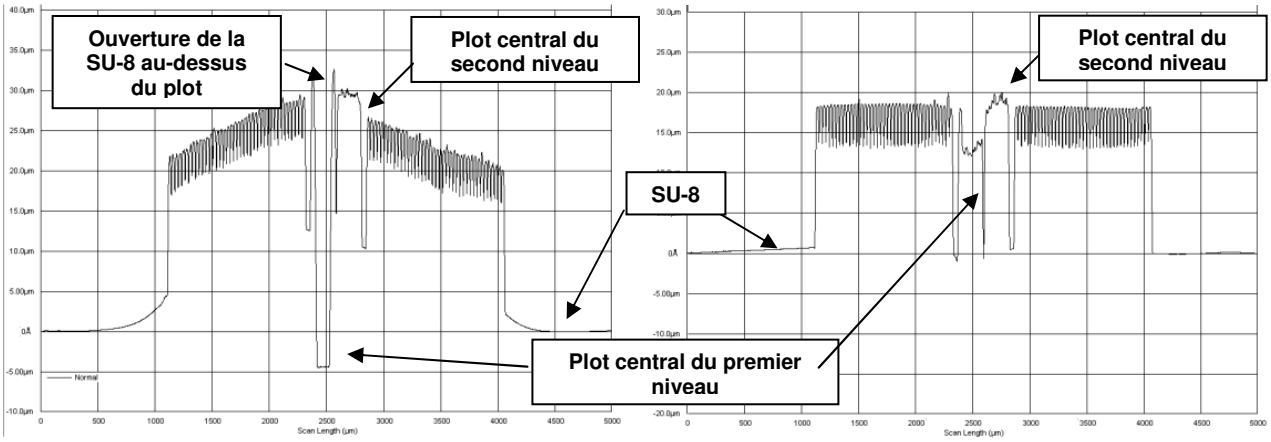
Concernant les bobines à fort taux de remplissage, le polissage a également amené plusieurs améliorations (Figure 3.40.b) en comparaison avec la même bobine réalisée sur une couche de SU-8 non polie (Figure 3.40.a). Lorsque la SU-8 n'est pas polie, le dôme de résine, évoqué précédemment (Figure 3.20.b), perturbe la croissance électrolytique du deuxième niveau. Le profil d'épaisseur des bobines suit alors celui de la couche de SU-8 (Figure 3.40.a). Si la SU-8 est préalablement polie, la croissance électrolytique fait apparaître des conducteurs de mêmes épaisseur et de même niveau (Figure 3.40.b). Par ailleurs, comme précédemment, le polissage a permis de faire sortir le contact central en le ramenant quasiment au niveau des conducteurs.



a) b)

Figure 3.40. Profil d'épaisseur de la croissance de cuivre du deuxième niveau – Bobines à fort taux de remplissage
a) SU-8 non polie, b) SU-8 polie

L'influence du polissage sur la reprise de contact avec le niveau inférieur est particulièrement flagrante avec les mesures de profil de la figure 3.41. Nous avons superposé deux inductances dont nous avons séparé les contacts centraux afin de pouvoir les mesurer séparément. Ainsi le contact central du premier niveau d'inductances doit être repris lors de la croissance du deuxième niveau et, idéalement, arriver au niveau des spires et du plot central du second niveau d'inductance. La croissance du contact central du deuxième niveau croît lui directement sur la SU-8 en même temps que le reste de la deuxième inductance dont il fait partie.



a) b)

Figure 3.41. Profil d'épaisseur de la croissance de cuivre du deuxième niveau – Bobines à fort taux de remplissage et reprise sur le contact de la bobine du premier niveau.
a) SU-8 non polie, b) SU-8 polie

Si aucun polissage n'est réalisé, le contact du premier niveau ne rattrape pas complètement l'épaisseur de SU-8 et ne peut arriver au même niveau du contact de la seconde inductance (Figure 3.41.a). Après polissage, nous constatons que le contact de la première inductance arrive quasiment au niveau de celui de la deuxième inductance superposée (Figure 3.41.b). Le polissage a permis de réduire l'épaisseur de résine au-dessus des contacts. Par conséquent, le retard à rattraper lors de la croissance électrolytique est plus faible.

Ainsi, l'introduction d'une étape de polissage est devenue, à plusieurs titres, incontournable. En effet, ce procédé nous permet de littéralement niveler les défauts et les épaisseurs des structures de manière contrôlée. Par ailleurs, la réduction de l'épaisseur de SU-8 au niveau des ouvertures au-dessus des plots à grandement facilité la reprise de contact pour la croissance de la bobine du niveau

supérieur. La réalisation de structures à plus de 2 niveaux peut alors être sérieusement envisagée. Il est à noter que cette technique de polissage utilisant une solution abrasive, il n'y a aucun contact franc entre le wafer et le plateau qui pourrait générer des contraintes mécaniques.

IV-3. Réalisation d'inductances sur wafer Pyrex®

En marge des travaux pour l'intégration des inductances sur silicium, le procédé technologique décrit par la figure 3.1 a également été réalisé sur des wafers en Pyrex® de 4'' et 525µm d'épaisseur.

Tout d'abord, le Pyrex® en tant que substrat est isolant et n'est donc le lieu d'aucune perte par courant induits, comme c'est le cas dans le silicium. Par conséquent, de meilleures performances des inductances sont attendues. Notre choix de réaliser des inductances sur ce type de substrat découle de l'étude bibliographique des techniques d'isolation d'inductances dont nous rapportons ici les principaux exemples. Ces études ont été principalement réalisées dans le domaine RF avec comme objectif principal d'augmenter le facteur de qualité maximum et de repousser la fréquence de résonance.

Isolation de l'inductance par un oxyde épais : Cette possibilité est évoquée dans les travaux de Jeong [122] et de Piernas [123]. Toutefois, le temps de fabrication d'un oxyde épais peut-être très long et coûteux.

Isolation de l'inductance par une résine épaisse: L'utilisation de résines épaisses tel le BCB, la SU8 et le polyimide permet de réaliser une couche plane et isolante sur laquelle des inductances peuvent être fabriquées [69, 123, 124, 125]. Ces résines présentent des coefficients de pertes très faibles en hautes fréquences et peuvent être déposées sur de fortes épaisseurs avec les techniques d'enduction classique. Le couplage capacitif entre le composant et le substrat s'en trouve réduit. Néanmoins, les résines comme le BCB et la SU8 demandent des étapes de recuits d'évaporation de solvants et de réticulation très longs. Les paramètres de recuit doivent être réglés de manière à minimiser les contraintes mécaniques dans la résine ainsi que les pertes électriques (tan δ). Par ailleurs, la qualité des recuits est déterminante car elles peuvent apporter des limitations thermiques importantes qui interdisent certaines étapes technologiques, comme des recuits à haute température ou le report de composant avec soudure, sous peine de dégrader la résine.

Isolation de l'inductance par un plan de masse : La réalisation d'un plan de masse sous l'inductance est souvent mentionnée dans la littérature [69, 71, 122, 126-128]. Il constitue un « mur électrique » qui empêche le champ électrique d'atteindre le substrat et de générer des pertes. Dans le même temps, il n'a pas les propriétés d'un « mur magnétique » et laisse le champ magnétique se propager pour assurer une valeur d'inductance maximale. Dans le cas où le plan de masse serait réalisé en métal, il peut être mis en forme afin d'augmenter sa résistance apparente (Figure 3.42). De cette manière, il n'y a pas d'apparition de mutuelle inductance négative, produite par des courants induits, qui pourrait diminuer la valeur d'inductance totale.

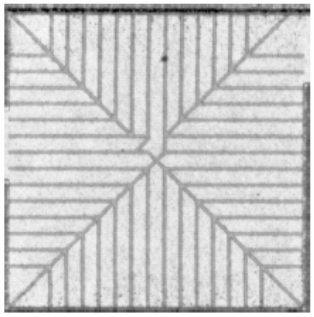
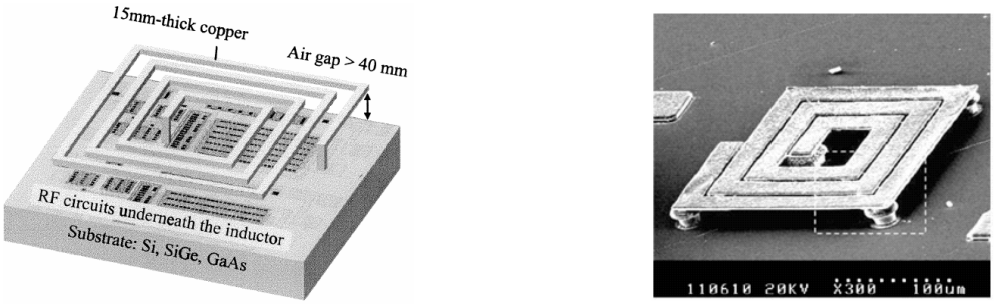


Figure 3.42. Exemple de plan de masse mis en forme pour la réduction des pertes dans le substrat [126].

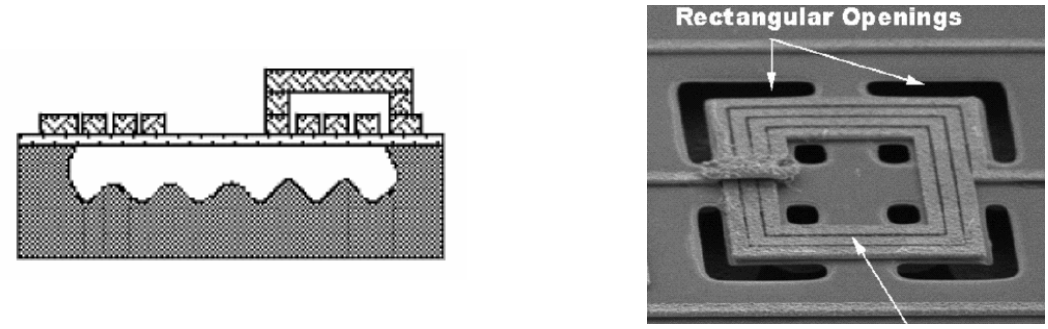
Isolation de l'inductance par le biais d'une structure suspendue : Plusieurs procédés MEMS ou LIGA (Röntgen**LI**thographie, **G**alvanoformung, **A**bformung) ont vu le jour avec le développement des microsystèmes. Ces techniques de micro usinage permettent d'obtenir des structures épaisses avec de bonnes résolutions. Des inductances suspendues (Figure 3.43) peuvent être réalisées et présentent des performances très supérieures [129, 130, 131]. La distance avec le substrat limite le couplage magnétique. D'autre part, l'air constitue l'isolant ce qui tend à réduire la capacité entre la bobine et le substrat (la constante diélectrique de l'air est de 1 contre 3,9 pour le SiO_2).



a) b)

Figure 3.43. Exemples d'inductances suspendues
a) Vue d'ensemble d'une inductance sur circuit [80], b) Vue d'une inductance suspendue réalisée [131].

Isolation de l'inductance sur membrane : Une autre solution, utilisant les techniques de micro usinage de surface, est de graver le substrat sous l'inductance pour supprimer complètement les pertes (Figure 3.44). Ces structures sur membrane, bien que présentant des performances très intéressantes, doivent faire l'objet d'étude de tenue mécanique. Les dépôts des matériaux conducteurs doivent être réalisés de manière à limiter les contraintes dans la structure finale [132].



a) b)

Figure 3.44. Inductance RF réalisée sur membrane en face avant [82].
a) Vue en coupe de la membrane avec l'inductance au-dessus du substrat silicium gravé
b) Inductance réalisée

Le substrat peut-être également être gravé en face arrière du wafer pour augmenter sa résistance apparente [133]. L'inductance peut alors être indifféremment fabriquée en face avant (Figure 3.44) ou en face arrière (Figure 3.45). Dans ce dernier cas, le procédé est un peu plus complexe mais la technique présente l'avantage de répartir les composants sur les deux faces du wafer.

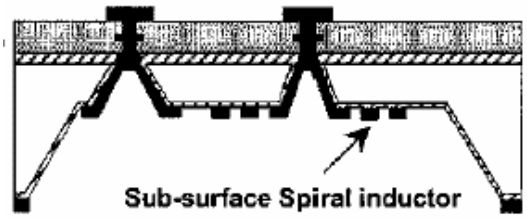


Figure 3.45. Vue en coupe d'une inductance RF réalisée sur membrane en face arrière avec contacts face avant [133].

D'autres travaux proposent de modifier progressivement la largeur des conducteurs pour réduire les pertes par courants induits [134]. En effet, le champ magnétique s'intensifiant à mesure que l'on s'approche du centre de l'inductance, une diminution de la section de conducteurs permet de limiter la création de courants induits. A inductance constante, cette technique (Figure 3.46) montre un gain d'environ 15 % sur le facteur de qualité.

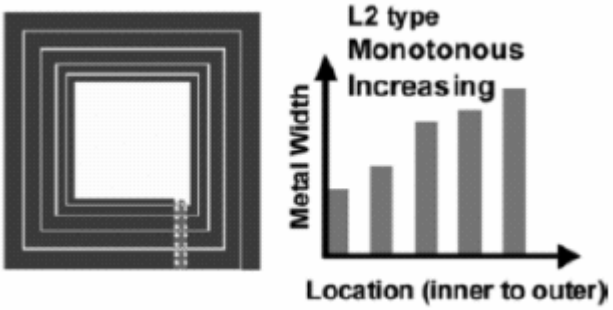


Figure 3.46. Représentation d'une inductance avec une réduction progressive de la largeur des conducteurs.

Finalement, si l'isolation vis-à-vis du Silicium s'avère difficile et insuffisante, il est possible d'utiliser un substrat plus résistif. Ainsi des wafer Si dits à « haute résistivité » 1000 à 10000 fois moins conducteurs que du wafer silicium classique (Type N, dopage 10^{16}) sont utilisés pour réduire les pertes. Egalement, l'intégration monolithique RFIC sur des substrats SiGe ou GaAs s'est développée et se retrouve principalement dans les applications télécoms hauts débits. Cette technologie est également plus coûteuse que les procédés sur silicium.

Ainsi, de l'ensemble des techniques présentées nous avons retenu que le choix du substrat et de sa résistivité était un levier essentiel qui nous permettait d'éviter la réalisation de structures membranaires plus complexes. Aussi, l'utilisation de wafers en Pyrex® isolant s'est imposée car d'une part, la transposition du procédé technologique développé sur silicium se fait sans étapes technologiques supplémentaires, et d'autre part elle s'inscrit dans les travaux du groupe sur la gestion de l'énergie photovoltaïque [135]. Ici, les enjeux portent sur la limitation des pertes d'énergie entre les panneaux photovoltaïques et les charges à alimenter ou les éléments de stockage d'énergie tels que les batteries. Ces pertes sont en grande partie liées aux étages de conversion d'énergie placés entre les panneaux photovoltaïques et les charges. L'objectif ici, est d'intégrer un convertisseur d'énergie au plus près de chaque cellule photovoltaïque pour réaliser l'adaptation de puissance avec de hauts rendements.

Avant de présenter les résultats de la fabrication d'inductances sur Pyrex®, nous en rappelons les principales caractéristiques. Mis au point par E.C. Sullivam et W.C. Taylor aux laboratoires Corning Glass Works aux Etats-Unis, en enrichissant une composition de borosilicate, le Pyrex® est un verre résistant aux chocs thermiques car son coefficient de dilatation thermique est très faible (Tableau III.1). Les verres de la marque Pyrex® désignent d'une façon générale les borosilicates à faible

coefficient de dilatation ne renfermant ni plomb, ni arsenic, ni zinc et dont la composition chimique est la suivante : Silice 80%, Anhydride borique 13%, Alumine 2,25%, Oxyde ferrique 0,05%, Soude 3,50%, Potasse 1,1% [136, 137]. Les principales caractéristiques physiques du Pyrex® sont rassemblées dans le tableau III.1 et comparées à celles du silicium. La densité du Pyrex® est 4% inférieure à celle du silicium. Son utilisation n'entraînera donc pas de surpoids. D'autre part, le Pyrex® est capable de supporter des températures de l'ordre de 300°C avec très peu de déformation mécanique. Il est donc compatible avec une utilisation en environnement difficile ou la température augmente du fait du fonctionnement de systèmes électroniques. En outre le Pyrex® est un bien meilleur isolant thermique que le silicium. Pour comparaison avec les données du tableau III.1, la laine de verre et la SU-8 ont respectivement une conductivité thermique de 0,04 W/(m.K) et 0,2 W/(m.K).

	Pyrex®	**Silicium**	
Densité	2,23 g/cm^3	2,33 g/cm^3	
Conductivité thermique	1,3 W/(m.K)	148 W/(m.K)	
Coefficient de dilatation thermique	3,25x10^{-6}/°C	2,6x10^{-6}/K	
Température maximum d'utilisation à l'air	300°C à 400°C	Température de fusion	1414°C
		Température de jonction	150°C-200°C

Tableau III.1. Caractéristiques physiques comparées du Pyrex® et du silicium

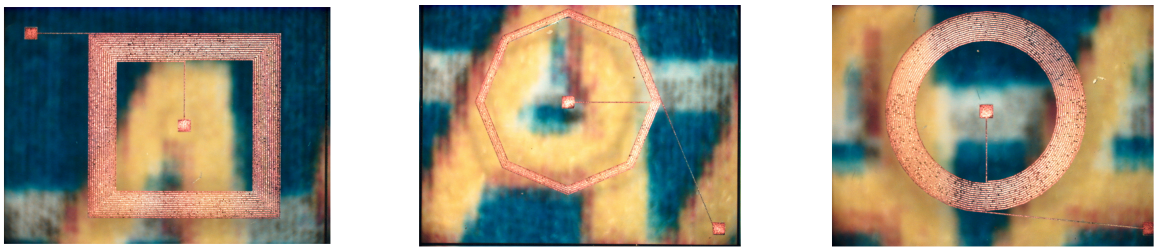
Le Pyrex® est par conséquent particulièrement adapté à une application de puissance de part ses propriétés thermiques lui permettant de supporter les hautes températures (supérieures à la centaine de degrés) induites conjointement par le soleil et les commutations dures d'un convertisseur d'énergie placé sur la cellule photovoltaïque. Il peut également supporter la plupart des étapes élémentaires de microélectronique comme les évaporations de métaux, sans pour autant générer de défauts entraînant la casse du wafer. En particulier, sa composition chimique faible en métaux alcalins le rend compatible avec la gravure physique de type RIE et DRIE [138].

Pour la réalisation d'inductances, le procédé technologique a du être adapté car la conductivité thermique est différente de celle du silicium. Le temps de pré-recuit avant insolation de la résine de définition a du être légèrement augmentée afin d'évaporer suffisamment de solvant pour obtenir des moules avec des flancs droits. Egalement, la manipulation est plus délicate en comparaison avec des wafers en silicium, du fait du caractère amorphe du verre Pyrex®. Si pour cliver un wafer en silicium un axe cristallographique doit être suivi, une amorce peut être générée n'importe où sur un wafer Pyrex® et se propager très facilement pour aboutir à la casse de ce wafer.

a) b)

Figure 3.47. Vue générale d'inductances réalisées sur Pyrex®
a) Inductances orthogonales, b) Inductances circulaires

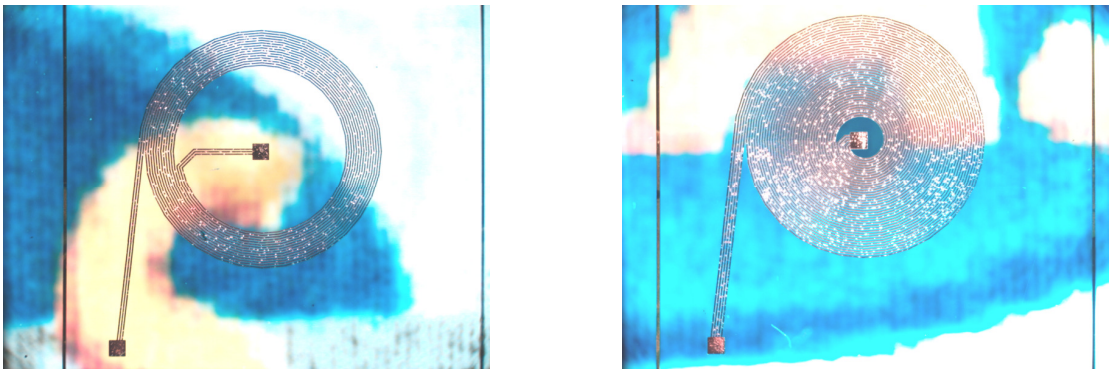
Nous avons procédé à plusieurs observations optiques de composants réalisés avec le même jeu de masque que les inductances sur silicium. Les images concernent des bobines du premier niveau juste avant l'enduction de résine SU-8 d'isolation. La figure 3.47.a & 3.47.b montrent une vue d'ensemble des inductances en cuivre entourés du quadrillage en or nécessaire à la croissance électrolytique de cuivre. La figure 3.47.b donne un ordre de grandeur des bobines de 3mm de diamètre. Comme sur silicium, différentes formes d'inductances ont été réalisées. La figure 3.48 montre qu'il est possible de concevoir indifféremment des inductances carrées, octogonales et circulaires.



a) b) c)

Figure 3.48. Vue en détail de différentes formes d'inductances réalisées sur Pyrex®
a) Carrée, b) Orthogonale, c) Circulaire

Des inductances à plusieurs brins (interleaved) ont également été fabriquées avec des taux de remplissage variable comme le montre la figure 3.49.



a) b)

Figure 3.49. Inductances circulaires multibrins réalisées sur Pyrex®
a) 3 brins – 5 tours, b) 5 brins – 8 tours

Ces observations démontrent alors que le procédé technologique a pu être transposé du silicium vers le Pyrex® et garder sa capacité à réaliser l'ensemble des structures inductives étudiées en simulation. Une fois que le procédé technologique a été mis en place pour la réalisation d'un niveau d'inductances, il a été répété afin de concevoir le second niveau de bobines pour valider ultérieurement l'association série et parallèle sur ce substrat. La vérification des effets de l'utilisation d'un substrat Pyrex® sera commentée dans le chapitre suivant, au travers de la comparaison des comportements fréquentiels d'inductances identiques réalisées sur silicium et sur Pyrex®.

IV-4. Synthèse

Dans cette partie, nous avons porté à l'attention du lecteur l'évolution du procédé technologique présenté au début de ce chapitre. Si le principe de base, reposant sur la croissance électrolytique dans un moule de résine épaisse et l'enduction d'une couche plane de SU-8, n'a pas changé, les moyens pour y parvenir ont été adaptés en fonction des difficultés rencontrées et des possibilités de la centrale technologique du LAAS.

Ainsi, les problèmes d'homogénéité de croissance électrolytique ont été quasiment éliminés par la mise en œuvre quasi simultanée d'une base de croissance Ti/Cu et du polissage de la SU-8. Cette nouvelle base de croissance présente une bien meilleure conductivité électrique et peut donc être déposée sur une épaisseur suffisamment fine sur tout le wafer pour que les phénomènes de sur gravure n'endommagent pas les composants. Le polissage, quant à lui, a permis de niveler les défauts de la couche de SU-8 inhérents à une enduction par rotation. Les conséquences du phénomène d'accumulation de résine sur l'inhomogénéité de la croissance électrolytique du second niveau ont put être fortement atténuées. En particulier, il a été remarqué que la réduction de l'épaisseur de SU-8 par polissage favorisait la reprise de contact avec le niveau inférieur nous permettant d'envisager l'empilement de plus de deux inductances électriquement connectées. Finalement, nous avons démontré la faisabilité technologique d'inductances sur substrat Pyrex®. L'utilisation de ce substrat répond aux besoins de la réduction des pertes d'énergie évoquées au chapitre II mais s'intègre également dans une thématique de recherche centrée sur la conversion de l'énergie photovoltaïque. L'ensemble des structures inductives simples, interleaved et stacked réalisées sur silicium l'ont été sur Pyrex®. Ces réalisations ouvrent alors des perspectives d'intégration de composants magnétiques présentant de faibles pertes d'énergie.

5. Conclusion

Dans ce chapitre, nous avons présenté l'ensemble des travaux réalisés en salle blanche pour la réalisation d'inductances planaires intégrées. A partir d'un procédé standard, utilisé par de nombreuses équipes de recherche et basé sur l'enduction de résines épaisses et la croissance électrolytique de cuivre, nous avons développé une technologie d'empilement d'inductances planaires utilisant la résine SU-8 comme isolant. Les diverses étapes technologiques et difficultés associées ont été détaillées et commentées. Au fur et à mesure de nos travaux le procédé, décrit en tête de ce chapitre, a subit des évolutions importantes grâce à l'aide et au savoir faire de l'équipe technique de la centrale technologique du LAAS.

La première partie de ce travail a consisté à mettre au point l'enchaînement des étapes aboutissant à la réalisation d'un premier niveau d'inductance. L'essentiel de la tâche était d'assurer la réalisation de 100% des composants dessinés sur le masque ainsi que de garantir une grande homogénéité d'épaisseur des conducteurs et des bobines, quelle que soit leur position sur le wafer. La mise en œuvre finale d'une base de croissance en titane/cuivre a permis de résoudre l'ensemble de ces difficultés.

Ensuite, dans l'objectif de superposer un deuxième niveau d'inductance, notre étude s'est concentrée sur la mise au point de l'enduction d'une résine épaisse de type SU-8. Ici, l'objectif est double. Nous devons contrôler l'épaisseur du dépôt de SU-8 afin de limiter la distance verticale entre les deux niveaux de bobine et ainsi favoriser leur couplage magnétique. Dans le même temps, la planéité du dépôt doit être contrôlée pour faciliter la réalisation du second niveau et notamment favoriser la reprise de contact avec le niveau inférieur. Nos travaux ont permis de mettre au point un jeu de paramètres d'enduction réalisant ce compromis. Par la suite, ce procédé a évolué en introduisant une étape de polissage qui a permis de niveler les épaisseurs et les défauts inhérents à une enduction par rotation. Les observations ont par ailleurs prouvées les nettes améliorations apportées par le polissage à la planéité des composants ainsi qu'à l'homogénéité des dépôts de cuivre du second niveau.

Nous disposons donc à présent d'un procédé technologique pour la réalisation d'inductances sur un et deux niveaux. L'arrivée du polissage laisse également entrevoir la possibilité d'empiler plus de deux inductances. Nous avons alors utilisé le procédé pour fabriquer des inductances avec des paramètres géométriques variables destinés à valider les simulations présentées au chapitre II. En particulier, différentes inductances en série et en parallèle ont été fabriquées afin de vérifier de

mesurer l'influence du couplage magnétique en fonction de divers paramètres géométriques et de la topologie. Par ailleurs, les mesures électriques à venir permettront de vérifier l'existence de la connexion électrique entre les deux niveaux d'inductances et donc la qualité de la révélation de la SU-8.

Chapitre IV : Caractérisations électriques d'inductances intégrées.

1. Introduction

La caractérisation électrique d'inductances pour des applications de puissance nécessite la mise en œuvre de divers moyens de mesure spécifiques. Tout d'abord, l'analyse fréquentielle des impédances est destinée à déterminer si le phénomène inductif existe et à le quantifier. Ce type de mesure est également à la base de l'évaluation des éléments parasites du composant ainsi que venant de l'environnement, et de la compréhension de leurs effets sur le comportement fréquentiel de l'inductance. Au travers de ces mesures sont également révélés un certains nombre de paramètres directement liés à la fabrication, comme l'épaisseur des conducteurs, par la mesure de la résistance, ou la qualité de l'isolation vis-à-vis du substrat, grâce à l'étude de la fréquence de résonance ou du facteur de qualité. Le domaine particulier de la puissance impose en outre des mesures supplémentaires pour que la connaissance du composant soit complète.

Ces caractérisations complémentaires sont essentiellement centrées autour de l'influence d'un courant moyen non nul sur divers paramètres électriques et physiques de la bobine intégrée. Pour les premiers, nous citerons la variation de l'inductance en fonction du courant continu (si un matériau magnétique est présent) ou les formes d'ondes de courant et de tension dans le cas concret d'un fonctionnement en commutation. Pour les seconds, nous pouvons évoquer l'étude en température et ses conséquences sur le domaine de fonctionnement du composant.

La première partie de ce chapitre sera consacrée à la caractérisation fréquentielle, avec la présentation d'un banc de mesure impédance métrique. A partir de ce dispositif expérimental, les mesures réalisées sur divers types de composants inductifs fabriqués en salle blanche, seront commentés. Cette partie débutera par une validation du banc de mesure et se poursuivra par l'analyse de l'influence de différents paramètres sur le comportement fréquentiel des bobines. L'impact de l'association d'inductances sera notamment abordé afin de démontrer la validité de la modélisation présentée au chapitre II. De plus, ces mesures nous permettrons de déterminer la meilleure topologie d'association d'inductances pour assurer un couplage magnétique maximum entre elles.

La deuxième et dernière partie du chapitre sera dédié aux tests en courant, après avoir placé ces inductances dans un convertisseur Buck, les formes d'ondes en tension et en courant seront relevées et interprétées pour notamment connaître la tenue en courant de ces composants jusqu'à leur défaillance.

2. Caractérisation fréquentielle des structures inductives réalisées

II-1. Le banc de mesure

Pour analyser des inductances intégrées, nous avons commencé par développer un banc de mesure devant être capable de mesurer des inductances entre 10nH et la dizaine de µH et sur une gamme de fréquence devant s'étendre de 1kHz à 100MHz. Parmi les techniques de mesures existantes (analyseur de réseau, RFIV, ou pont auto balancé), notre étude a conclu que le mesure d'impédance par la méthode du pont auto balancé était la plus adaptée car elle permet de couvrir une large gamme d'impédances jusqu'à 110MHz [22, 139]. Pour cela, nous avons utilisé l'analyseur d'impédance 4294A d'Agilent Technologies. Cet appareil présente les caractéristiques suivantes, qui sont en accord avec notre besoin :

- Fréquence de travail : 40 Hz < f < 110 MHz.
- Gamme de mesure de module d'impédance à 30% de précision : 3mΩ< $|Z|$ < 500MΩ .
- Gamme de mesure de module d'impédance à 10 % de précision couvrant quasiment la totalité des valeurs d'inductances suivant la fréquence que nous désirons mesurer. La précision est supérieure à 10% seulement lorsque |Z|<20mΩ. Pour nos composants inductifs, cela pose problème pour les faibles valeurs d'inductance, uniquement aux faibles fréquences : f<10kHz.
- Amplitude du signal de test AC : 5mV$_{rms}$ < V_{AC} < 1V$_{rms}$.
- Gamme de la polarisation en courant : 0 < I_{DC} < 100mA.
- Fonction d'analyse de réponse fréquentielle et d'extraction de paramètres de schémas équivalents.

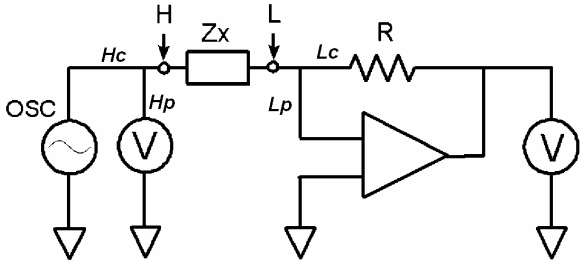


Figure 4.1. Mesure quatre points *Hc, Hp, Lp* et *Lc* par méthode du pont auto-équilibré

L'analyseur d'impédance utilise la méthode du pont auto équilibré (Auto Balancing Bridge ou ABB) (Figure 4.1). Le courant traversant le composant mesuré, traverse également la résistance *R*. Le potentiel du point *L* est maintenu à 0V et le courant de *R* s'équilibre avec celui du composant mesuré grâce à l'entrée haute impédance du convertisseur courant-tension.

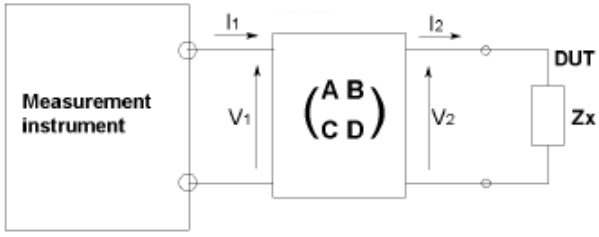


Figure 4.2. Calibration Open/Short

L'impédance du composant est calculée en utilisant la mesure des tensions au point *H* et aux bornes de *R*. De plus, l'appareil est configuré pour permettre le test à quatre fils afin de s'affranchir des pertes en ligne. Avant la mesure, une calibration open/short est nécessaire afin de modéliser les parasites des connectiques à l'aide des paramètres ABCD (Figure 4.2). Ils forment une matrice 2x2 liant les variables tension et courant (V_1, I_1) mesurées par l'appareil aux variables de tensions et de courant (V_2, I_2) aux relatives au composant testés (4.1).

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \cdot \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} \tag{4.1}$$

L'impédance mesurée par l'appareil Z_{xm} et l'impédance vraie du composant Z_X sont définies par (4.2) et (4.3).

$$Z_{xm} = V_1 / I_1 \tag{4.2}$$

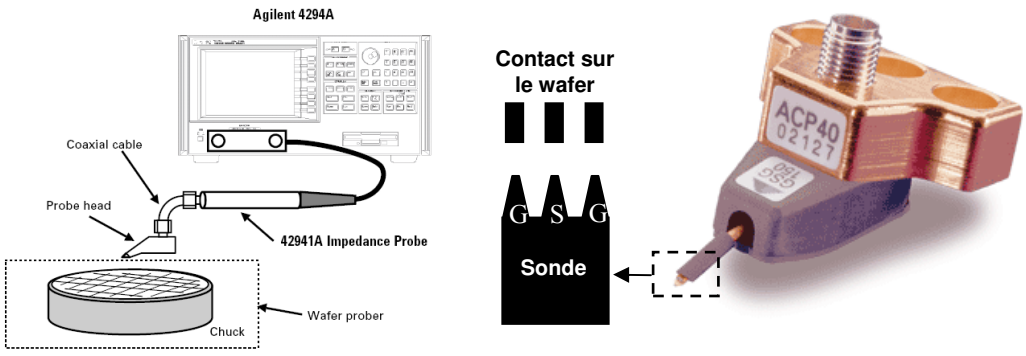
$$Z_x = V_2 / I_2 \tag{4.3}$$

En associant (4.1), (4.2) et (4.3), nous pouvons exprimer l'impédance du composant Z_x à partir de la valeur mesurée Z_{xm} (4.4). Cette expression représente la correction réalisée par l'appareil de mesure sur la valeur mesurée pour définir la vraie valeur d'impédance.

$$Z_x = \frac{B - D Z_{xm}}{C Z_{xm} - A} \tag{4.4}$$

Pour la mise en œuvre de l'analyseur d'impédance 4294A, nous avons suivi les recommandations de la note d'application N°5988-5102EN éditée par la société Agilent, fabricant de l'analyseur [139]. Plusieurs modes de mesures sont présentés. Pour utiliser des caractérisations jusqu'à 110MHz, deux méthodes sont plus particulièrement recommandées.

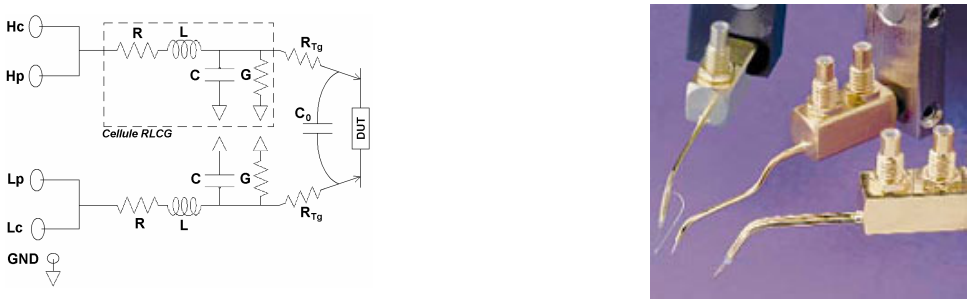
La première utilise la sonde de mesure 49241A représentée par la figure 4.3. Avec un câble coaxial SMA et une sonde de type ACP capable de mesurer jusqu'à 40GHz (Figure 4.3.b), ce montage est fortement recommandé pour des mesures d'impédance précise jusqu'à 110MHz. Néanmoins, ce montage n'a pu être mis en œuvre car les pointes ACP requièrent une empreinte de contact spécifique (Figure 4.3.b) qui n'a pas été prévue lors de l'édition des masques. Ces contacts sont de types GSG (Ground Signal Ground) et présentent une largeur et un écartement spécifique (entre 150µm et 500µm). L'épaisseur de SU-8 au-dessus des bobines et la configuration des pointes GSG rendent difficile la descente de la sonde jusque sur le plot de contact. L'ensemble des étapes technologiques étant maîtrisées, notamment le polissage de la SU-8, les prochaines générations de masques seront pourvus de contacts spécifiques avec une empreinte GSG.



a) b)

Figure 4.3. Montage avec la sonde de mesure 42941A
a) Montage, b) Détail sur la sonde de mesure ACP

La deuxième méthode correspond à la technique de mesure en 4 fils (Figure 4.4.a), destinée à supprimer les effets des résistances séries des câbles de mesures. Les 4 fils sont connectés deux à deux à des pointes coaxiales de type DCP (Figure 4.4.b). La calibration décrite plus haut permet de corriger les mesures des parasites des câbles coaxiaux, représentés par leur modèle équivalent sur la figure 4.4.a. Pour atteindre la station sous pointes, un câble dit d' « extension de port » 16048A (1 mètre) fourni par Agilent est utilisé. La longueur électrique de ce câble est compensée par une procédure de compensation de phase qui précède la calibration des éléments parasites.



a) b)

Figure 4.4. Montage pour une mesure en 4 fils
a) Détail avec le modèle des parasites des câbles, b) Pointes de mesure coaxiale

Sur le graphique de la figure 4.5, nous pouvons voir que l'extension de port induit une variation négative de phase sur la mesure correspondant au retard de la ligne pour les fréquences supérieures à 4 MHz environ. Cette variation est normale car la longueur d'onde associée à la fréquence de mesure devient non négligeable devant la longueur de la ligne. Au-delà de 15 MHz environ, par contre, la variation de phase devient telle qu'on ne peut être certain que la compensation de longueur électrique est performante. Afin de garantir l'exactitude de l'étude qui suit, nous avons décidé de ne considérer les mesures effectuées que dans la gamme de fréquences de 40Hz à 10MHz.

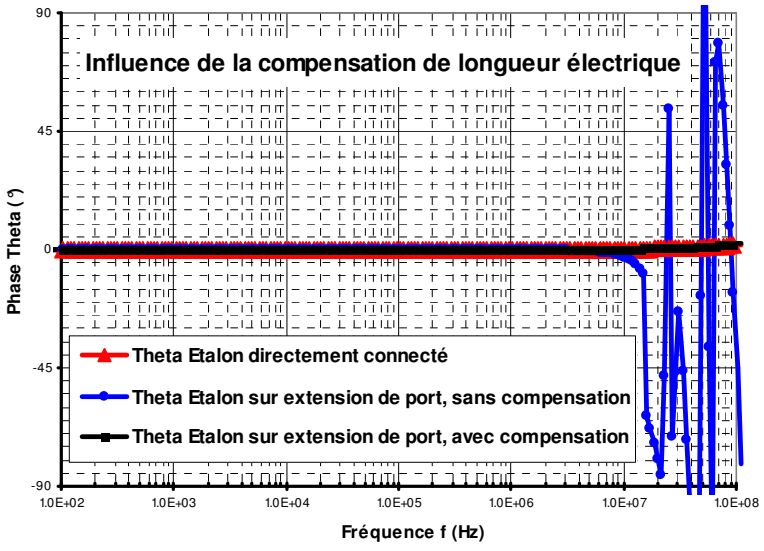


Figure 4.5. Variation de phase perçue par l'appareil de mesure et compensation de cette variation.

Nous avons vu que la principale limitation est la fréquence maximum de mesure que nous avons obtenue : f_{max}=10MHz. Des mesures comparatives (Figure 4.6) d'une inductances CMS sous pointes puis avec un support spécifiques aux CMS directement connecté à l'analyseur (Figure 4.7.a), ont permis de connaître l'influence du montage sur la mesure. Les courbes, qui montrent la réponse fréquentielle donnée par le constructeur, puis mesurée aux bornes de l'appareil et finalement mesurée

en fin de chaîne du banc de caractérisation, témoignent de nouveau à la fois de la qualité des mesures obtenues avant f_{max} et de l'inexactitude des mesures obtenues après 10MHz. Il est difficile à ce stade de déterminer la part de responsabilité des pointes et des câbles de mesures.

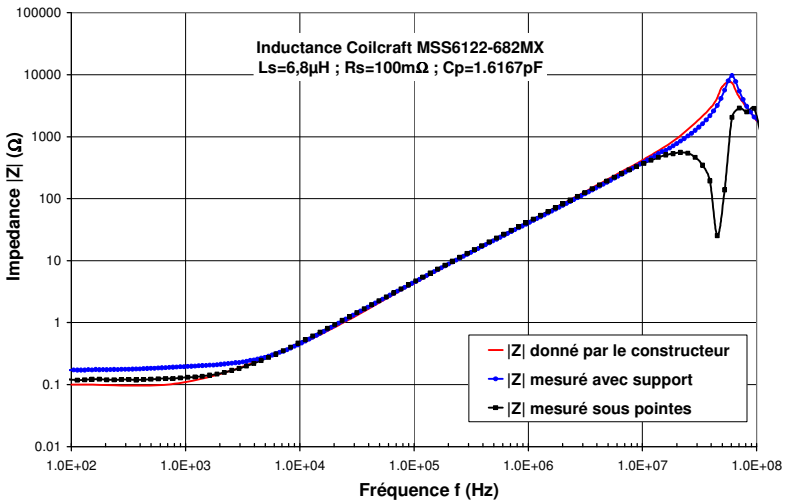


Figure 4.6. Performances de mesure de l'appareil et du banc de caractérisation sur une inductance CMS du commerce.

La plage 10MHz-110MHz ne pouvant être négligée pour notre étude, nous avons décidé de réaliser nos mesures sur des composants montés sur boîtiers. Connectés à un support spécifique (Figure 4.7.b), qualifié par Agilent jusqu'à 110MHz, la mesure au plus près de l'appareil permet de s'affranchir des perturbations des connectiques de mesures.

a) b)

Figure 4.7. Supports de mesures [139]
a) CMS (SMD), b) Boîtiers

La correction des parasites est réalisée avec un boîtier vide pour la calibration OPEN et, pour la calibration SHORT, avec un boîtier contenant la même longueur de fils de bonding, utilisée pour connecter les inductances.

II-2. Reproductibilité

Les premières mesures ont porté sur la reproductibilité pour à la fois valider la technologie mis en œuvre et vérifier la précision des mesures obtenues avec des composants montés sur boîtiers. Pour cela nous avons mesuré plusieurs composants de même type réalisés sur wafer silicium et Pyrex®.

II-2-1. Sur silicium

II-2-1-1. Valeur d'inductance élevée

Pour débuter, nous avons testé des composants avec une forte valeur d'inductance et de résistance. Pour des bobines circulaires de 3000µm de diamètre, bobinées sur 40 tours avec des

conducteurs larges, épais et espacés de 15µm, la simulation numérique a prévu une inductance de 2,57 µH et une résistance série DC de 17,88 ohms.

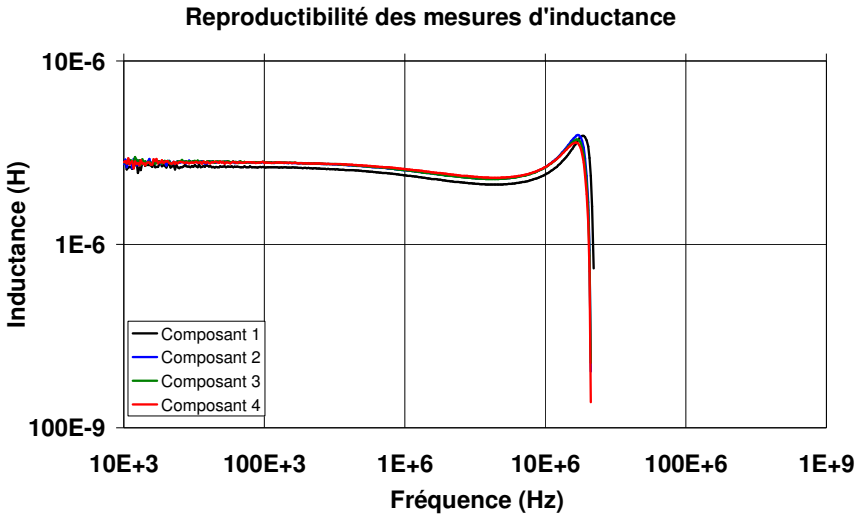


Figure 4.8. Valeur d'inductance d'une bobine de 40 tours

La figure 4.8 montre la superposition des courbes de mesure obtenues pour quatre inductances de 40 tours. L'écart moyen avec la simulation numérique est évalué à 6% entre 10 kHz et 1 MHz puis à 9 % entre 1 MHz et 10 MHz. Le modèle numérique développé est validé pour le dimensionnement d'inductances de forte valeur. La superposition des courbes montre par ailleurs que des composants identiques pris à différents endroits d'un même wafer, présentent une faible dispersion de la valeur d'inductance. Le procédé technologique respecte donc les paramètres géométriques définis par le dessin du masque optique. Le comportement fréquentiel montre que cette inductance est utilisable jusqu'à 15 MHz. Au delà, la résonance est dépassée et le comportement du composant est dominé par sa capacité inter spires ainsi que par les capacités d'oxyde.

La même superposition de courbes est réalisée pour la résistance série de ces mêmes composants (Figure 4.9).

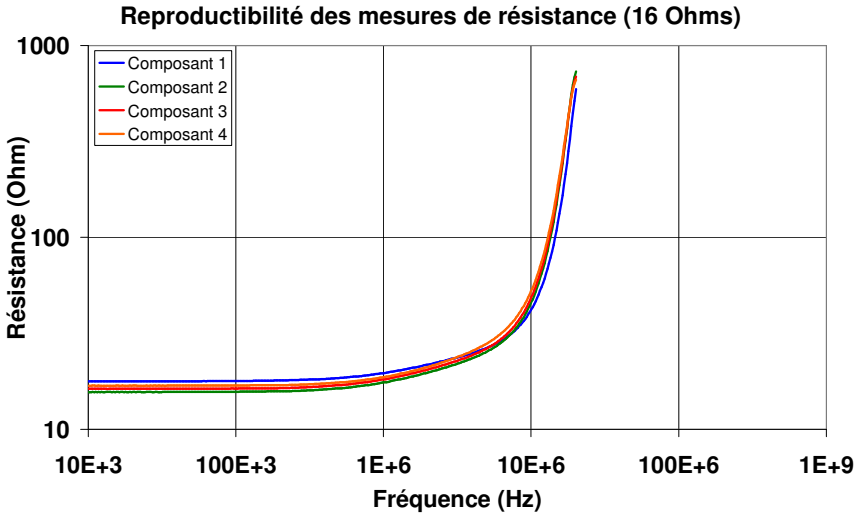


Figure 4.9. Valeur de résistance d'une bobine de 40 tours

Jusqu'à 100 kHz, plage fréquentielle sur laquelle les effets de peaux sont peu importants, l'écart moyen avec la simulation numérique est de 8%. La valeur moyenne de résistance mesurée sur cette même plage fréquentielle est de 16,63 ohms avec un écart-type de 0,81 ohm. L'épaisseur cible de 15 µm est donc légèrement dépassée pour se situer autour de 16 µm. Au-delà de 100 kHz, les effets de

peaux et de proximité entraînent une augmentation rapide de la résistance série jusqu'à la résonance du composant. Par ailleurs, la superposition des courbes montre que des composants identiques pris à différents endroits d'un même wafer, présentent une faible dispersion de la valeur de résistance quelque soit la fréquence. La variation d'épaisseur entre les composants est donc faible.

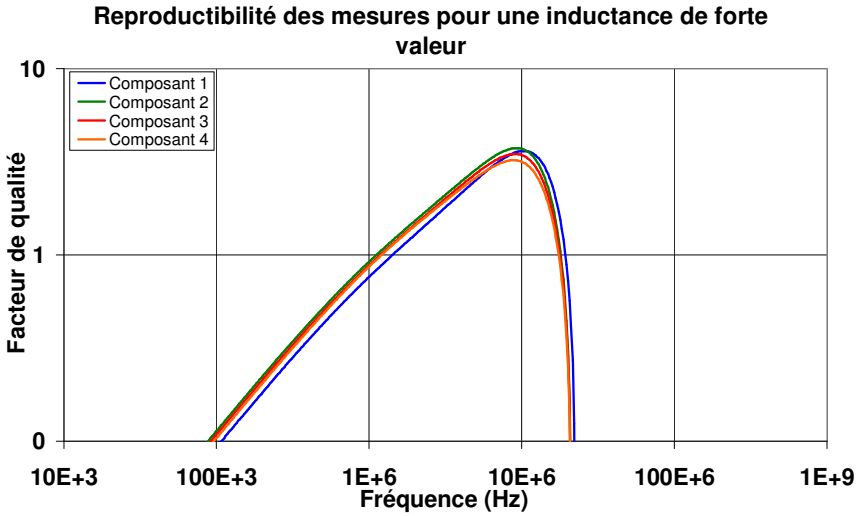


Figure 4.10. Facteur de qualité d'une bobine de 40 tours

Ensuite, le tracé du facteur de qualité en fonction de la fréquence confirme la reproductibilité du procédé technologique (Figure 4.10). La valeur moyenne du facteur de qualité maximum est de 3,52 avec un écart type de 0,22. La fréquence de travail moyenne constatée, correspondant au maximum du facteur de qualité, est de 9,42 MHz avec un écart type de 0,745 MHz.

De tous les composants réalisés avec un diamètre extérieur de 3000 µm, ce dernier présente le taux de remplissage maximum et par conséquent l'inductance et la résistance les plus élevées. Le comportement inductif est persistant jusqu'à 10 MHz. Au delà, le phénomène de résonance apparaît.

Concernant le dimensionnement et la réalisation d'inductances et de résistances de fortes valeurs, le modèle numérique et le procédé technologique sont validés.

II-2-1-2. Valeur d'inductance faible

La même démarche a ensuite été suivie avec des inductances de faible valeur. Pour des bobines circulaires de 3000 µm de diamètre bobinées sur 5 tours, avec des conducteurs larges et espacés de 75 µm, la simulation numérique a prévu une inductance de 77,68 nH et une résistance série DC de 0,58 ohm pour une épaisseur de 15 µm. La figure 4.11 montre la superposition des courbes de mesure d'inductance de cinq composants.

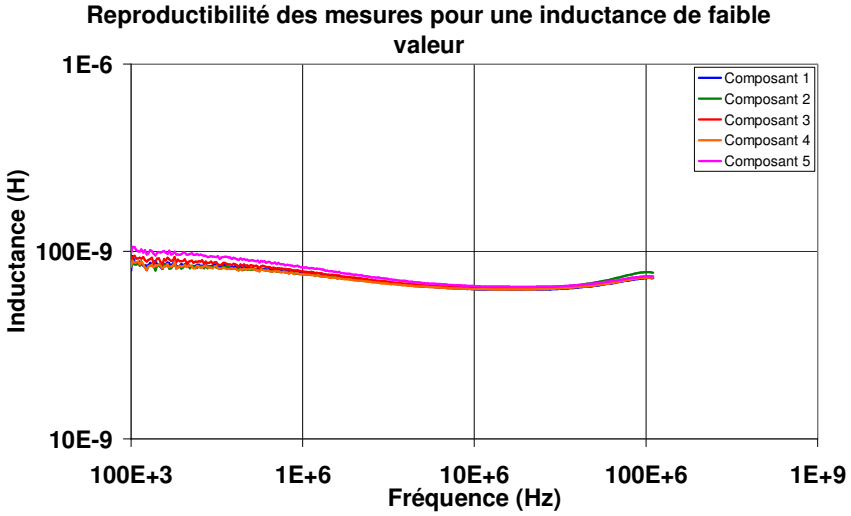


Figure 4.11. Valeur d'inductance d'une bobine de 5 tours

L'écart moyen avec la simulation numérique est évalué à 31% entre 10 kHz et 100 kHz puis à 21 % entre 100 kHz et 1 MHz, -10% entre 1 MHz et 10 MHz et enfin -14% entre 10 MHz et 100 MHz. Pour les fréquences inférieures à 1MHz, la précision de mesure de l'analyseur d'impédance est dégradée car l'inductance (et donc l'impédance mesurée) est trop faible. L'analyseur présente alors des difficultés à détecter le déphasage entre courant et tension. Au delà de 1 MHz, les mesures sont proches des valeurs fournies par le modèle numérique. La bonne superposition des courbes montre par ailleurs que des composants identiques pris à différents endroits d'un même wafer, présentent une faible dispersion de la valeur d'inductance.

Le comportement fréquentiel montre que cette inductance est utilisable jusqu'à au moins 110 MHz. Pour la suite de notre étude, lorsque des inductances faibles devront être mesurées, nous limiterons l'étude à la plage fréquentielle 100 kHz – 110 MHz.

Concernant la résistance série, jusqu'à 100 kHz, plage fréquentielle sur laquelle les effets de peaux sont peu importants, l'écart moyen avec la simulation numérique est de 2% (Figure 4.12). La valeur moyenne de résistance mesurée sur cette plage de fréquence est de 0,59 ohm avec un écart-type de 0,053 ohm. L'épaisseur cible de 15 µm est donc respectée. Au-delà de cette fréquence, les effets de peaux et de proximité entraînent une augmentation rapide de la résistance série.

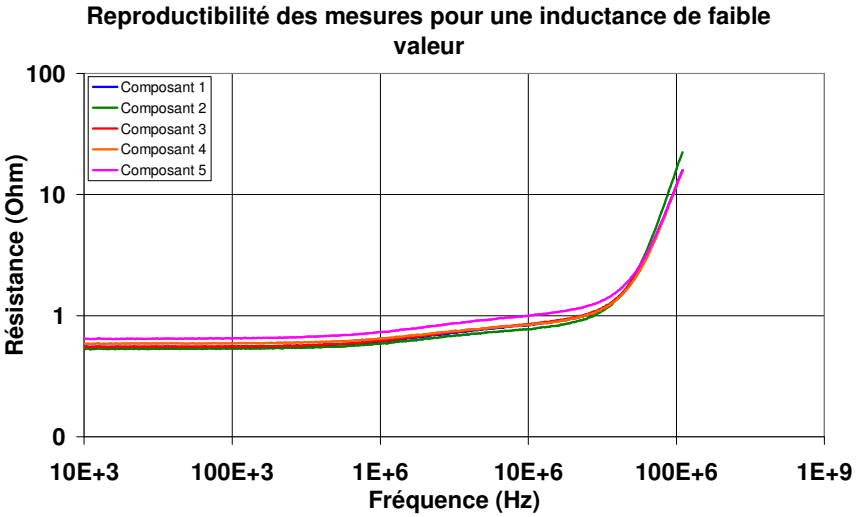


Figure 4.12. Valeur de résistance d'une bobine de 5 tours

La superposition des courbes montre que des composants identiques, pris à différents endroits d'un même wafer, présentent une faible dispersion de la valeur de résistance. La variation d'épaisseur entre les composants est donc faible.

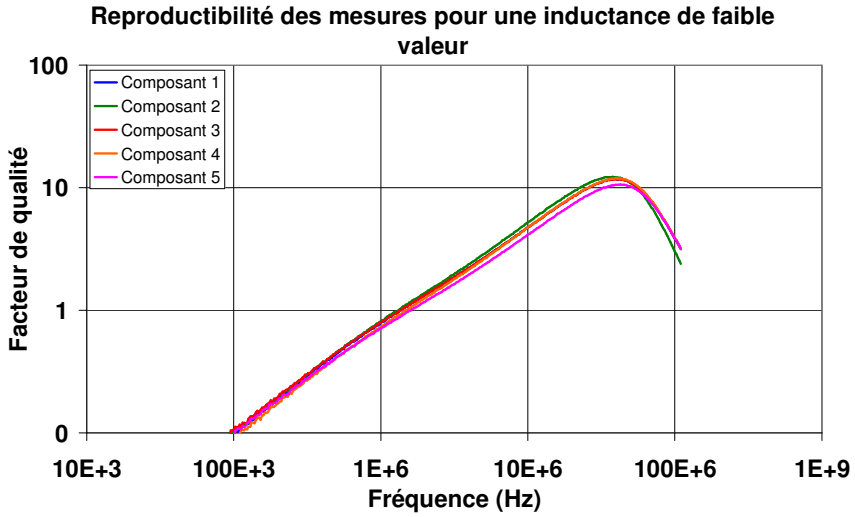


Figure 4.13. Valeur du facteur de qualité d'une bobine de 5 tours

Ensuite, le tracé du facteur de qualité en fonction de la fréquence confirme la reproductibilité du procédé technologique (Figure 4.13). La valeur moyenne du facteur qualité maximum est de 11,66 avec un écart type de 0,62. La fréquence de travail moyenne constatée, correspondant au maximum du facteur de qualité, est de 40,3 MHz avec un écart type de 2 MHz.

De tous les composants réalisés avec un diamètre extérieur de 3000 µm, ce dernier présente les valeurs d'inductance et de résistance les plus faibles. Le comportement inductif est persistant sur toute la plage fréquentielle de mesure. Concernant le dimensionnement et la réalisation d'inductances et de résistances de faibles valeurs, le modèle numérique et le procédé technologique sont validés.

II-2-2. Sur Pyrex

La reproductibilité du procédé technologique a également été testée avec des composants réalisés sur substrat Pyrex®. Nous avons comparé des inductances de 3000 µm de diamètre, bobinées sur 5 tours avec des conducteurs épais de 15 µm et dont la largeur et l'espacement a été fixée à 75 µm. La simulation numérique prévoit une inductance de 77,68 nH et une résistance série de 0,58 ohm.

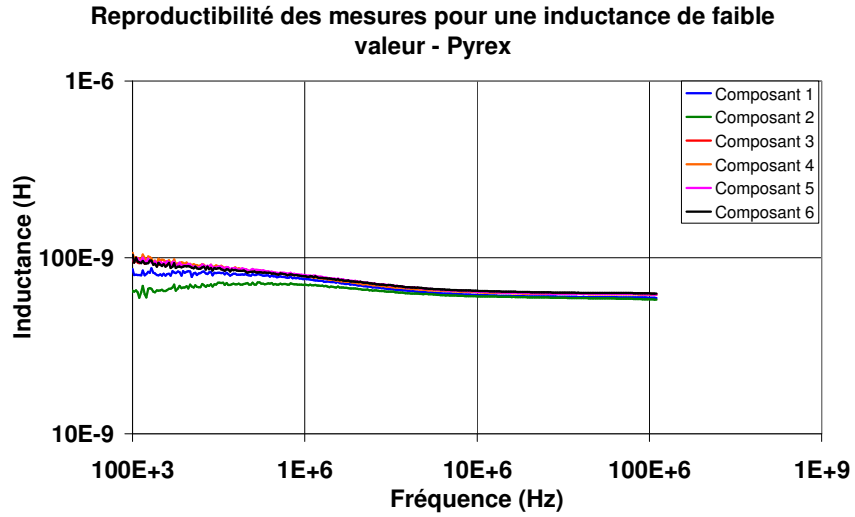


Figure 4.14. Valeur d'inductance d'une bobine de 5 tours sur Pyrex®

Le calcul de l'écart entre les valeurs d'inductance mesurées et la valeur simulée montre un écart moyen de 7% entre 100 kHz et 1 MHz, de -12% entre 1 MHz et 10 MHz, puis -21% entre 10 MHz et 100 MHz (Figure 4.14). De plus, la superposition des courbes de mesure de l'inductance de plusieurs composants montre un comportement fréquentiel identique (Figure 4.14). Concernant la valeur d'inductance, le procédé technologique est donc reproductible sur substrat Pyrex®.

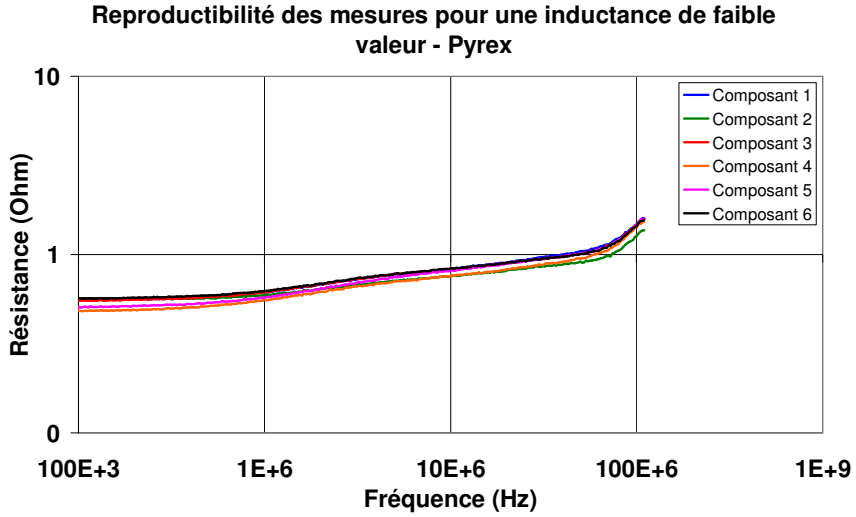


Figure 4.15. Valeur de résistance d'une bobine de 5 tours sur Pyrex®

Lorsque les courbes de résistance mesurées sont superposées, la dispersion reste faible. L'écart moyen vis-à-vis de la simulation entre 10 kHz et 100 kHz et de -7%. Par ailleurs la valeur moyenne de résistance mesurée sur la même plage de fréquence est de 0,54 ohm avec un écart-type de 0,036 ohm. Ces valeurs associées à la superposition des courbes de résistance mesurée montrent par ailleurs que le procédé technologique est reproductible (Figure 4.15).

Ensuite, le tracé du facteur de qualité en fonction de la fréquence confirme la reproductibilité du procédé technologique (Figure 4.16). La valeur moyenne du facteur de qualité maximum mesurable, atteint 27,2 avec un écart-type de 1.11 (Figure 4.16). Ce maximum mesurable se situe en moyenne à 108 MHz avec un écart-type de 4 MHz.

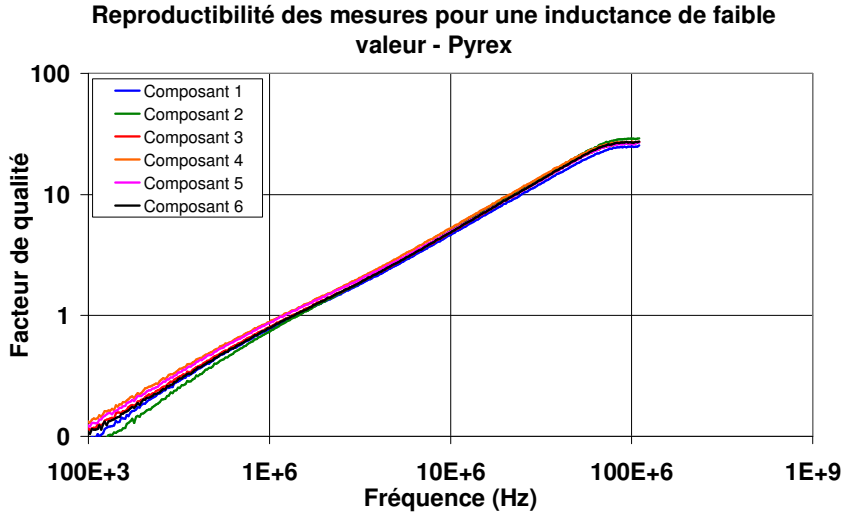


Figure 4.16. Valeur du facteur de qualité d'une bobine de 5 tours sur Pyrex®

Comme sur silicium, le composant analysé présente les plus faibles valeurs d'inductance et de résistance que nous ayons dimensionnées. Sur ce substrat Pyrex®, le composant semble capable de fonctionner sur toute la plage fréquentielle de mesure sans qu'aucun signe de résonance n'apparaisse.

L'utilisation d'un substrat en Pyrex® a nécessité une adaptation du procédé technologique (temps de recuit des résines). Néanmoins, sur l'ensemble des mesures réalisées, il apparaît que les modifications apportées ont permis d'obtenir une aussi bonne reproductibilité que sur silicium. Il est à noter que la même étude de reproductibilité n'a pu être menée sur des inductances de forte valeur, faute d'avoir un nombre suffisant de composants fonctionnels

II-2-3. Comparaison Silicium/Pyrex®

Finalement, nous avons étudié l'influence du substrat sur le comportement fréquentiel d'un même composant. Pour cela, nous avons comparé les caractéristiques électriques d'une bobine de 3000µm de diamètre, bobinées sur 5 tours avec des conducteurs épais de 15 µm et dont la largeur et l'espacement a été fixée à 75 µm, réalisée sur silicium puis sur Pyrex®. La superposition des courbes d'inductance montre que le changement de substrat n'a pas modifié la valeur d'inductance du composant (Figure 4.17). Par contre, le début de résonance observable sur silicium autour de 100 MHz, est inexistant sur Pyrex®. L'extension de la plage fréquentielle d'utilisation de l'inductance montre l'influence des pertes en fréquence que l'emploi d'un substrat isolant permet de supprimer.

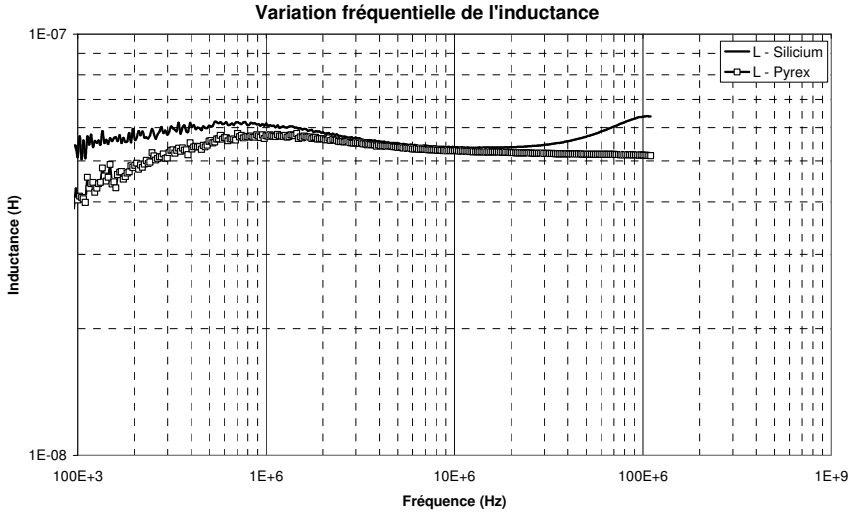


Figure 4.17. Comparaison du comportement fréquentiel de l'inductance en fonction du substrat

La suppression des pertes, notamment des courants de circulation, est également mesurable sur le comportement fréquentiel de la résistance (Figure 4.18).

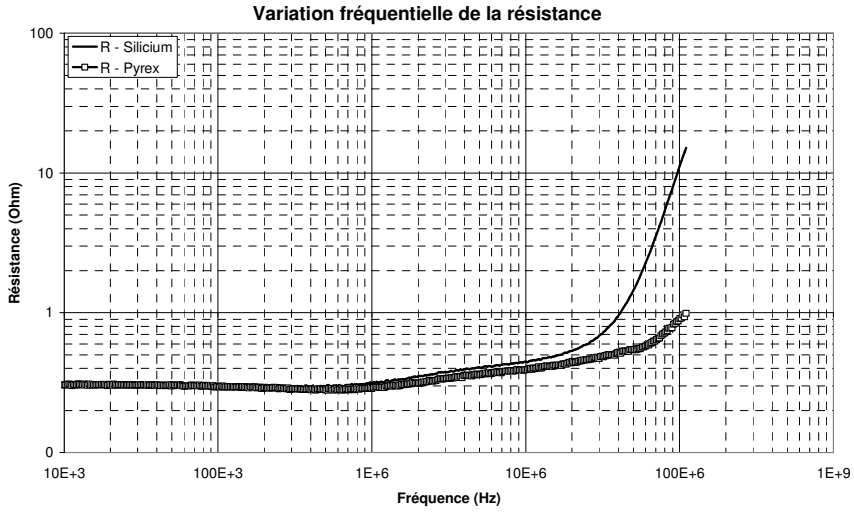


Figure 4.18. Comparaison du comportement fréquentiel de la résistance en fonction du substrat

La comparaison des courbes de résistance aux plus hautes fréquences montrent clairement que la résistance croît plus lentement avec un substrat Pyrex®. L'explication provient du caractère isolant du Pyrex® qui interdit la circulation de courants induits dans son volume. Dans le silicium, ces courants obéissent à la loi de Lenz et circulent de manière à perturber le courant dans les conducteurs de l'inductance. L'inhomogénéité des courants circulant dans ces conducteurs se traduit alors par une croissance plus rapide de la résistance haute fréquence. Ainsi, ces mesures permettent de distinguer les deux causes de l'apparition d'une résistance alternative. Les effets de proximités entre conducteurs agissent sur toute la plage fréquentielle tandis que les effets de proximité avec le substrat n'entrent en jeu qu'à partir d'une certaine fréquence.

L'analyse des mesures du facteur de qualité confirme l'influence du Pyrex® sur l'augmentation des performances du composant (Figure 4.19). Jusqu'à 10 MHz, les facteurs de qualité sont comparables. Au delà de 10 MHz, l'utilisation d'un substrat Pyrex® a permis d'augmenter le facteur de qualité. La plage fréquentielle de fonctionnement du composant est également étendue de presque une décade.

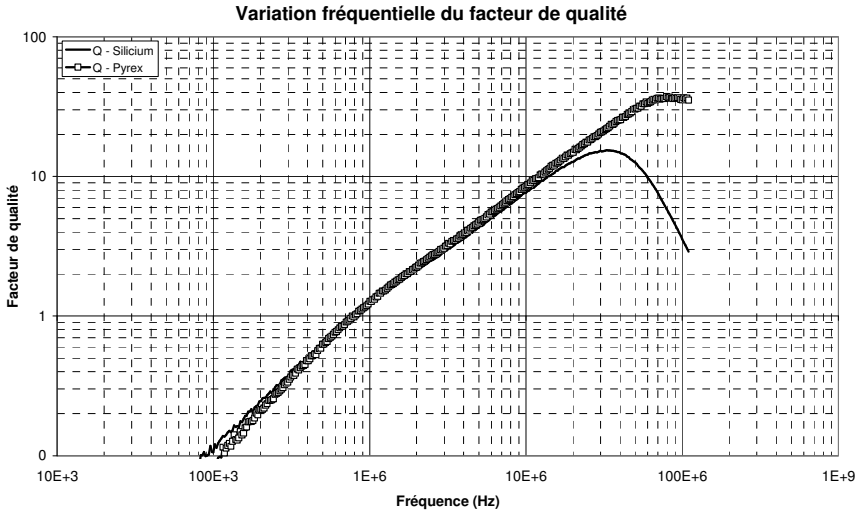


Figure 4.19. Comparaison du comportement fréquentiel du facteur de qualité en fonction du substrat

La campagne de caractérisation électrique de plusieurs séries de composants identiques sur silicium et sur Pyrex® ont permis une première validation du modèle numérique mis en place lors de cette thèse. D'autre part, les résultats nous ont montré que le procédé technologique permettait une bonne reproductibilité des caractéristiques électriques entre plusieurs inductances identiques prises à différents endroits d'un wafer et quelques soit le substrat utilisé. Finalement, ces premières mesures ont confirmé l'amélioration des performances des inductances, attendue avec l'utilisation d'un substrat isolant de type Pyrex®.

II-3. Caractérisation fréquentielle de bobines classiques

La deuxième étape consiste à valider la simulation numérique en faisant varier différents paramètres. Dans le cas de bobines monobrins nous nous sommes attachés à vérifier l'influence du nombre de tours sur la valeur d'inductance et de résistance. Les bobines sont toutes constituées de conducteurs larges, épais et espacés de 15 µm. Leur diamètre est de 3000 µm et le nombre d'enroulements varie de 5 à 40.

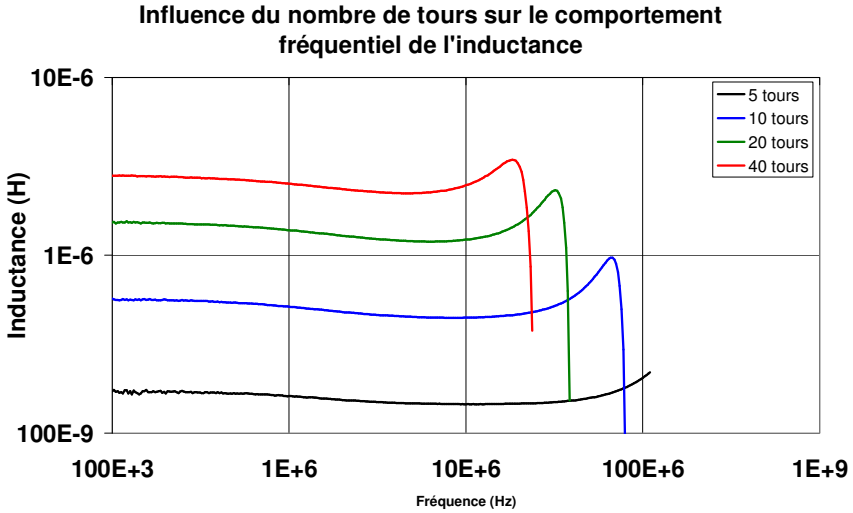


Figure 4.20. Variation du comportement fréquentiel de l'inductance avec le nombre de tours

L'empilement des courbes relatives au comportement fréquentiel de l'inductance de la figure 4.20 montre que l'augmentation du nombre de tours réduit progressivement la plage de fréquence sur laquelle l'inductance peut être utilisée. L'ensemble des inductances réalisées peuvent être utilisées jusqu'à 10 MHz. Nous avons ensuite extrait la valeur d'inductance pour les fréquences 100 kHz et 1 MHz. Les valeurs obtenues sont comparées avec les résultats de simulation (Figure 4.21). La superposition des courbes montre que la modélisation numérique et les simulations avec Coventorware prédisent correctement la valeur d'inductance et son évolution avec le nombre de tours.

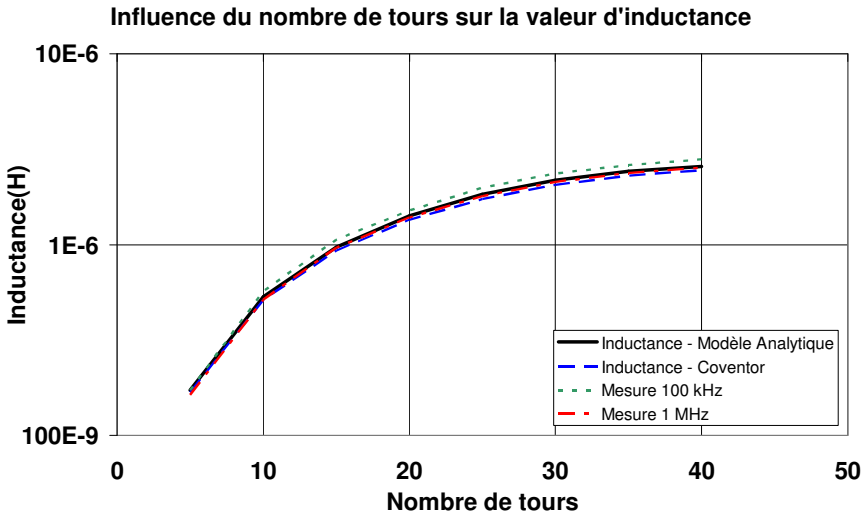


Figure 4.21. Variation de l'inductance avec le nombre de tours

La même démarche a été entreprise avec la résistance série. L'augmentation du nombre de tours entraîne celle de la résistance (Figure 4.22). La limitation en fréquence du fonctionnement des composants avec le nombre tours est également visible. A mesure que le taux de remplissage augmente, le couplage magnétique et capacitif avec le substrat s'accroît, générant des pertes grandissantes par courant de circulation. Ces derniers perturbent de plus en plus la répartition des courants dans les conducteurs et sont donc source d'une augmentation de plus en plus précoce de la résistance alternative.

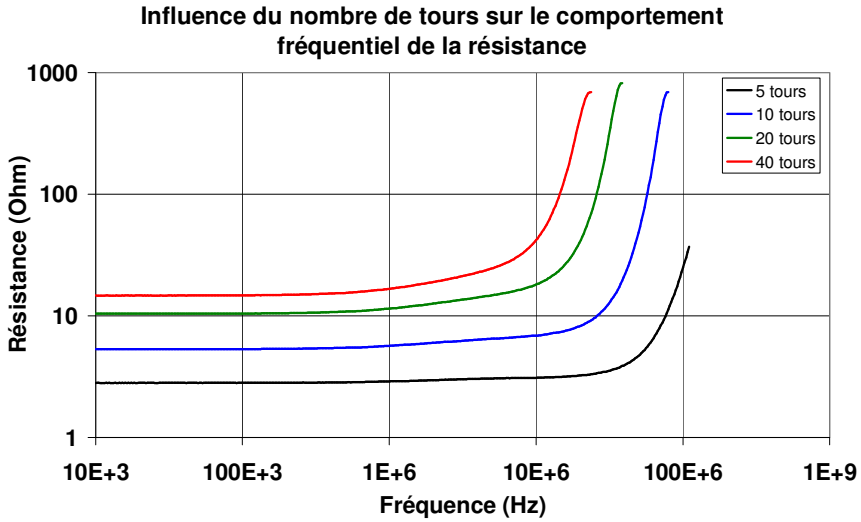


Figure 4.22. Variation du comportement fréquentiel de la résistance avec le nombre de tours

Nous avons ensuite extrait la valeur de résistance pour les fréquences 100 kHz et 1 MHz. Les valeurs obtenues sont comparées avec les résultats de simulation (Figure 4.23). La superposition des courbes montre que la modélisation et les simulations avec Coventorware prédisent correctement la valeur de résistance et son évolution avec le nombre de tours.

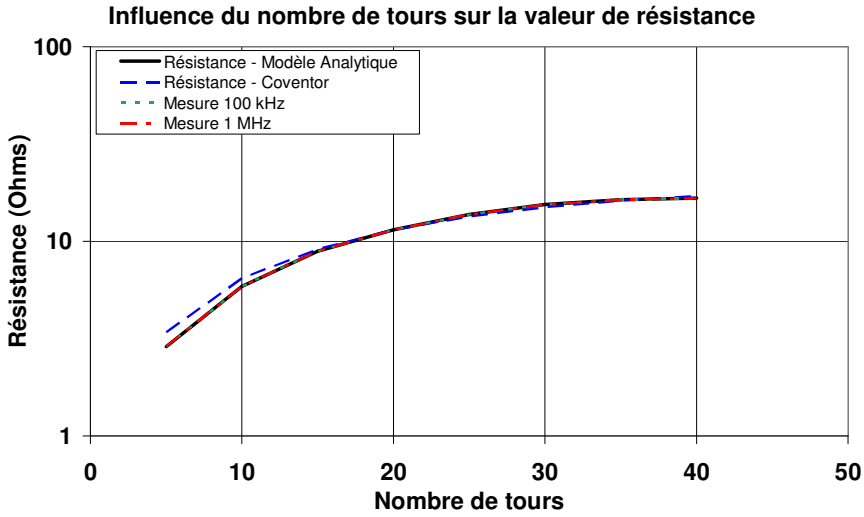


Figure 4.23. Variation de la résistance avec le nombre de tours

Finalement, nous avons étudié l'influence du nombre de tours sur le facteur de qualité. L'augmentation du nombre de tours entraîne un décalage des courbes vers des fréquences et des valeurs de facteur de qualité maximum plus basses (Figure 4.24). Egalement, nous constatons que le facteur de qualité pris jusqu'à 10 MHz, augmente avec le nombre de tours. Cette tendance confirme alors que l'augmentation du taux de remplissage va dans le sens de l'optimisation des inductances.

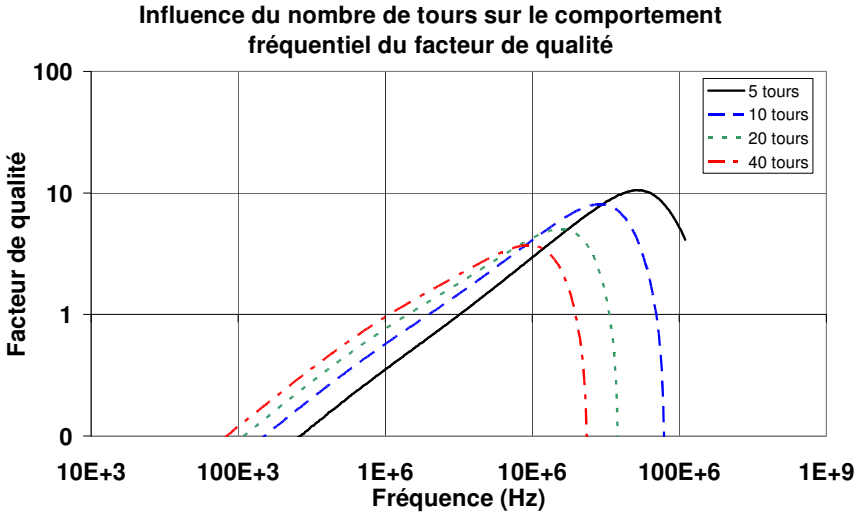


Figure 4.24. Variation du facteur de qualité avec le nombre de tours

L'extraction du facteur de qualité maximum de chaque courbe et de la fréquence de travail qui lui correspond permet de tracer le diagramme de la figure 4.25. Nous constatons alors que l'augmentation du nombre de tours entraîne la diminution du facteur de qualité ainsi que de la fréquence de travail correspondante. Ceci s'explique par l'augmentation de la surface du composant au dessus du substrat. La capacité d'oxyde est par conséquent plus importante et génère plus de pertes. Le couplage magnétique avec le substrat est augmenté entraînant une hausse des courants induits dans le silicium.

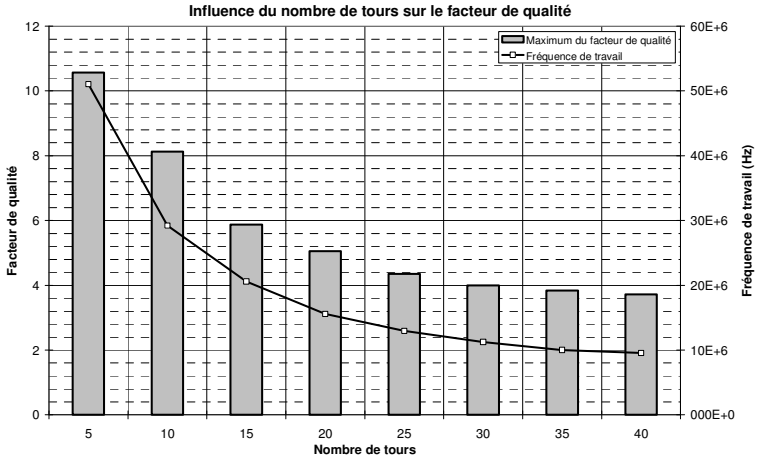


Figure 4.25. Influence du nombre de tours sur la valeur maximum du facteur de qualité et de la fréquence de travail correspondante.

L'étude de l'influence du nombre de tours démontre la validité du modèle numérique développé pour le dimensionnement d'inductance. Si l'augmentation du nombre de tours provoque celle de l'inductance, la résistance devient également plus grande. Néanmoins, l'analyse des courbes de facteur de qualité laisse apparaître clairement que l'augmentation du taux de remplissage va dans le sens de l'optimisation du composant inductif. Par ailleurs, les mesures confirment les tendances citées dans la littérature [78, 79]. Les inductances occupant les surfaces les plus importantes sont celles qui génèrent le plus de pertes. Leurs facteurs de qualité sont les plus faibles ainsi que leur plage fréquentielle d'utilisation.

II-4. Caractérisation fréquentielle de l'association en parallèle de bobines selon une topologie « interleaved »

La troisième série de simulations a porté sur l'influence de l'ajout de plusieurs bobines en parallèle, selon une topologie « interleaved », sur les valeurs d'inductance et de résistance. Les simulations indiquent que l'augmentation du nombre de brins en parallèles entraîne la baisse de l'inductance et de la résistance série. Nous avons réalisé cinq inductances de 3000 µm de diamètre constituées de 1 à 5 conducteurs en parallèles bobinés sur 5 tours. Les conducteurs sont larges et épais de 15 µm. Les espacements s et s_2 sont fixés à 15 µm.

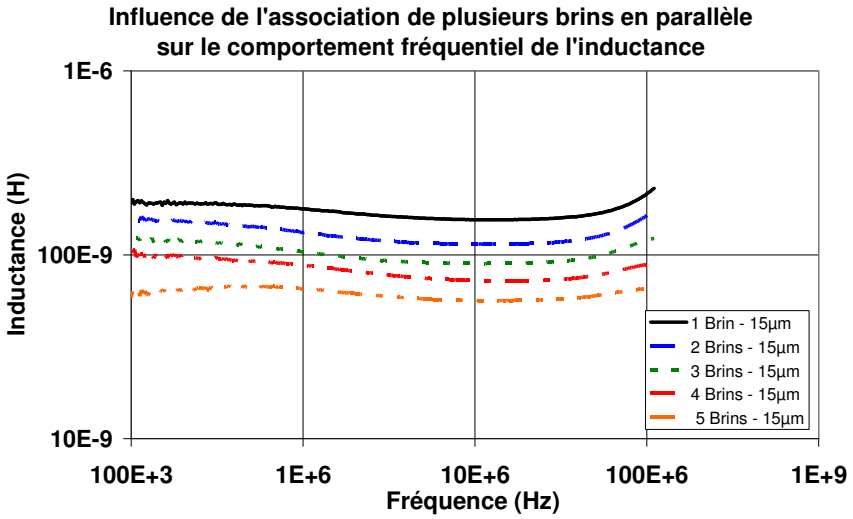


Figure 4.26. Comportement fréquentiel de l'inductance de bobines multibrin

La superposition des courbes d'inductance relatives aux composants décrits, confirme sa décroissance avec le nombre de bobines en parallèle. Le relevé du comportement fréquentiel de ces composants montre que l'association de plusieurs brins en parallèle n'a pas de conséquence sensible sur la plage fréquentielle de fonctionnement de ces composants (Figure 4.26).

Nous avons ensuite extrait les valeurs d'inductances mesurées à 100 kHz et 1 MHz pour les comparer aux résultats de simulation.

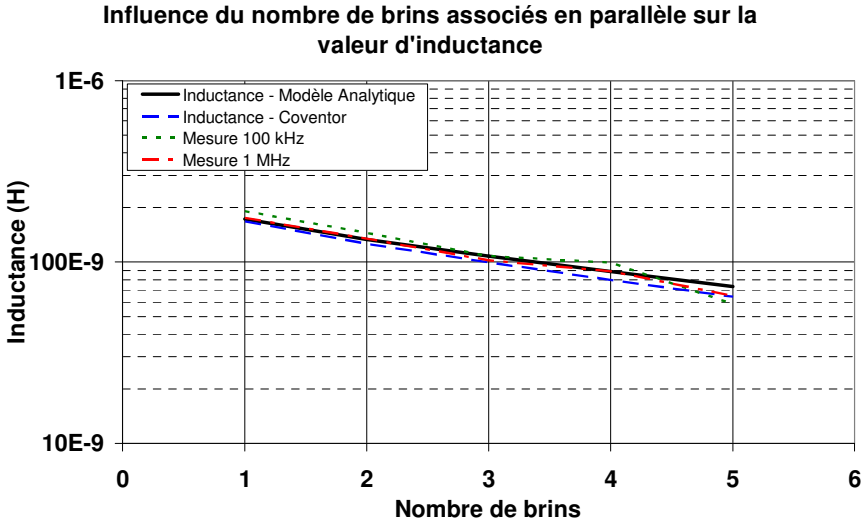


Figure 4.27. Variation de l'inductance en fonction du nombre de brins connectés en parallèle

La comparaison des valeurs d'inductance relevées à 100 kHz et 1 MHz avec les celles fournies par les simulations montre que la modélisation numérique ainsi que Coventorware évaluent correctement la valeur d'inductance de ces structures (Figure 4.27). Ces résultats indiquent que la

modélisation choisie nous permet non seulement de calculer précisément la valeur d'inductance propre, mais également celle de la mutuelle inductance entre différentes bobines disposées selon une topologie « Interleaved ».

Les courbes fréquentielles de la résistance de ces bobines ont également été relevées (Figure 4.28). La superposition des courbes montre que la mise en parallèle de plusieurs brins ne modifie pas de manière sensible le profil de croissance de la résistance série avec la fréquence.

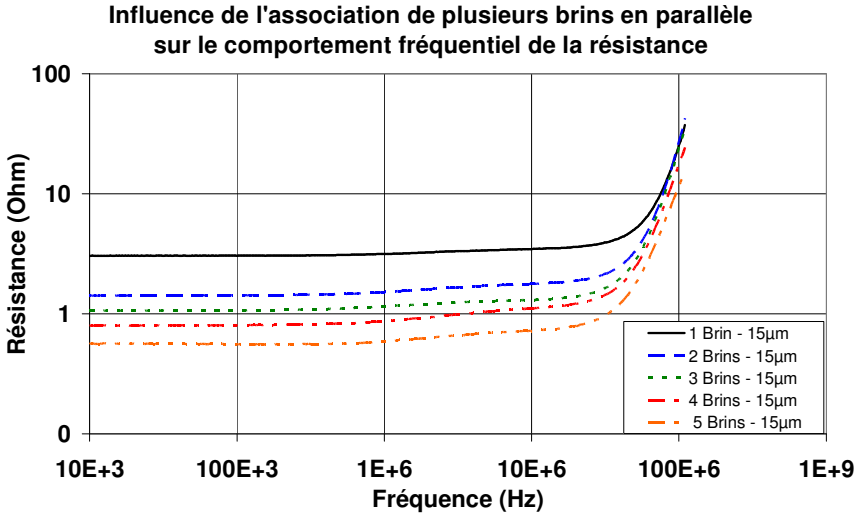


Figure 4.28. Comportement fréquentiel de la résistance de bobines multibrin

Le relevé des valeurs de résistance à 100 kHz et 1 MHz montre une bonne adéquation avec les valeurs simulées numériquement ainsi qu'avec Coventorware (Figure 4.29). L'augmentation du nombre de brins en parallèle permet de diminuer la résistance série.

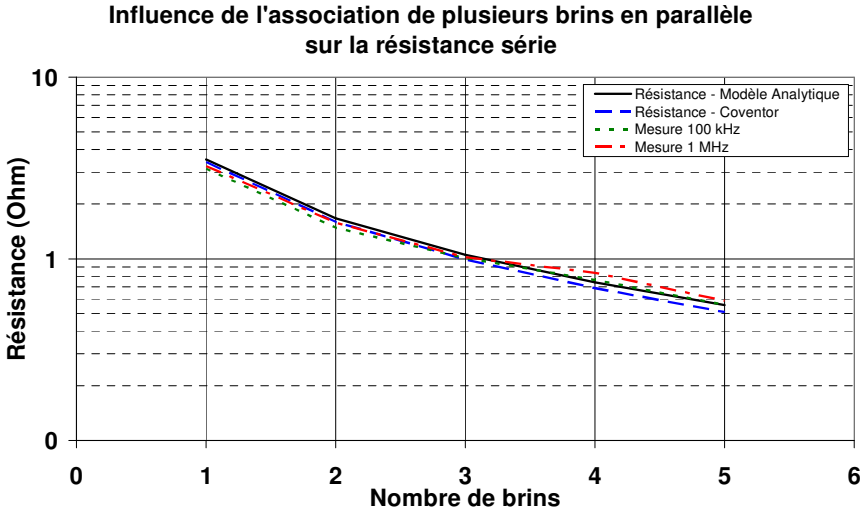


Figure 4.29. Variation de la résistance en fonction du nombre de brins connectés en parallèle

Ensuite, nous avons superposé les courbes donnant l'évolution du facteur de qualité en fonction de la fréquence. Pour des fréquences inférieures à la fréquence de travail, le facteur de qualité augmente avec le nombre de brins en parallèle (Figure 4.30). Ici aussi, bien que le nombre de tours reste constant d'un composant à l'autre, l'ajout de bobines supplémentaires provoque l'augmentation du taux de remplissage du composant. Nous concluons donc que dans le cas « Interleaved », la recherche d'un taux de remplissage maximum va dans le sens d'un composant optimisé. Par ailleurs,

la figure 4.30 montre que le passage à une structure multibrin ne dégrade pas le facteur de qualité maximum. Toutefois un décalage de la fréquence de travail est constaté.

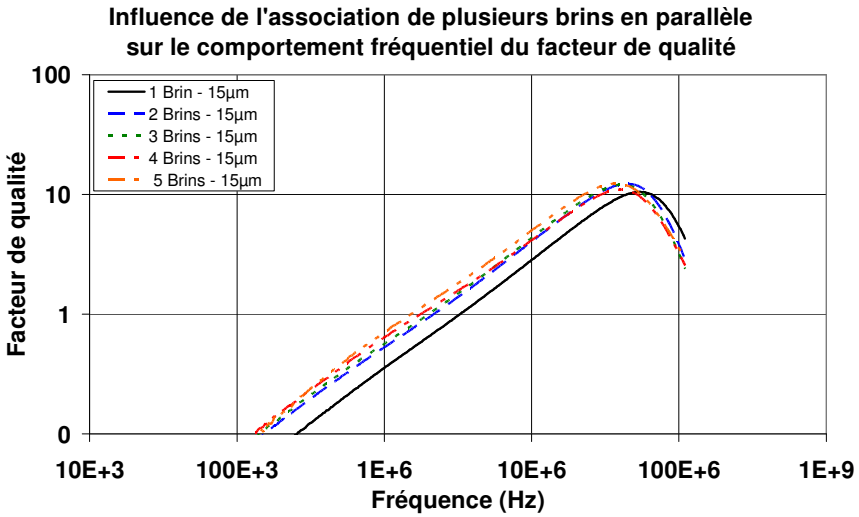


Figure 4.30. Comportement fréquentiel du facteur de qualité de bobines multibrins

L'extraction des facteurs de qualité maximums et des fréquences de travail correspondantes, confirme cette observation (Figure 4.31). L'association de plusieurs brins en parallèle entraîne une baisse de la fréquence de travail, imputable à l'augmentation de la surface du composant au–dessus du substrat. Par ailleurs, la réduction de la résistance série se traduit par une augmentation du facteur de qualité qui est néanmoins tempérée par la baisse simultanée de la valeur d'inductance.

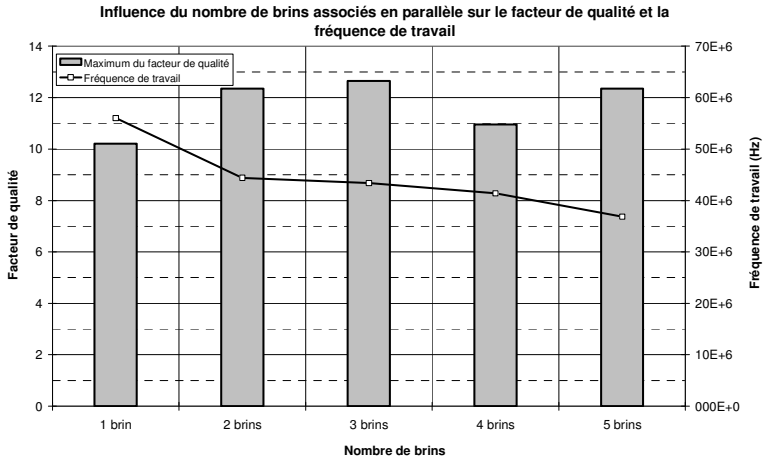


Figure 4.31. Influence du passage d'une structure monobrin à une structure multibrin sur le comportement fréquentiel d'une inductance

II-5. Caractérisation fréquentielle de l'association en parallèle et en série de bobines selon une topologie « Stacked »

La troisième série de mesures a porté sur l'influence de l'association de deux inductances en parallèle ou en série sur les valeurs d'inductance et de résistance et leur comportement fréquentiel. Auparavant, nous rappelons ici les principales conclusions tirées des simulations. Les calculs ont montré que la mise en parallèle de deux bobines identiques fortement couplées entraînait la division par deux de la résistance avec une conservation de l'inductance. L'association en série, quant elle, provoque un doublement de la résistance série mais un quadruplement de la valeur d'inductance.

Pour valider les prédictions réalisées par le modèle analytique et par Coventorware, nous avons associé en parallèle et en série plusieurs inductances identiques. Chaque association est constituée de

deux bobines de 3000 µm de diamètre, dont les conducteurs présentent une largeur, un espacement et une épaisseur de 15 µm. Le nombre de tours varie de 5 à 40. Ceci nous amènera à déterminer expérimentalement dans quelle mesure le taux de remplissage peut influencer le couplage magnétique entre les deux bobines.

II-5-1. Mise en parallèle

II-5-1-1. Sur silicium

Les premières mesures ont été réalisées sur une association en parallèle de deux bobines identiques. Ces mesures ont pour but de valider le procédé technologique de superposition d'une part et la modélisation présentée au chapitre II d'autre part.

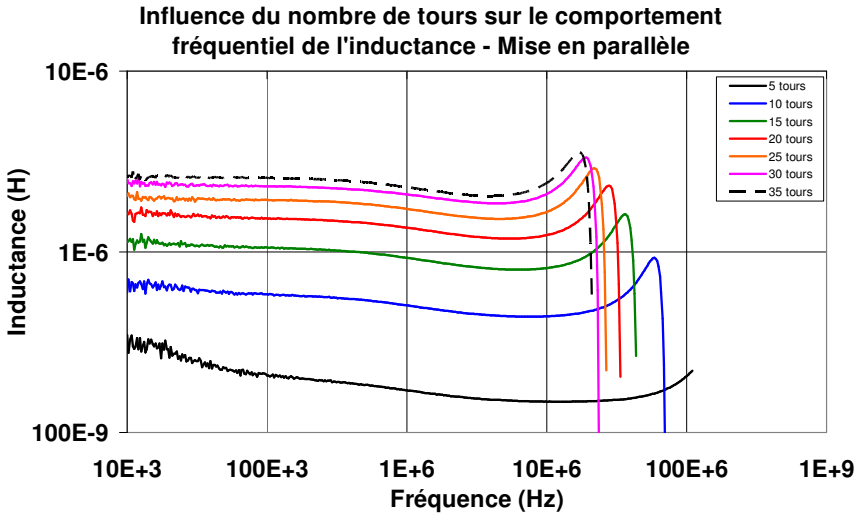


Figure 4.32. Variation du comportement fréquentiel de l'inductance avec le nombre de tours – Structure « stacked » parallèle

L'empilement des courbes relatives au comportement fréquentiel de l'inductance de la figure 4.32 montre que l'augmentation du nombre de tours réduit progressivement la plage de fréquence sur laquelle l'inductance peut être utilisée. L'ensemble des inductances réalisées peuvent être utilisées jusqu'à 10 MHz. Nous avons ensuite extrait la valeur d'inductance pour les fréquences 100 kHz et 1 MHz.

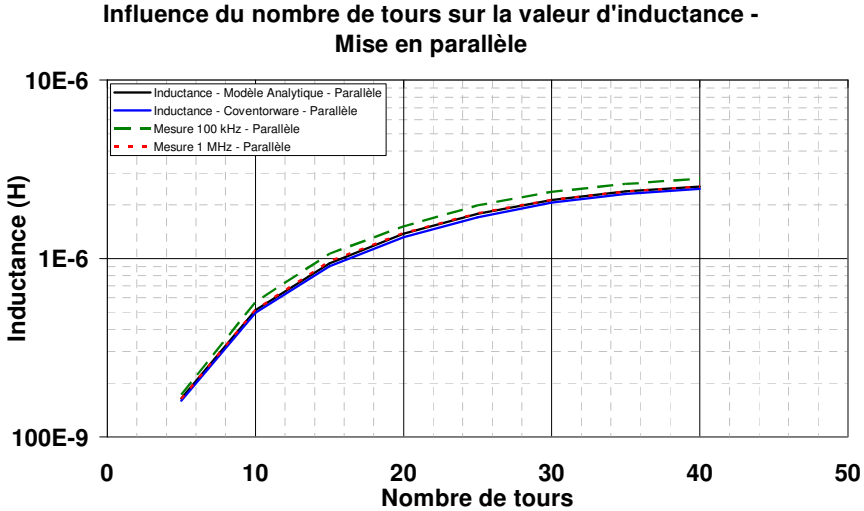


Figure 4.33. Confrontation des mesures d'inductance avec les résultats issus de la modélisation – Structure « stacked » parallèle

Les valeurs obtenues sont comparées avec les résultats de simulation (Figure 4.33). La superposition des courbes montre que la modélisation et les simulations avec Coventorware prédisent correctement la valeur d'inductance et son augmentation avec le nombre de tours. Nous avons ici la confirmation qu'un fort couplage magnétique existe car la mise en parallèle de deux bobines identiques ne modifie pas la valeur d'inductance.

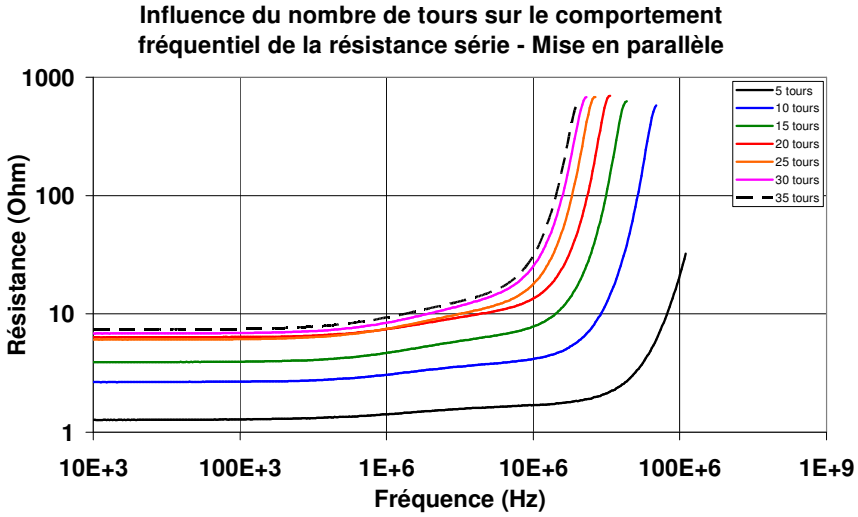


Figure 4.34. Variation du comportement fréquentiel de la résistance avec le nombre de tours – Structure « stacked » parallèle

La même démarche a été entreprise pour étudier le comportement fréquentiel de la résistance série. Nous constatons alors que cette dernière croît avec le nombre de tours (Figure 4.34). Egalement, comme dans le cas de bobines monobrins, l'augmentation du taux de remplissage entraîne des pertes supplémentaires dans le substrat se traduisant par une croissance de plus en plus précoce de la résistance alternative.

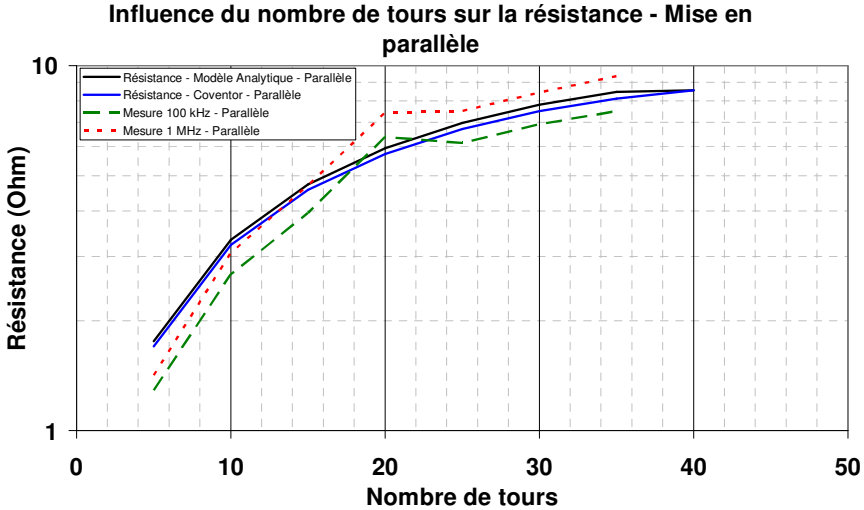


Figure 4.35. Confrontation des mesures de résistance avec les résultats issus de la modélisation – Structure « stacked » parallèle

Les valeurs de résistance extraites des courbes de la figure 4.35 pour les fréquences de 100 kHz et 1 MHz ont ensuite été comparées aux simulations. La superposition des courbes montre que le modèle analytique et Coventorware évaluent correctement la valeur de résistance série et son évolution avec le nombre tours. La mise en parallèle de deux bobines identiques aboutit bien à la division par deux de la résistance série.

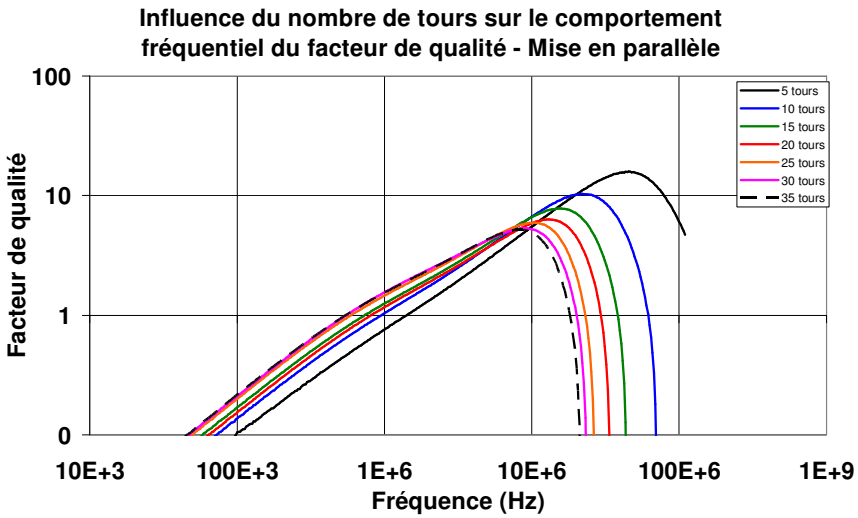


Figure 4.36. Variation du comportement fréquentiel du facteur de qualité avec le nombre de tours – Structure « stacked » parallèle

Finalement, nous avons étudié l'influence du nombre tours sur le facteur de qualité. Nous constatons que les facteurs de qualité maximum et les fréquences de travail correspondantes diminuent avec le nombre de tours (Figure 4.36). Toutefois, l'augmentation du taux de remplissage des bobines provoque une élévation du facteur de qualité sur une plage fréquentielle allant jusqu'à 10 MHz. Ceci démontre que même dans le cas de deux bobines en parallèle, un composant sera optimisé s'il est bobiné avec le nombre de tours maximum.

II-5-1-2. Sur Pyrex et comparaison avec Silicium

Les mêmes composants ont été également réalisés sur Pyrex® afin de valider le procédé d'empilement de bobines sur ce substrat.

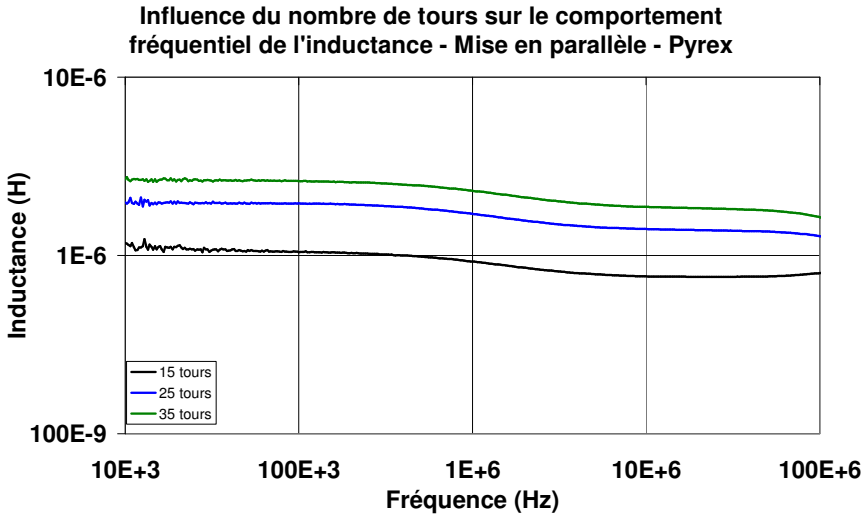


Figure 4.37. Variation du comportement fréquentiel de l'inductance avec le nombre de tours – Structure « stacked » parallèle - Pyrex®

Les courbes de l'inductance équivalente à l'empilement de deux bobines identiques de 15 tours à 40 tours montrent clairement l'absence de résonance des composants sur la plage fréquentielle de mesure (Figure 4.37). La superposition des courbes d'inductance d'une bobine de 35 tours réalisée sur silicium et sur Pyrex® confirme l'absence de résonance du composant sur Pyrex® (Figure 4.38). Nous constatons également que les valeurs d'inductance sont similaires en basse fréquence.

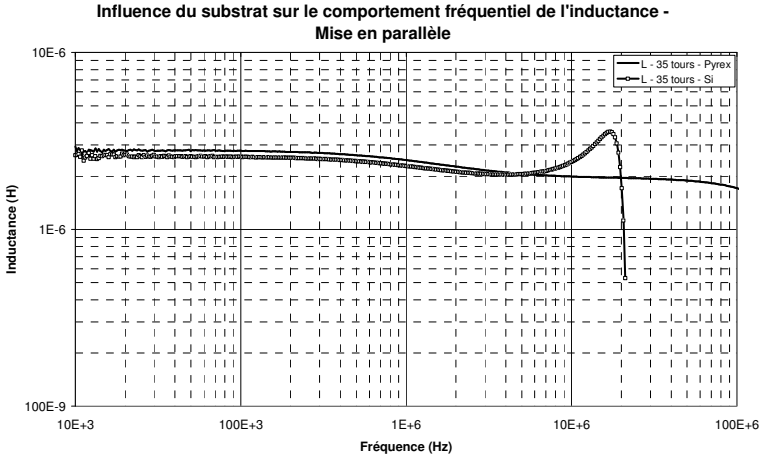


Figure 4.38. Comparaison du comportement fréquentiel de l'inductance – Structure « stacked » parallèle - Pyrex®

Ces courbes confirment l'intérêt de l'emploi d'un substrat isolant comme le Pyrex® qui supprime toute forme de pertes et permet d'étendre la plage fréquentielle de fonctionnement des composants quelque soit leur taux de remplissage.

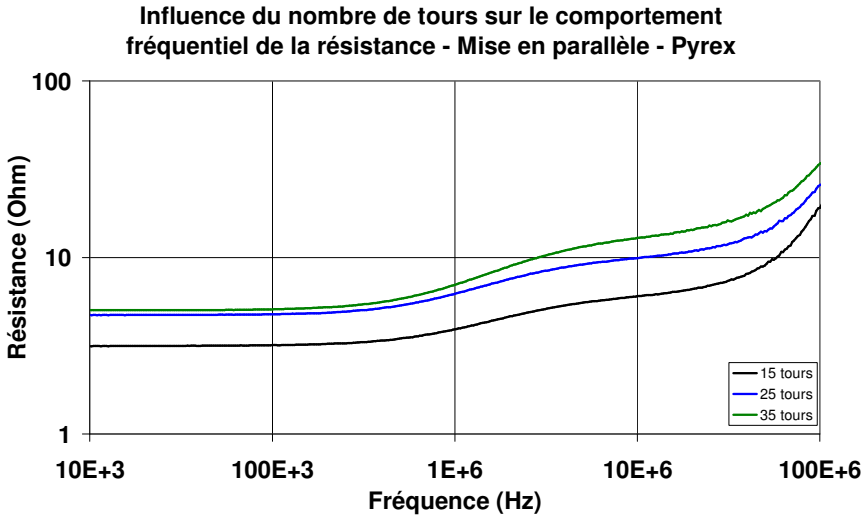


Figure 4.39. Variation du comportement fréquentiel de la résistance avec le nombre de tours – Structure « stacked » parallèle – Pyrex®

Le tracé des valeurs de résistance équivalente en fonction du nombre de tours montre également l'absence de résonance sur cette plage de fréquence (Figure 4.39). L'augmentation de la résistance alternative persiste néanmoins indiquant que les effets de proximité entre les conducteurs sont toujours présents et augmentent avec la fréquence.

Ensuite, la comparaison du comportement fréquentiel de la résistance en fonction du type de substrat montre que l'utilisation du Pyrex® permet d'obtenir des valeurs de résistances AC plus faibles en repoussant la fréquence de résonance au-delà de 100 MHz (Figure 4.40). La plus faible résistance DC pour l'inductance sur Pyrex® est dû à une épaisseur de conducteur plus importante que les 15 µm prévues.

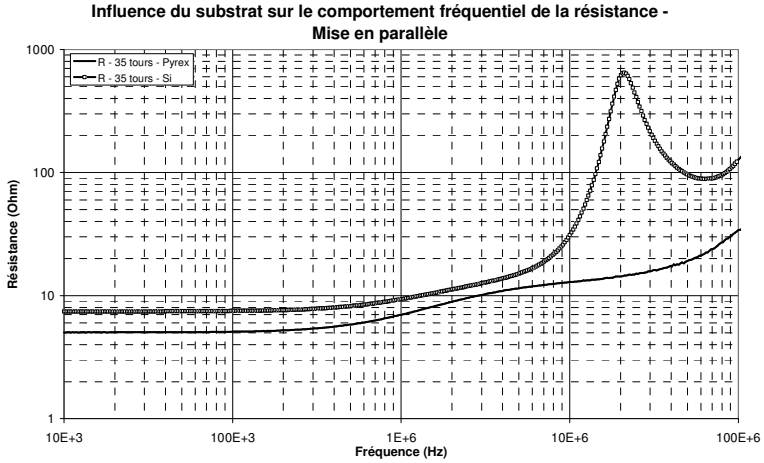


Figure 4.40. Comparaison du comportement fréquentiel de la résistance – Structure « stacked » parallèle - Pyrex®

En outre, comme précédemment ces mesures nous permettent de distinguer les deux causes de l'apparition et de la croissance de la résistance alternative. Jusqu'à environ 5 MHz, les profils de croissance de la résistance sont relativement semblables, laissant supposer que, sur cette plage fréquentielle, seuls les effets de proximités entre les conducteurs sont la cause de l'augmentation de la résistance série. Par contre, au delà de 5 MHz, les comportements fréquentiels diffèrent. Le composant réalisé sur silicium est alors soumis aux influences des courants de circulation dans le substrat. Nous pouvons alors conclure que si les effets de proximités entre conducteurs ont une influence sur toute la plage fréquentielle, les effets de proximité avec le substrat semi-conducteur n'apparaissent eux qu'en haute fréquence.

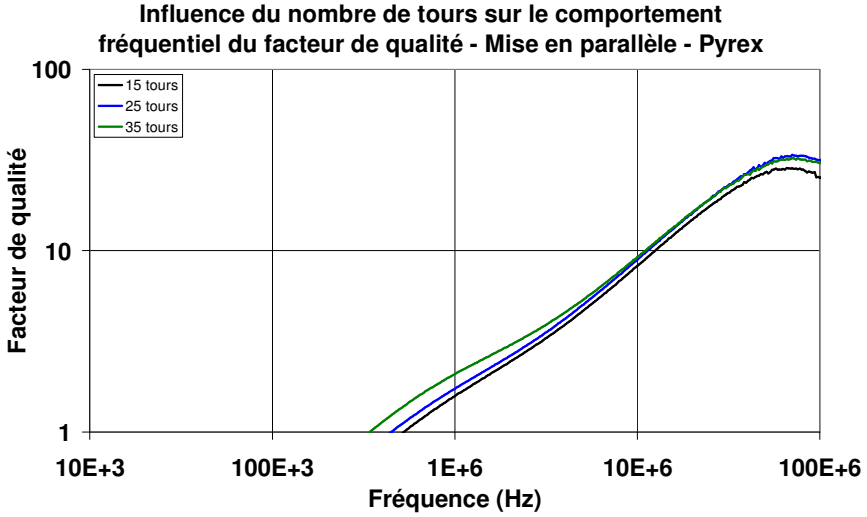


Figure 4.41. Variation du comportement fréquentiel du facteur de qualité avec le nombre de tours – Structure « stacked » parallèle - Pyrex®

La superposition des courbes du facteur de qualité nous amène à constater que celui-ci augmente avec le nombre tours sur toute la plage fréquentielle de mesure (Figure 4.41).

Ensuite, la comparaison avec le comportement fréquentiel du facteur de qualité d'un composant similaire, réalisé sur silicium, montre que l'élimination des pertes par courants induits assure des facteurs de qualité supérieurs aux très hautes fréquences (Figure 4.42). Aux moyennes fréquences, un meilleur facteur de qualité est observé pour le composant sur Pyrex et s'explique uniquement par la plus faible résistance série constatée à la figure 4.42.

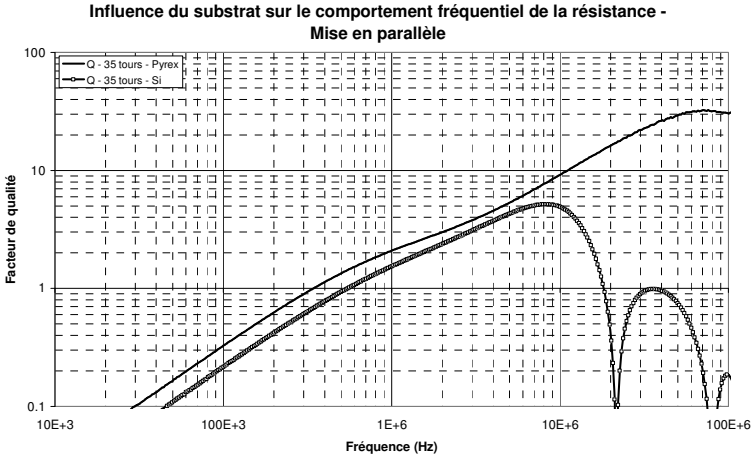


Figure 4.42. Comparaison du comportement fréquentiel du facteur de qualité – Structure « stacked » parallèle - Pyrex®

La caractérisation de composants inductifs constitués de deux bobines superposées et connectées en parallèles nous ont permis de valider les simulations effectuées avec le modèle numérique ainsi qu'avec Coventorware. Nous avons observé que la résistance série pouvait être divisée par deux tout en conservant l'inductance constante grâce à l'influence du couplage magnétique.

D'autre part, pour ce type d'association comme pour les inductances monobrins, l'augmentation du taux de remplissage des bobines est synonyme d'un composant inductif optimisé.

Ensuite, l'intérêt de l'utilisation d'un substrat isolant a été mis en évidence pour ces structures par le biais de mesures d'impédances sur substrat Pyrex. Comme dans le cas d'inductances monobrins, les performances hautes fréquences sont améliorées et les causes de l'augmentation de la résistance alternative ont pu être isolées.

Néanmoins, un dernier point n'a pu être étudié : le couplage magnétique. Les derniers résultats expérimentaux, nous laissent penser que le coefficient de couplage *k* est proche de 1, mais il doit être quantifié et son comportement fréquentiel doit être connu afin de déterminer les limites de fonctionnement de cette topologie. Bien qu'ayant mesuré l'inductance équivalente des composants, nous n'avons pas accès à la mesure de chacune des bobines séparément. Seule une mesure de ces mêmes composants superposés et reliés en série va nous permettre d'évaluer le couplage magnétique.

II-5-2. Mise en série

Des mesures comparatives ont été réalisées pour valider le dimensionnement d'inductances associées en série sur substrat silicium. L'objectif ici est de valider le modèle numérique présenté au chapitre II ainsi que le procédé technologique développé et de déterminer le coefficient de couplage magnétique ainsi que son comportement fréquentiel.

Pour commencer, nous avons mesuré les inductances équivalentes à l'association en série de bobines identiques, superposées selon une topologie « Stacked » (Figure 4.43). Il est à noter que certains composants défectueux n'ont pu être caractérisés (25 tours).

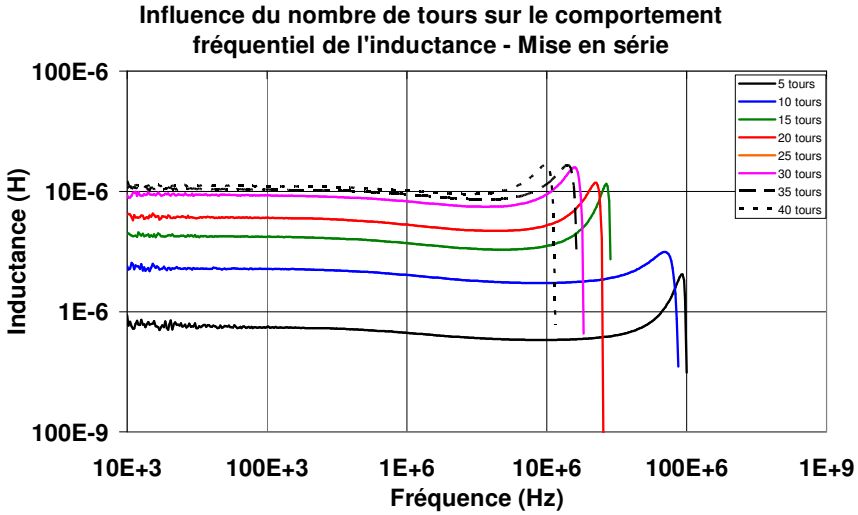


Figure 4.43. Variation du comportement fréquentiel de l'inductance avec le nombre de tours – Structure « stacked » série

La superposition des courbes d'inductance montre que l'augmentation du nombre de tours réduit la plage fréquentielle pour laquelle le composant reste inductif (Figure 4.43). L'ensemble des inductances mesurées sont capables de fonctionner jusqu'à 10 MHz. L'influence du couplage magnétique est déjà visible, car les valeurs d'inductance atteintes sont de loin les plus importantes obtenues jusqu'ici.

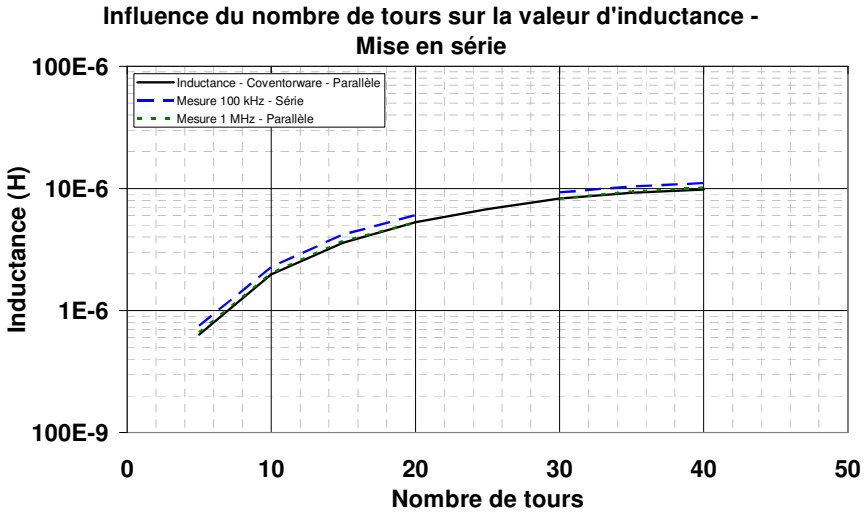


Figure 4.44. Confrontation des mesures d'inductance avec les résultats issus de la modélisation – Structure « stacked » série

A partir de ces mesures, nous avons extrait les valeurs d'inductances pour 100 kHz et 1 MHz. La comparaison avec les données fournies par la simulation avec le modèle numérique et Coventorware montre que ces derniers évaluent correctement l'inductance équivalente à l'association en série de deux bobines identiques et quelque-soit le nombre de tours (Figure 4.44).

L'influence d'une telle association sur le comportement fréquentiel de la résistance série a été ensuite étudiée.

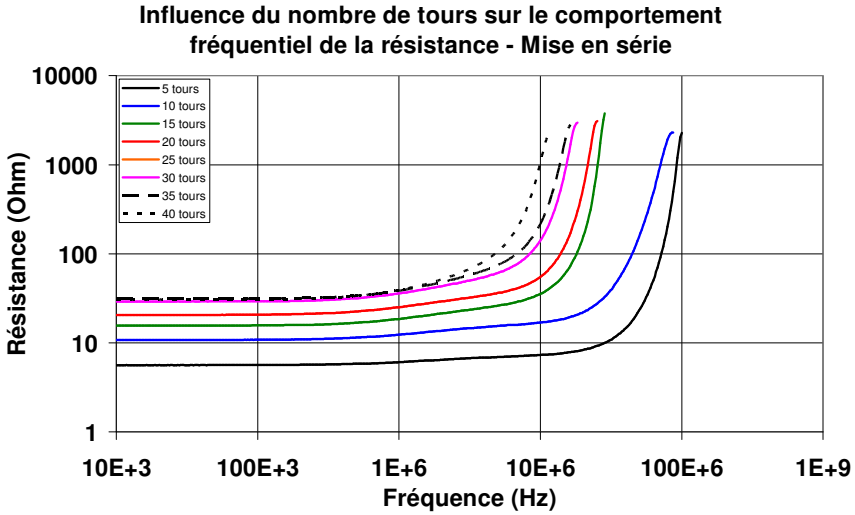


Figure 4.45. Variation du comportement fréquentiel de la résistance avec le nombre de tours – Structure « stacked » série

La superposition des courbes de résistance mesurées montre que celle-ci augmente avec le nombre de tours (Figure 4.45). Comme pour les inductances monobrins et l'association en parallèle de bobines, l'augmentation du taux de remplissage provoque une croissance de plus en plus précoce de la résistance alternative.

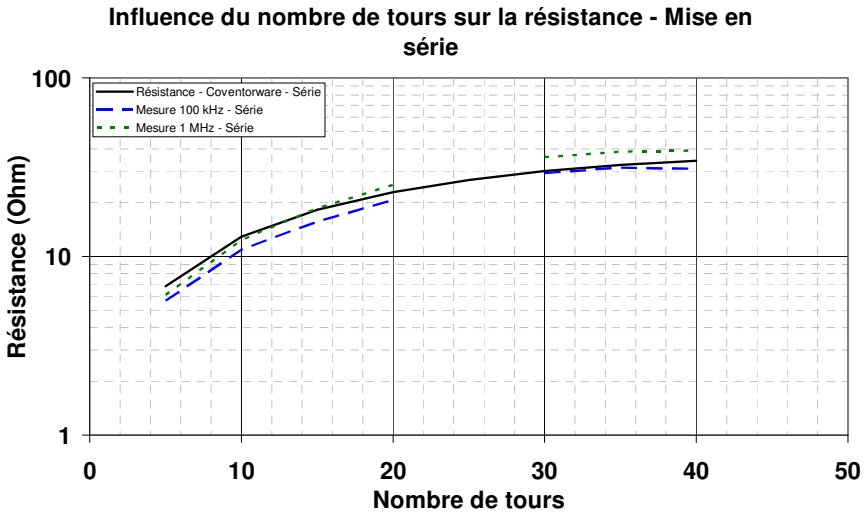


Figure 4.46. Confrontation des mesures de résistance avec les résultats issus de la modélisation – Structure « stacked » série

A partir de ces mesures nous avons extrait les valeurs de résistance pour les fréquences 100 kHz et 1 MHz. La comparaison avec les données recueillies en simulation montre que la modélisation évalue assez précisément la valeur de résistance quelque-soit le taux de remplissage (Figure 4.46).

Ensuite, la mesure du facteur de qualité (Figure 4.47) montre que l'augmentation du nombre de tours entraîne la diminution simultanée du facteur de qualité maximum ainsi que de la fréquence de travail associée.

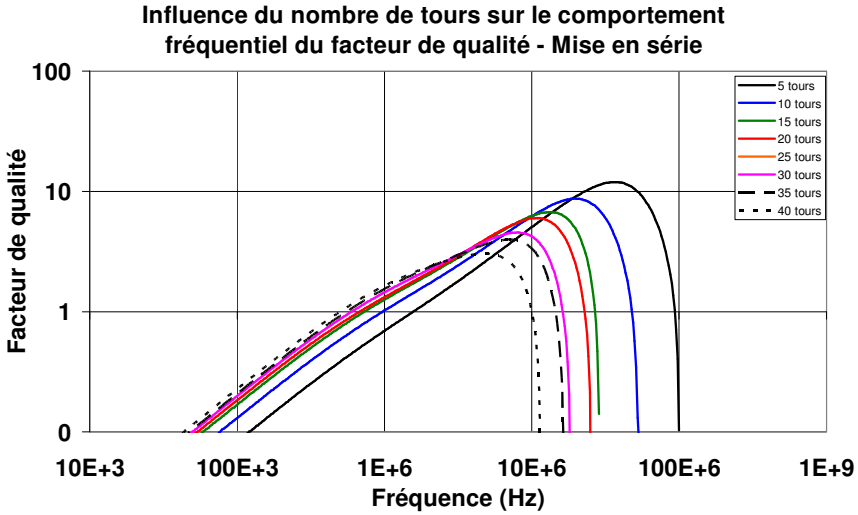


Figure 4.47. Variation du comportement fréquentiel du facteur de qualité avec le nombre de tours – Structure « stacked » série

Par ailleurs, comme précédemment, nous constatons que l'augmentation du taux de remplissage entraîne l'accroissement du facteur de qualité dans la bande fréquence inférieure à 10 MHz. Ceci démontre une fois encore, qu'une inductance optimisée peut être obtenue si le composant est bobiné avec le nombre de tours maximum.

La connexion en série nous offre la possibilité de mesurer, non seulement l'inductance équivalente à l'association, comme vue dans la figure 4.43, mais aussi les inductances de chacune des deux bobines associées. A partir de ces valeurs, il est alors possible d'évaluer le coefficient de couplage *k*, en utilisant les équations rassemblées en Annexe I.

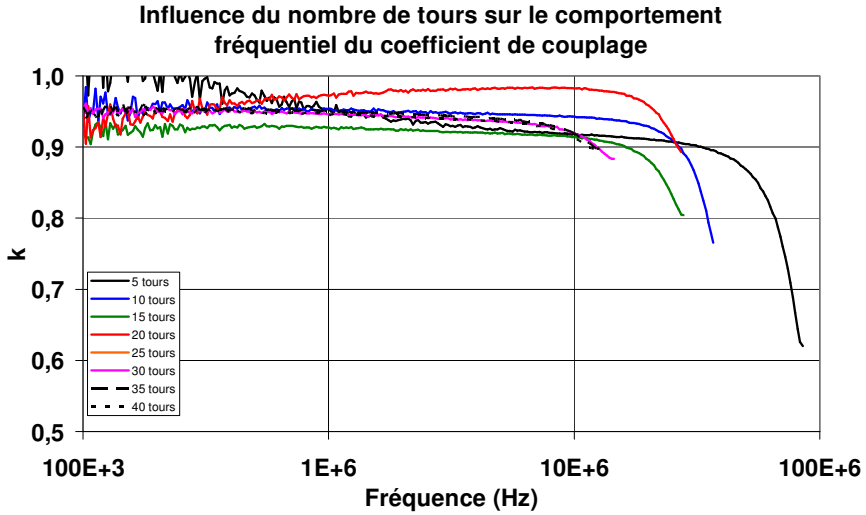


Figure 4.48. Variation du comportement fréquentiel du coefficient de couplage *k* avec le nombre de tours – Structure « stacked » série

La superposition des courbes nous montre que jusqu'aux fréquences de résonance des composants, le coefficient de couplage reste supérieur à 0,9 quelque soit le taux de remplissage des bobines (Figure 4.48). Ceci démontre que les composants réalisés présentent un très fort couplage magnétique entre les bobines qui les composent. Pour finir de valider la modélisation présentée au chapitre II, nous avons extrait les valeurs de *k* pour plusieurs fréquences comprises entre 1 MHz et 10 MHz

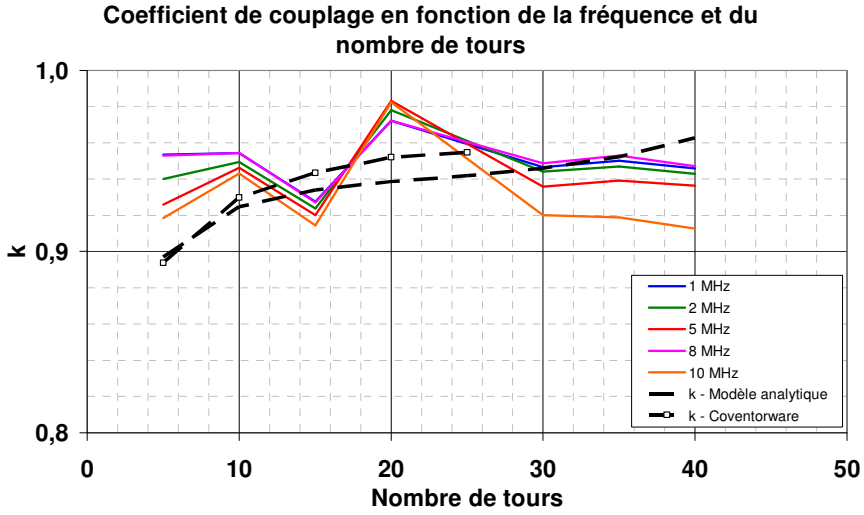


Figure 4.49. Variation du facteur de qualité avec le nombre de tours à fréquence donnée – Structure « stacked » série

La superposition des résultats avec les valeurs fournies par le modèle et Coventorware montre que ces derniers sont capables de fournir une bonne estimation du coefficient de couplage *k*, quelque soit le taux de remplissage envisagé (Figure 4.49).

Ces séries de mesures nous ont donc permis de valider la modélisation de deux bobines superposées et associées en parallèle et en série. Il a par ailleurs été démontré que cette topologie permettait d'obtenir des couplages magnétiques très importants (supérieurs à 0,9).

II-6. Comparaison entre structures inductives classiques et « Interleaved »

A présent, pour compléter les mesures réalisées jusqu'ici, nous avons caractérisé des inductances de type « interleaved » et comparé les résultats avec ceux obtenus sur des inductances classiques de section de conducteur équivalente, tous les paramètres géométriques étant constants. Pour pouvoir comparer une structure monobrin avec son équivalent multibrin, ces dernières doivent impérativement posséder la même section équivalente de conducteur. Par conséquent, les deux types de structures ne pourront être comparées avec une structure multibrin que si leur résistance série est très proche en continue.

Nous avons commencé par comparer une inductance constituée de 2 brins de 15µm de large connectés en parallèle, avec une bobine monobrin dont les conducteurs ont une largeur de 30µm. Le turn pitch est maintenu constant à 60µm pour les deux bobines. Dans les deux cas, les inductances ont un diamètre de 3000 µm et sont bobinées sur 5 tours avec une épaisseur de conducteur visée de 15 µm et un espacement entre les brins de 15 µm. La superposition des courbes d'inductance révèle que la division d'un conducteur de 30µm de large en 2 brins de 15 µm de large chacun n'influe pas sur son comportement fréquentiel (Figure 4.50).

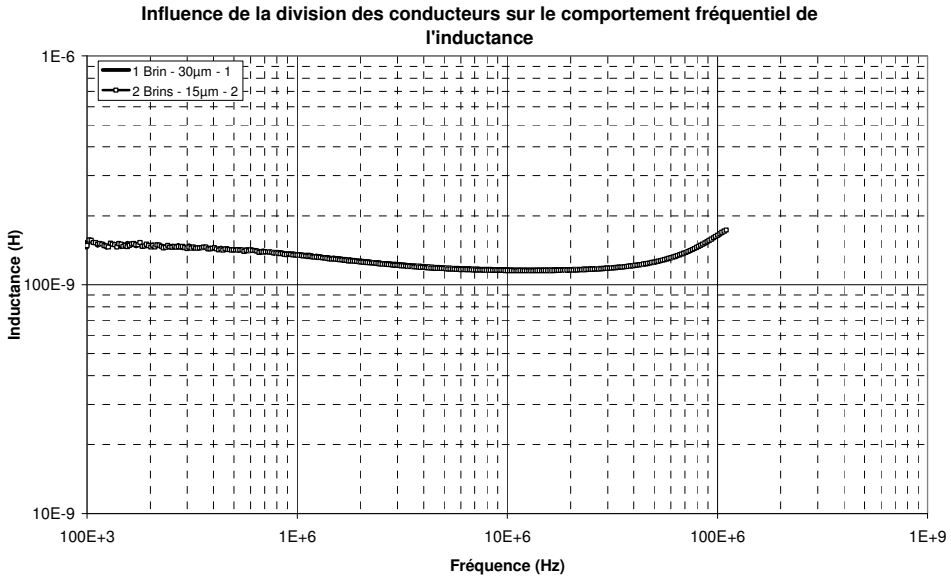


Figure 4.50. Conséquence de la division par deux des conducteurs sur l'inductance - Silicium

Ensuite, nous avons superposé les courbes fréquentielles de la résistance série. Les valeurs de résistance en continue sont quasiment similaires et nous autorisent donc à comparer les deux courbes (Figure 4.51). La croissance de la résistance avec la fréquence de la structure multibrin est comparable à celle de son équivalent monobrin excepté autour de 10 MHz où un décrochage apparaît. Autour de cette fréquence, la résistance AC est plus faible que pour la structure monobrin. L'écart maximum est de 98 mohm à 33,6 MHz.

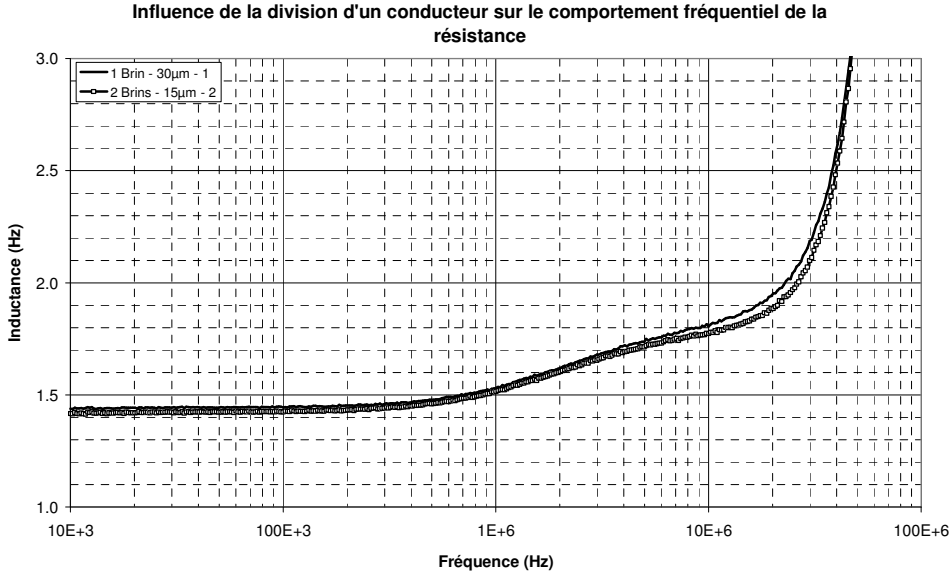


Figure 4.51. Conséquence de la division par deux des conducteurs sur la résistance série - Silicium

La même étude a été conduite en comparant une inductance constituée de 3 brins de 15 µm de large connectés en parallèle, avec une bobine monobrin dont les conducteurs ont une largeur de 45 µm. Le turn pitch est maintenu constant à 90 µm pour les deux bobines. Dans les deux cas, les inductances ont un diamètre de 3000 µm et sont bobinées sur 5 tours avec une épaisseur de conducteur de 15 µm et un espacement entre les brins de 15 µm. La superposition des courbes d'inductance révèle que la division d'un conducteur de 45 µm de large en 3 brins de 15 µm de large chacun n'influe pas sur son comportement fréquentiel (Figure 4.52).

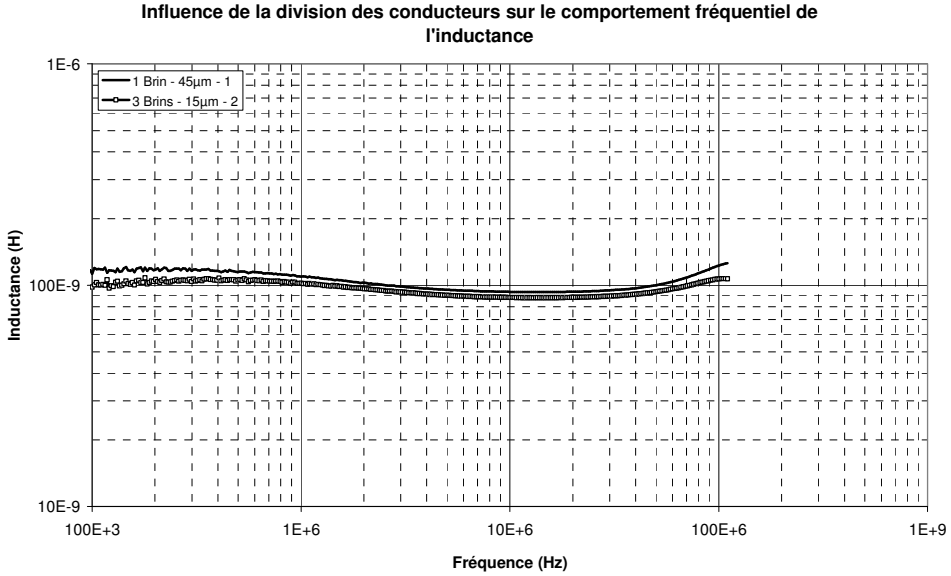


Figure 4.52. Conséquence de la division par trois des conducteurs sur l'inductance - Silicium

Ensuite, nous avons superposé les courbes fréquentielles de la résistance série. Les valeurs de résistance en continue sont quasiment similaires et nous autorisent donc à comparer les deux courbes (Figure 4.53). La croissance de la résistance avec la fréquence de la structure multibrin est comparable à celle de son équivalent monobrin excepté au-delà de 1 MHz où un décrochage apparaît. Après cette fréquence, la résistance AC est plus faible que pour la structure monobrin. L'écart est de 233 mohms à 39,5 MHz et augmente jusqu'à près de 6 ohms à 110 MHz.

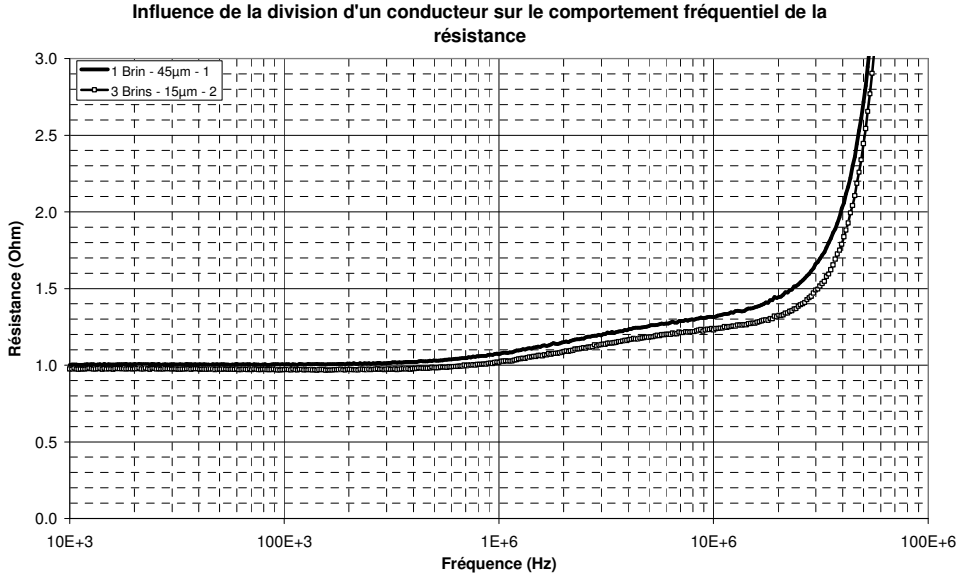


Figure 4.53. Conséquence de la division par trois des conducteurs sur la résistance série – Silicium

A partir de ces mesures nous avons calculé l'écart de résistance existant entre une inductance monobrin et son équivalent multibrin. La division d'un conducteur de 30 µm de large en deux brins de 15 µm entraîne un gain de résistance maximum de 4% à 33,6 MHz. La division d'un conducteur de 45 µm de large en trois brins de 15 µm entraîne un gain de résistance maximum de 11,5% à 39,5 MHz.

Une démarche identique a été conduite avec les mêmes composants réalisés cette fois sur un substrat Pyrex®. Concernant la division en deux brins d'un conducteur initial de 30 µm de large, nous constatons avec la figure 4.54 qu'aucune influence sur le comportement fréquentiel de l'inductance n'est observable.

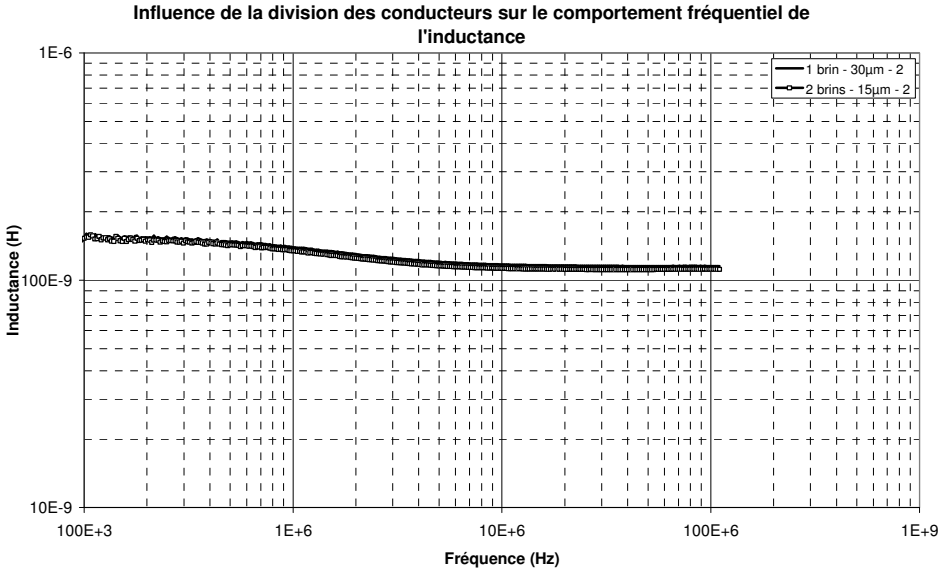


Figure 4.54. Conséquence de la division par deux des conducteurs sur l'inductance – Pyrex®

La superposition des courbes de résistance en fonction de la fréquence d'une inductance monobrin et de son équivalent multibrin fait apparaître une nouvelle fois un décrochage de la résistance en haute fréquence. L'inductance multibrin est moins résistive que son équivalent monobrin de près de 245 mohms à 66 MHz (Figure 4.55).

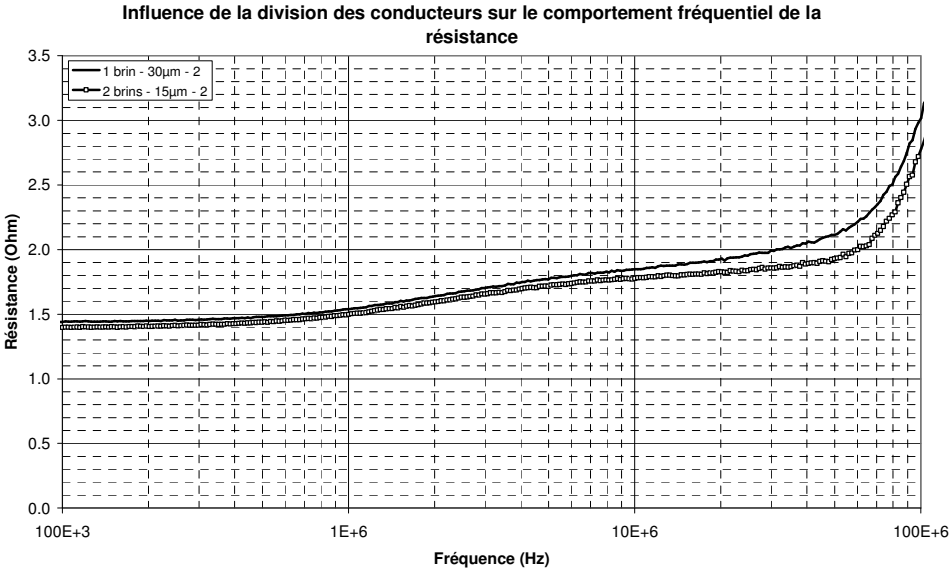


Figure 4.55. Conséquence de la division par deux des conducteurs sur la résistance série - Pyrex®

Ensuite, nous avons analysé l'influence de la division d'un conducteur de 45µm de large en 3 brins de 15 µm de large. La superposition des courbes montre que la division par 3 n'a pas modifié le comportement fréquentiel de l'inductance multibrin par rapport à son équivalent monobrin (Figure 4.56).

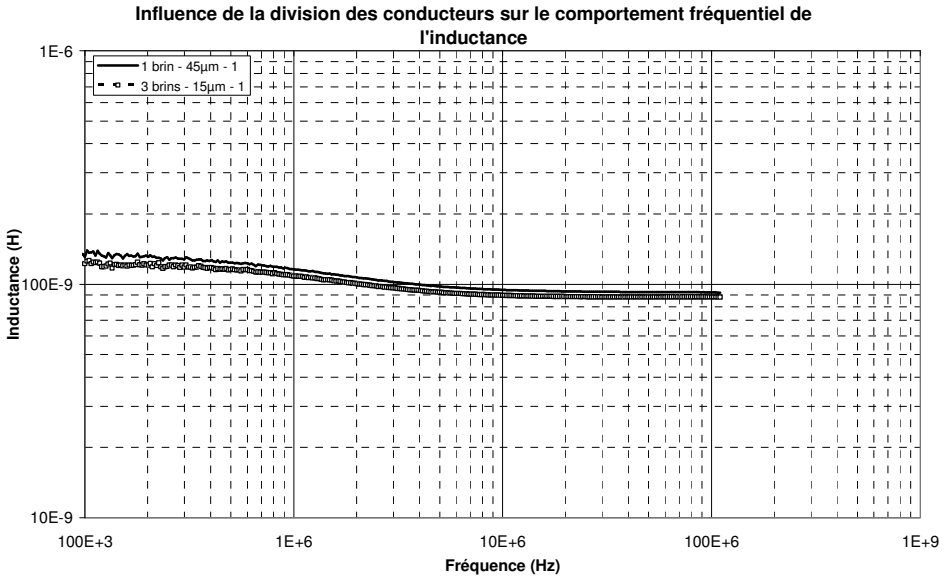


Figure 4.56. Conséquence de la division par trois des conducteurs sur l'inductance – Pyrex®

La superposition des courbes fréquentielles des résistances série montre que la structure multibrin est moins résistive que son équivalent monobrin sur une large plage de fréquence. L'inductance constituées de 3 brins de 15 µm de large est notamment moins résistive de près de 310 mohms à 71 MHz (Figure 4.57).

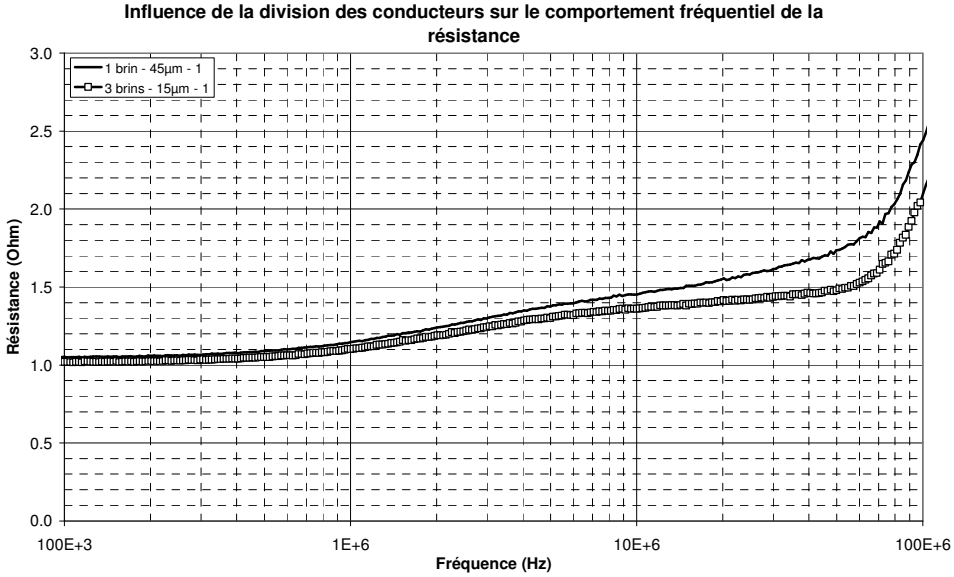


Figure 4.57. Conséquence de la division par trois des conducteurs sur la résistance série – Pyrex®

A partir de ces mesures nous avons calculé l'écart de résistance existant entre une inductance monobrin et son équivalent multibrin. La division d'un conducteur de 30 µm de large en deux brins de 15 µm entraîne un gain de résistance maximum de 10,75% à 66 MHz. La division d'un conducteur de 45 µm de large en deux brins de 15 µm entraîne un gain de résistance maximum de 16,1% à 71 MHz.

Les caractérisations ont montré que la division de conducteurs en plusieurs brins connectées en parallèle ne modifiait ni l'inductance sur l'ensemble de la plage de fréquence ni la résistance en continu. Néanmoins, un décrochage de la résistance en haute fréquence se produit de manière reproductible à la fois sur silicium et sur Pyrex®. Un gain de résistance de plus de 10% est constaté lorsqu'un conducteur est divisé en 2 et 3 brins. Par conséquent, nous avons dimensionné des composants spécifiques pour l'étude de ce phénomène et déterminer s'il est reproductible ou s'il

correspond à un artefact de mesure. Leurs spécifications géométriques ainsi que les valeurs d'inductance et de résistance attendues sont réunis dans le Tableau IV.1 et correspondent aux inductances simulées du chapitre II aux paragraphes et .

Nombre de brins	w (µm)	s_2 (µm)	tp (µm)	N	Diamètre (µm)	t (µm)	L (H)	R_{DC} (Ohm)
1	75	15	150	5	3000	15	77,7e-09	0,586
2	37,5	15	150	5	3000	15	78,9e-09	0,584
3	25	15	150	5	3000	15	75,8e-09	0,572
4	18,75	15	150	5	3000	15	73,8e-09	0,563
5	15	15	150	5	3000	15	72,9e-09	0,556

Tableau IV.1. Tableau récapitulatif des paramètres géométriques et électriques des inductances mesurées

A partir d'une inductance monobrin, quatre inductances multibrins sont déclinées en divisant les conducteurs larges de 75µm en 2, 3, 4 et 5 brins. Tous les autres paramètres géométriques étant constant par ailleurs, les valeurs d'inductance et de résistance en continue nous autorisent à comparer ces structures entre elles. Plusieurs séries de composants ont été comparés. Chaque série est caractérisée par une résistance DC distincte, et donc une épaisseur de conducteur particulière, sur laquelle nous nous basons pour comparer les profils fréquentiels des structures inductives obtenues.

Une série de mesure ont permis de comparer des composants caractérisés par une résistance série de 580 mohms, correspondant à des conducteurs de 15 µm d'épaisseur. Le profil fréquentiel de l'inductance de chacune de ces structures ne montre pas une importante variation due à la division des conducteurs en plusieurs brins. D'un point de vue de l'inductance, ces structures sont quasiment identiques (Figure 4.58).

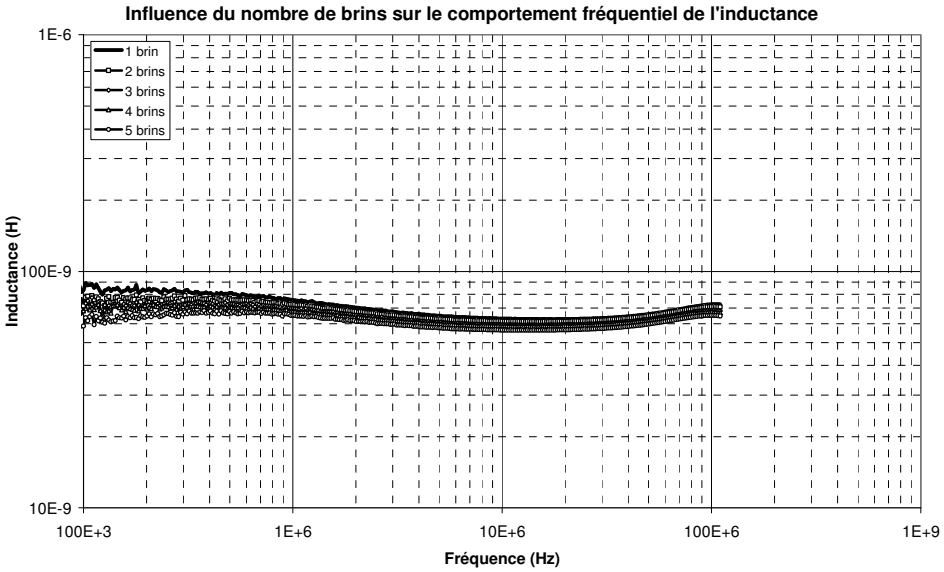


Figure 4.58. Profil fréquentiel de l'inductance pour des structures monobrin et multibrin équivalentes – R=580mohms - Silicium

Le tracé du profil fréquentiel des résistances de chacune des structures montre un décrochage de la résistance autour de 10 MHz. A ce niveau, l'écart des résistances varie selon le nombre de brins qui constitue l'inductance. Dans ce cas, il apparaît que l'écart avec la résistance de la structure monobrin augmente avec le nombre de brins en parallèles (Figure 4.59).

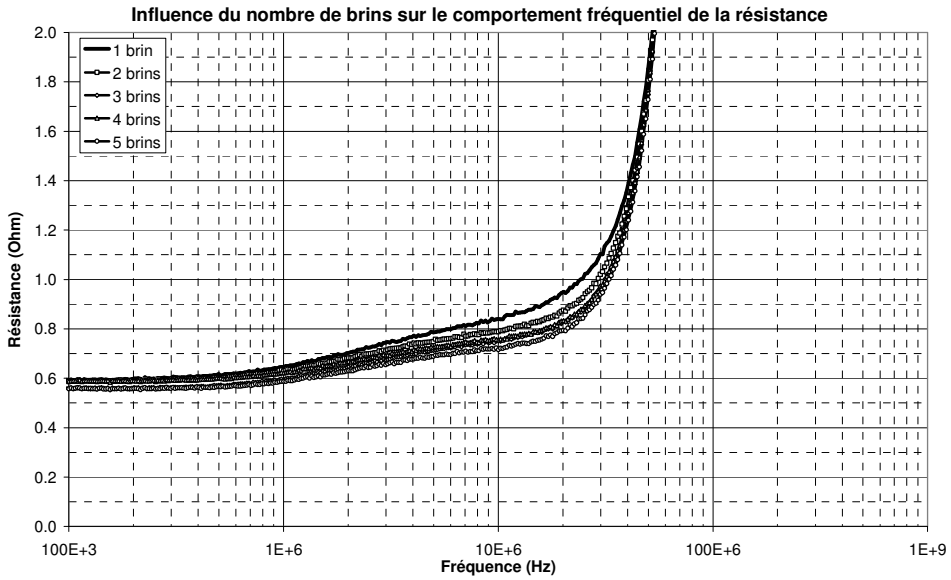


Figure 4.59. Profil fréquentiel de la résistance pour des structures monobrin et multibrin équivalentes – R=580mohms - Silicium

Le Tableau IV.2 rassemble les écarts de résistance constatés et les gains en résistance correspondants. La division par deux permet un gain de résistance de 8,3% à 22,6 MHz. Ensuite, la division par trois, quatre et cinq entraîne des écarts supérieurs à 10%, correspondant à des gains en résistances supérieurs à la centaine de milli-ohms. En régime basse fréquence, les écarts sont suffisamment faible (inférieur à 5%) pour pouvoir comparer les courbes entre elles et conclure que la division par deux, trois, quatre et cinq apporte un gain sur la résistance en haute fréquence.

Nombre de brins	Ecart (%)	Différence de résistance (mohm)	Fréquence (MHz)
2	8,29	80	22,6
3	13,33	133	24,2
4	12,55	130	26,6
5	16,5	153	17,9

Tableau IV.2. Tableau des écarts constatés avec la structure monobrin

La mesure du facteur de qualité de chacune de ces structures confirme l'apport de la division des conducteurs sur les performances du composant, l'inductance étant constante (Figure 4.60). La structure monobrin présente un facteur de qualité de 11,9 à 39,5 MHz tandis que les structures multibrin atteignent un facteur de qualité de 12,4 autour de 37 MHz.

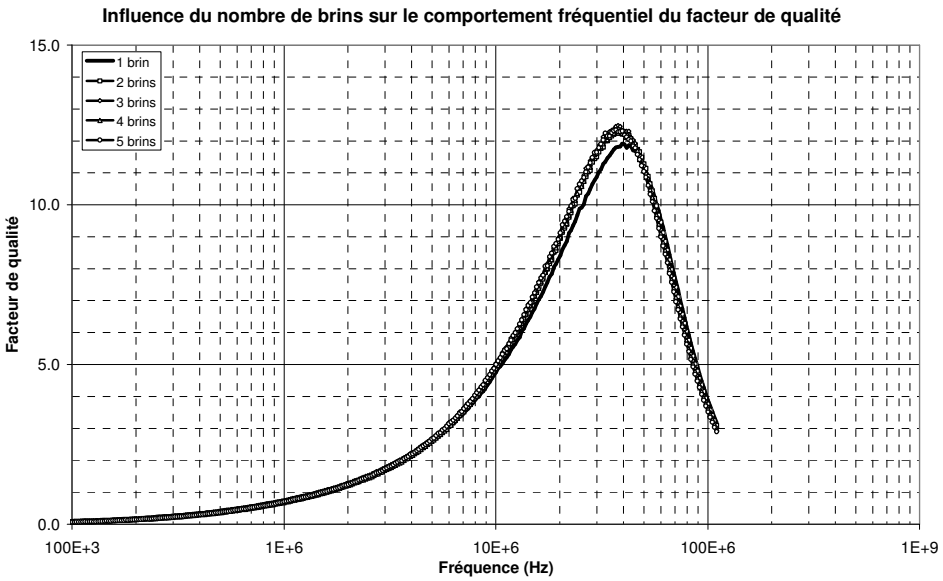


Figure 4.60. Profil fréquentiel du facteur de qualité pour des structures monobrin et multibrin équivalentes – R=580mohms - Silicium

La même démarche a été menée avec des composants réalisés sur substrat Pyrex®. Comme précédemment, la division d'un conducteurs en plusieurs brins n'affecte quasiment pas le comportement fréquentiel des différentes inductances (Figure 4.61).

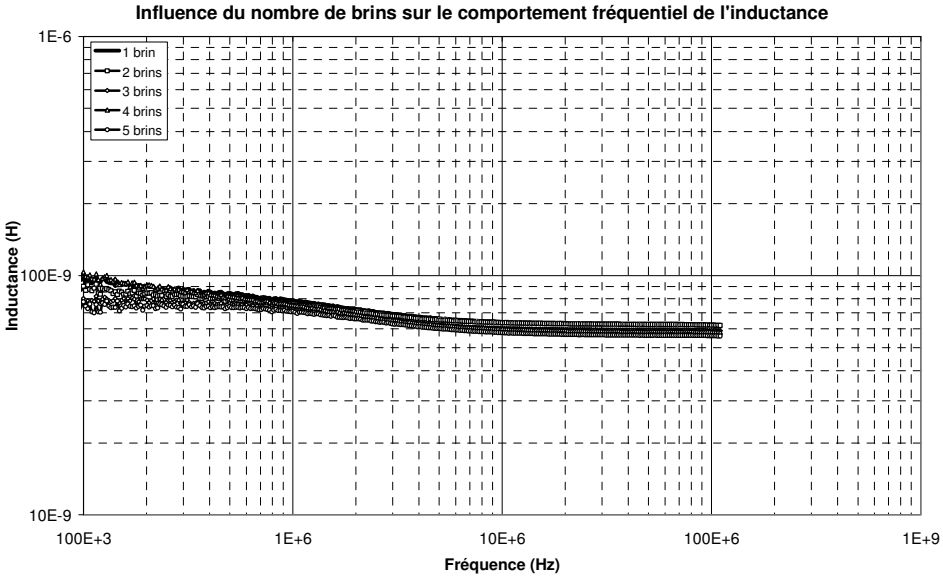


Figure 4.61. Profil fréquentiel de l'inductance pour des structures monobrin et multibrin équivalentes – R=520mohms – Pyrex®

Le tracé du profil fréquentiel des résistances de chacune des structures montre à nouveau un décrochage de la résistance au-delà de 10 MHz. L'écart des résistances varie selon le nombre de brins qui constitue l'inductance. Dans ce cas, il apparaît que l'écart avec la résistance de la structure monobrin est important lorsque les conducteurs sont divisés en deux et trois brins et se réduit lorsqu'ils sont divisés en quatre et cinq brins (Figure 4.62). En particulier, la courbe représentant le comportement fréquentiel de la résistance d'un conducteur divisé en cinq brins est un exemple de résultat difficile à exploiter. Bien que la résistance AC soit inférieure à celle de l'inductance monobrin autour de 60 MHz, en basse fréquence l'inductance à cinq brins est plus résistive de 100mohms. Par conséquent, aucune conclusion ne peut-être tirée dans ce cas précis.

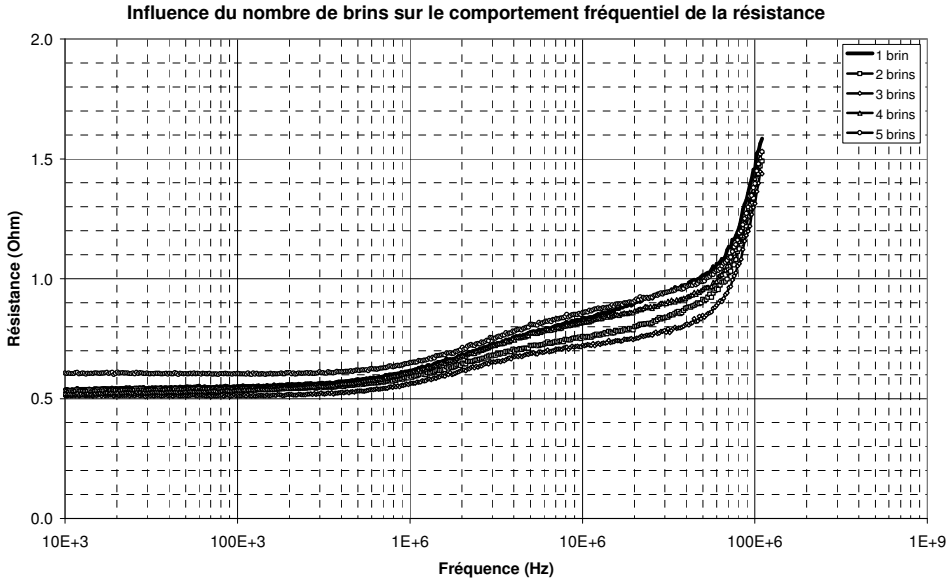


Figure 4.62. Profil fréquentiel de la résistance pour des structures monobrin et multibrin équivalentes – R=520mohms – Pyrex®

Ainsi, la division par deux des conducteurs génère un écart de résistance de 12 % à 27,2 MHz, soit un gain de 113 mohms sur la résistance. La division par trois entraîne un écart de 18,1% à 32,8 MHz soit un gain de 173 mohms. La division par quatre ne provoque un écart que de 7% à 60MHz, soit un gain de 73,6 mohms uniquement. La division en cinq brins laisse apparaître un écart de 5% mais qui ne peut être exploité du fait du décalage de la valeur DC de la résistance par rapport aux autres composants.

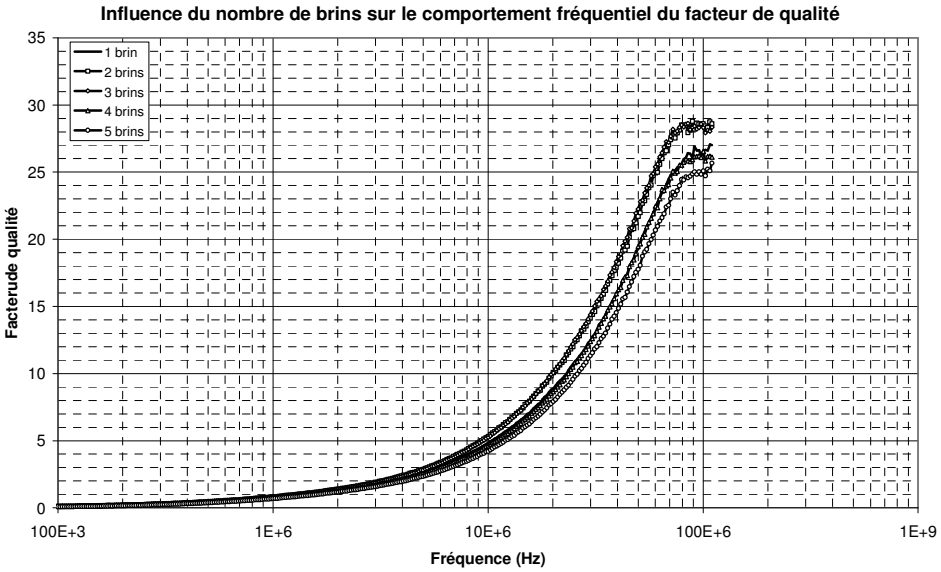


Figure 4.63. Profil fréquentiel du facteur de qualité pour des structures monobrins et multibrins équivalentes – R=520mohms – Pyrex®

Ensuite, le tracé du comportement fréquentiel du facteur de qualité confirme les observations précédentes (Figure 4.63). Lorsque les conducteurs sont divisés en deux et trois brins, une augmentation du facteur de qualité est constatée à partir de 10 MHz. L'amélioration de ce facteur de qualité est négligeable dans le cas d'une division en 4 brins des conducteurs. Finalement, le composant constitué de cinq brins ne présente pas de performances comparables aux autres composants. L'inductance monobrin affiche un facteur de qualité maximum de 27 à 107 MHz. Lorsque les

conducteurs sont divisés en deux brins, le facteur de qualité atteint 28,8 à 89,2MHz. Pour une division en trois brins, le facteur de qualité est de 28,6 à 85,2MHz.

En ce qui concerne la topologie « Interleaved », la série de comparaisons avec des structures monobrins de section équivalente montre que la division d'un conducteur en plusieurs brins permet de réduire la résistance alternative. Dans le même temps la valeur d'inductance et son comportement fréquentiel ne sont pas modifiés. En conséquence, le facteur de qualité maximum est augmenté. Ces observations confirment les simulations du chapitre II. En outre, ce phénomène est relevé quelque soit le substrat utilisé. Or, comme nous l'avons vu précédemment, l'utilisation d'un substrat isolant ne permet de réduire que la résistance alternative liée aux courants induits dans le substrat. Ceci laisse alors penser que la division des conducteurs n'affecte que les effets de proximité entre conducteurs et donc l'homogénéité de répartition des courants.

La réduction de la résistance alternative, et donc des pertes AC, grâce à la division des conducteurs est actuellement étudiée par le biais d'une modélisation en fréquence. Celle-ci permettra de connaître l'influence de différents paramètres géométriques (comme le nombre de tours, l'espacement interbrins ou le nombre de brins) mais également la répartition des courants au sein de chacun des brins. Cette étude doit aboutir à une méthode d'optimisation d'un tel composant afin d'optimiser son comportement AC.

II-7. Comparaison entre structures inductives classiques et « stacked »

Pour terminer cette étude nous avons mesuré et comparé l'influence du type d'association de bobines superposées (parallèle et série) sur le comportement fréquentiel de l'inductance et de la résistance équivalente avec les résultats obtenus pour une structure inductive classique. L'ensemble des paramètres géométriques sont constants. En associant deux bobines identiques superposées, nos objectifs sont :

- Connexion en parallèle : vérifier la division par deux de la résistance et l'influence du couplage magnétique pour la conservation de l'inductance
- Connexion en série : vérifier le doublement de la résistance et l'influence du couplage magnétique sur le quadruplement de l'inductance
- Déterminer par l'observation du comportement fréquentiel de L, R et Q si la superposition d'inductances génère des courants induits supplémentaires

La superposition des courbes fréquentielles des différents paramètres électriques pour chaque type d'association, ainsi que pour un composant monobrin, fait apparaître plusieurs tendances.

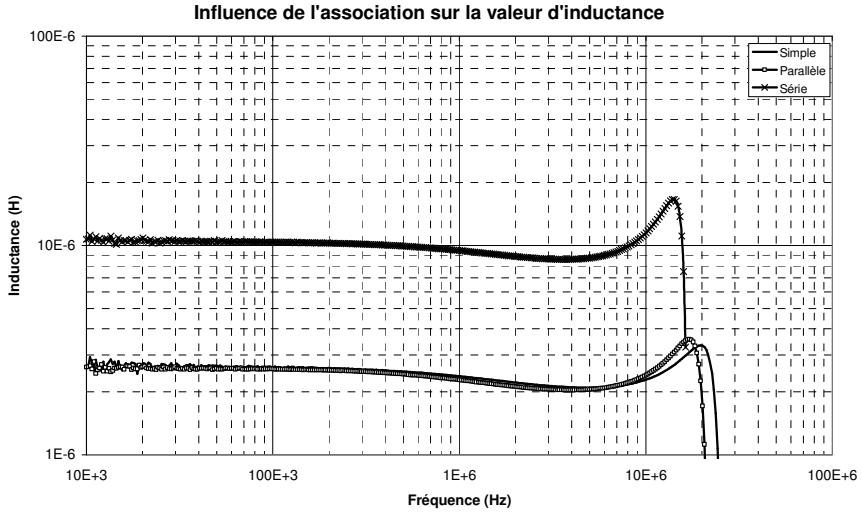


Figure 4.64. Influence du type d'association sur le comportement fréquentiel de l'inductance – 35 tours

Concernant la valeur d'inductance, la figure 4.64 montre que l'association en série permet une augmentation de cette dernière tandis que la mise en parallèle la conserve. Egalement, une diminution de la plage fréquentielle utilisable est observée pour les deux associations, et pour la mise en série en particulier.

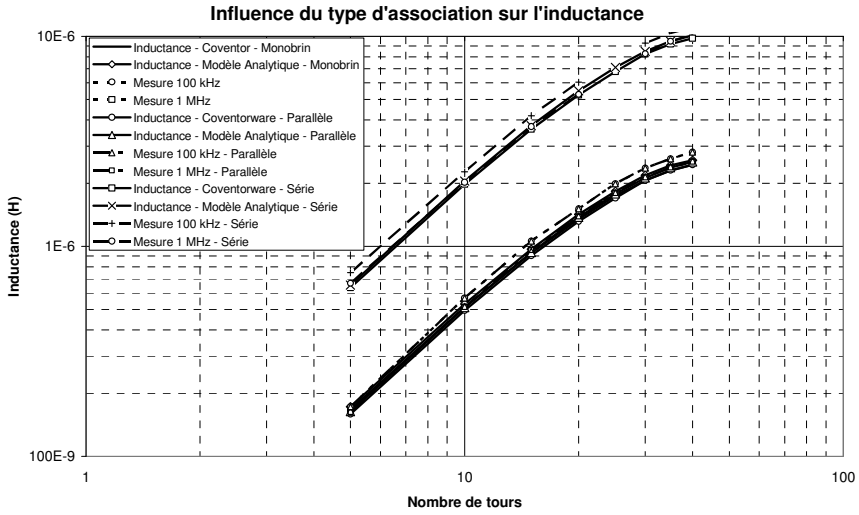
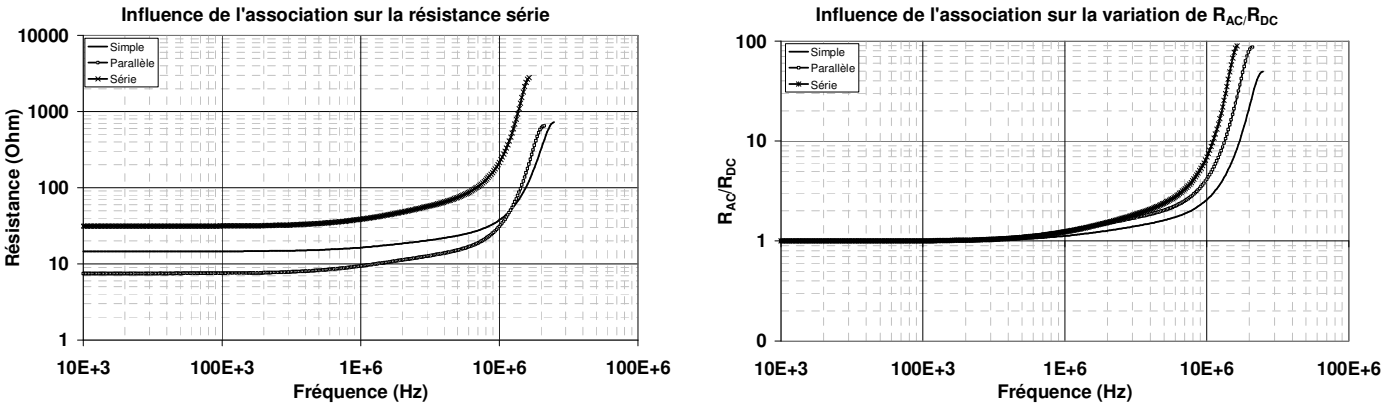


Figure 4.65. Influence du type d'association sur l'inductance

Par la suite, des valeurs d'inductances sont extraites à 100 kHz et 1 MHz pour plusieurs nombre de tours et comparées avec les résultats issus de la modélisation. Cette confrontation montre que, quel que soit le taux de remplissage, la mise en parallèle autorise une conservation de l'inductance tandis que la mise en série entraîne un quasi quadruplement de celle-ci (Figure 4.65). Les mesures sont en accord avec les résultats de simulation et valident ainsi la modélisation numérique présentée au chapitre II.



a) b)

Figure 4.66. Influence du type d'association sur le comportement fréquentiel de la résistance – 35 tours
a) Résistances mesurées, b) Résistances normalisées

L'analyse de la valeur de résistance montre qu'elle est également influencée par le type d'association des bobines (Figure 4.66.a). La connexion en série allonge la longueur électrique du composant, correspondant à une résistance plus élevée que dans le cas monobrin. En revanche, la mise en parallèle des bobines diminue la résistance, reflétant ainsi le grossissement de la section équivalente de conducteur.

Par ailleurs nous constatons que le comportement fréquentiel est également influencé. Pour mieux comprendre l'évolution de la résistance alternative R_{AC}, nous avons tracé la résistance normalisée R_{AC}/R_{DC} en fonction de la fréquence (Figure 4.66.b).

- mise en parallèle : bien que la résistance DC soit diminuée (Figure 4.66.a), la résistance AC voit sa croissance être plus rapide que dans le cas d'une inductance simple (Figure 4.66.b).

- mise en série : la résistance AC voit également sa croissance être plus rapide que dans le cas d'une inductance simple ainsi que pour deux inductances en parallèles (Figure 4.66.b).

Egalement, l'écart maximum entre R_{AC} et R_{DC} est bien plus important dans les deux cas d'association, que pour une bobine simple. Les paramètres géométriques et le substrat utilisé étant similaires pour tous les composants, l'étude de la résistance normalisée nous amène à conclure que l'évolution du comportement fréquentiel de R_{AC} en fonction de la topologie est liée à l'apparition de courants de circulation supplémentaires, issus de la proximité et du couplage des bobines superposées.

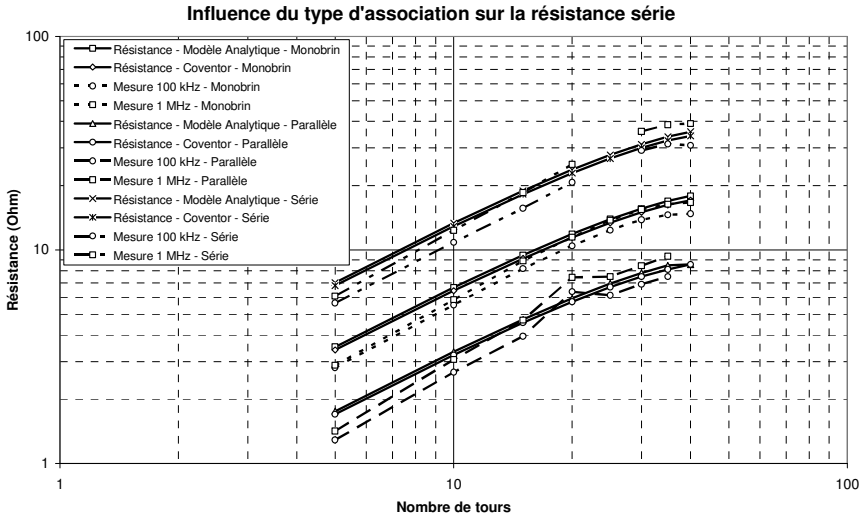


Figure 4.67. Influence du type d'association sur la résistance

Ensuite, afin de valider la modélisation et nos hypothèses sur l'influence du couplage magnétique dans l'association d'inductances superposées, nous avons extrait de nos mesures les valeurs de résistance à 100 kHz et 1 MHz et les avons confrontés aux résultats issus de simulation. Nous constatons alors que, quelque soit le taux de remplissage utilisé, la mise en parallèle permet de diviser par deux la résistance équivalente tandis que la mise en série entraîne son doublement (Figure 4.67). La modélisation est ainsi validée pour la mise en parallèle et en série d'inductances identiques magnétiquement couplées.

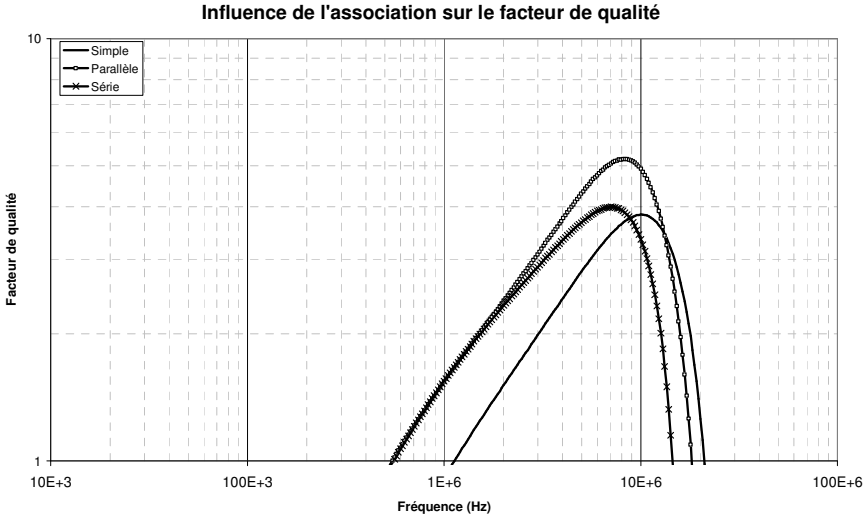


Figure 4.68. Influence du type d'association sur le comportement fréquentiel du facteur de qualité – 35 tours

Ensuite, l'analyse du facteur de qualité montre que l'association en série et en parallèle entraîne dans tous les cas son augmentation, comme le montre la figure 4.68. Toutefois, de telles associations semblent légèrement diminuer la fréquence de travail des composants obtenus en comparaison avec les structures monobrins de départ. Ce phénomène a déjà été observé dans la littérature et s'explique par l'apparition de la capacité entre les bobines [110].

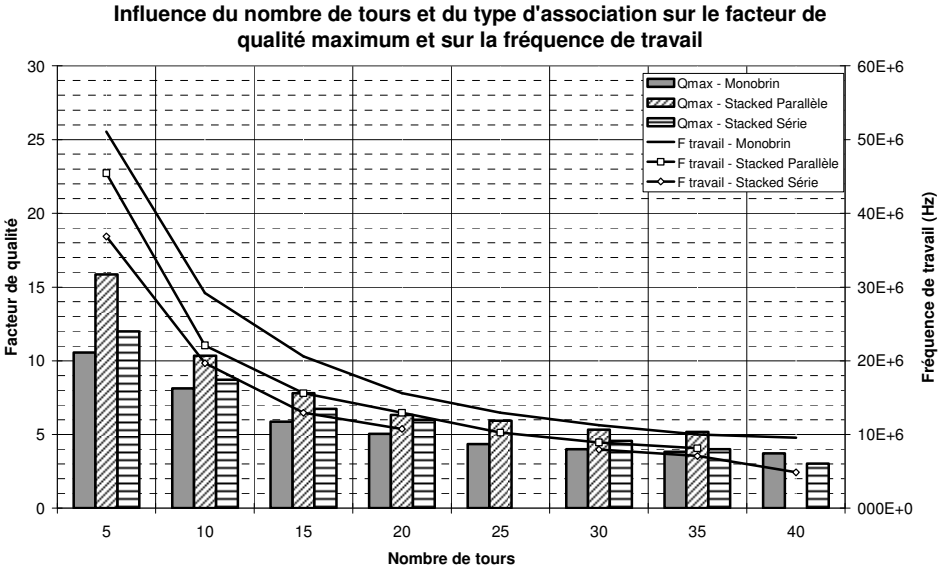


Figure 4.69. Implications fréquentielles de la superposition de deux bobines et du type d'association choisi

Cette tendance est observée pour l'ensemble des composants réalisés (Figure 4.69). Non seulement la fréquence de travail diminue avec le taux de remplissage mais elle est également influencée par le type d'association utilisé. Ces tendances sont liées à l'augmentation de la surface des composants (diamètre extérieur constant) conduisant à de plus grandes pertes dans le substrat. Par ailleurs, le facteur de qualité maximum des inductances constituées de deux bobines est systématiquement supérieur à celui d'une bobine monobrin.

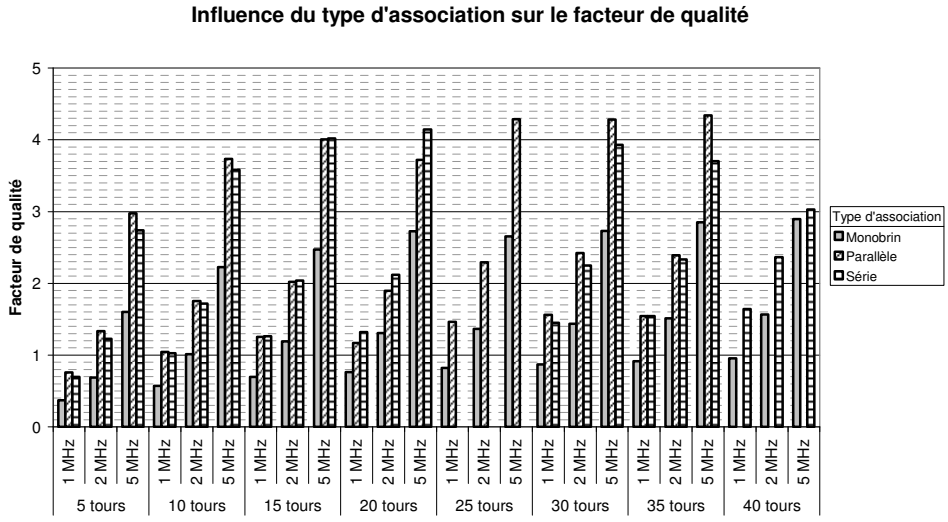


Figure 4.70. Influence de l'association en série et en parallèle sur le facteur de qualité

Pour des fréquences inférieures aux fréquences de travail et quelque soit le taux de remplissage des composants, nous constatons que la mise en série et en parallèle de deux bobines permet de quasiment doubler le facteur de qualité par rapport à une bobine seule (Figure 4.70).

3. Caractérisation en courant des structures inductives réalisées

Pour finaliser la caractérisation des inductances intégrées, nous avons cherché à déterminer leur tenue en courant. Pour cela, nous avons inséré ces inductances intégrées dans une structure Buck dont les spécifications sont compatibles avec une application de téléphonie portable.

III-1. Description du montage

Nous avons utilisé un montage Buck, développé par Stéphane Petibon et le service technique « *Conception et caractérisation des convertisseurs de puissance* » géré par Lionel Séguier. Cette structure est basée sur une cellule de commutation NCP 1509 de chez On Semiconductor [141]. Elle est prévue pour convertir une tension d'entrée de 3,3V en une tension de sortie régulée de 1V, avec un courant de sortie maximum de 500mA. La fréquence de commutation utilisée est de 1 MHz (Figure 4.71).

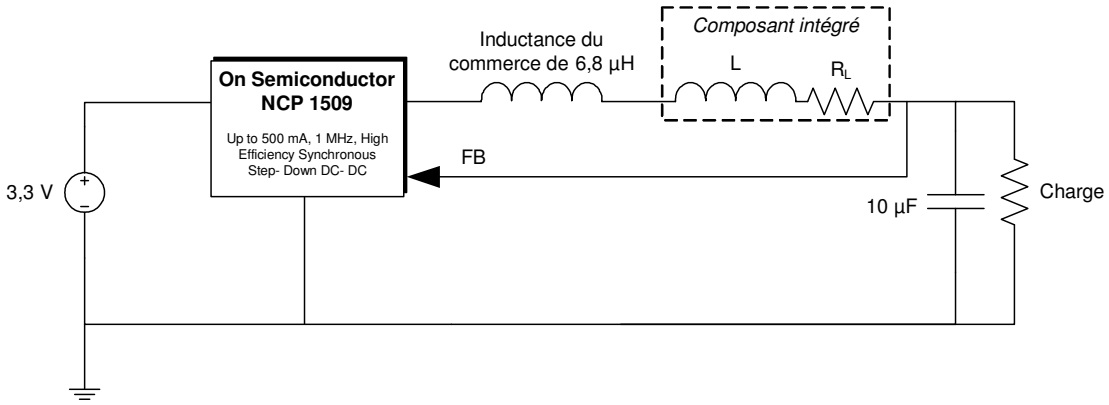
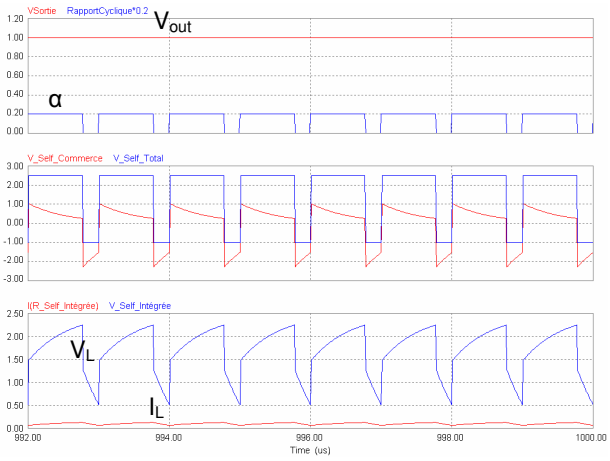


Figure 4.71. Structure Buck utilisée pour la caractérisation en courant des inductances intégrées

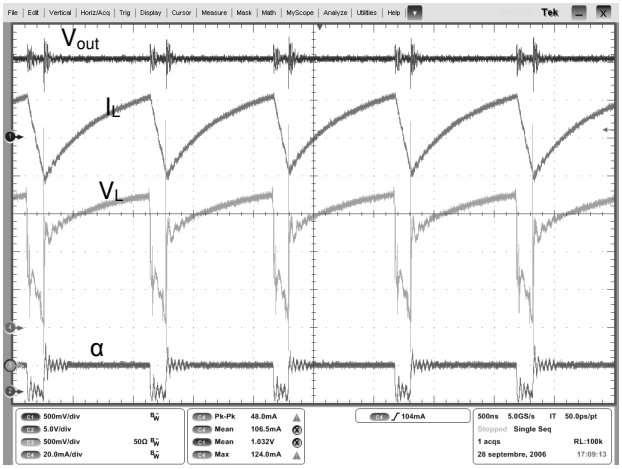
A cette fréquence, et à la vue du rapport cyclique imposé par la tension d'entrée et de sortie, nos valeurs d'inductances sont trop faibles pour pouvoir tester plusieurs gammes de courant de sortie sans entrer en régime de conduction discontinue (notamment en régime de faible charge). Nous avons donc suivi les propositions de conception contenues dans le data-sheet de la cellule de commutation et conseillant l'utilisation d'une inductance de lissage de 6,8µH. En ajoutant cette dernière en série à nos inductances intégrées, nous pouvons ajuster la valeur moyenne du courant de sortie tout en restant en régime de conduction continue. Les mesures ont été réalisées avec un courant de sortie de 100 mA, 300 mA et 500 mA. Une comparaison avec des résultats de simulation sous PSIM est également présentée.

III-2. Inductance spirale 2,5 µH & 16,6 ohms - Mesures avec un courant de sortie de 100 mA

Nous avons commencé par tester les composants présentant la plus forte valeur d'inductance, 2,5µH. Ce composant, constitué d'un conducteur de 15 µm de large et d'épaisseur bobiné sur 40 tours, est le plus résistif réalisé. Les simulations, reprenant le schéma de la figure 4.71, nous ont tout d'abord indiqué que pour un courant de sortie de 100 mA, le convertisseur restait en conduction continue (Figure 4.72.a). Ensuite, le tracé de la tension aux bornes de l'inductance intégrée V_L met en évidence la forte résistance série. Les mesures à l'oscilloscope (Figure 4.72.b), montrent les mêmes formes d'ondes qu'en simulation.



a)



b)

Figure 4.72. Signaux aux bornes de l'inductance intégrée
a) Simulation, b) Mesure

Le Tableau IV.3 montre que les mesures expérimentales concordent avec les prévisions obtenues en simulation. Dans les deux cas, nous obtenons une tension de sortie régulée de 1V, donnée par des rapports cycliques comparables. Ceux-ci sont supérieurs à 0,5 pour compenser la chute de tension aux bornes de la résistance série du composant intégré. Le courant moyen en sortie est de 100 mA, fixé par une charge de 10 ohms. Par ailleurs, la mesure de l'ondulation de ce même courant de sortie est proche de la valeur simulée.

Fréquence de commutation : 1 MHz	**Simulation**	**Mesure**
V_{in}=3,5V – I_{out}=100mA		
Tension de sortie (V)	1	1,032
Courant moyen (A)	0,1	0,106
ΔI_L (A)	0,063	0,048
Rapport Cyclique	0,77	0,85

Tableau IV.3. Contraintes électriques supportées par l'inductance intégrée de 2,5µH

Les tests menés avec des courants supérieurs à 100 mA entraînent la casse du composant.

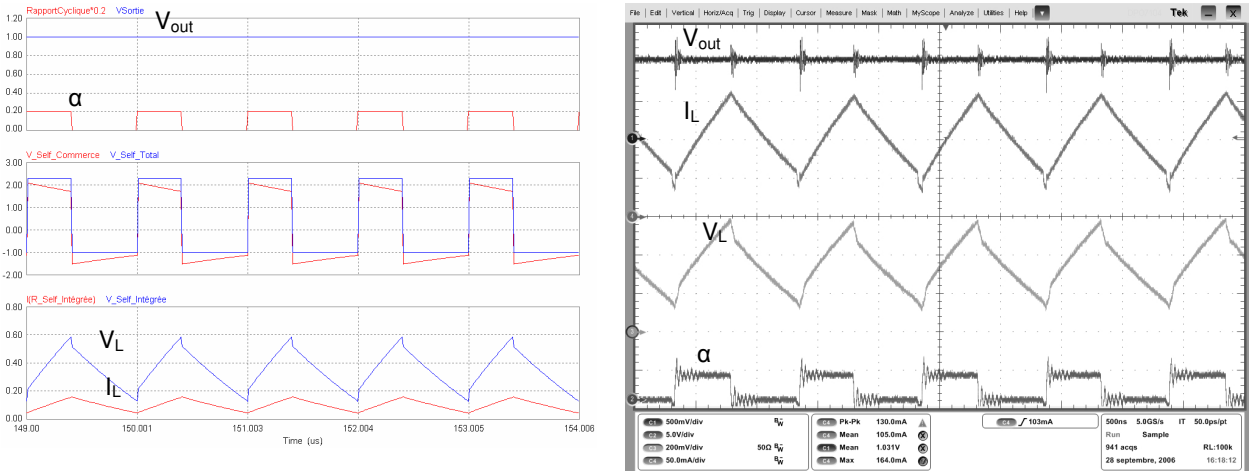
III-3. Inductance spirale 160 nH & 3,3 ohms

Nous avons continué en testant des composants de plus faible valeur d'inductance, 160nH. Ce dernier, constitué d'un conducteur de 15µm de large et d'épaisseur bobiné sur 5 tours, présente une résistance série de 3,3 ohms. Les trois étapes de mesures suivantes ont été réalisées avec le même composant.

III-3-1. Formes d'ondes

- Courant de sortie de 100mA

Les simulations, reprenant le schéma de la figure 4.71, nous ont tout d'abord indiqué que pour un courant de sortie de 100 mA, le convertisseur restait en conduction continue (Figure 4.73.a). Les mesures à l'oscilloscope (Figure 4.73.b), montrent les mêmes formes d'ondes qu'en simulation. Notamment, la forme d'onde de la tension aux bornes de l'inductance intégrée fait clairement apparaître l'influence de la résistance série et les di/dt. Cette forme d'onde correspond à celle décrite au chapitre I dans le cas d'une résistance série non négligeable.



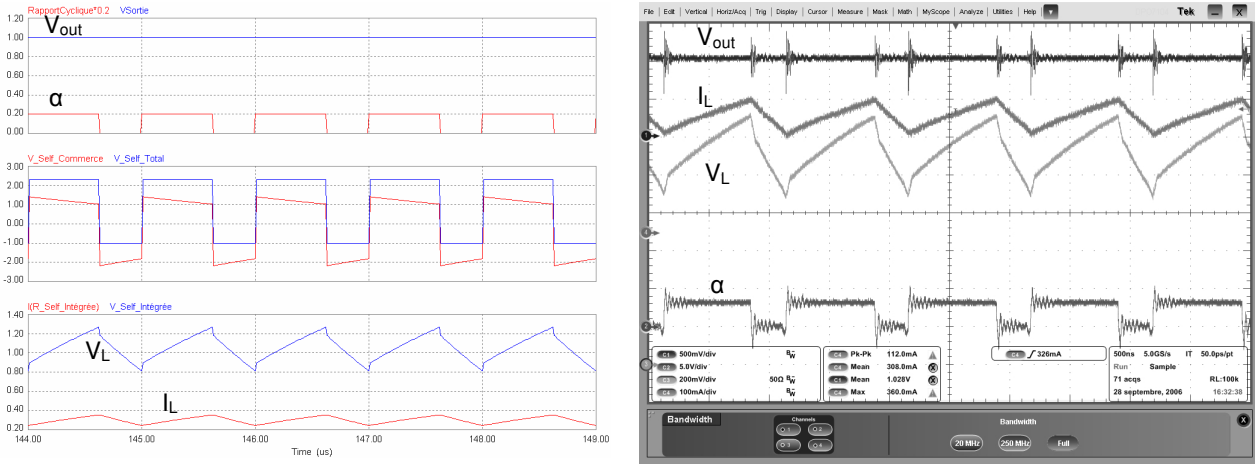
a) b)

Figure 4.73. Signaux aux bornes de l'inductance intégrée
a) Simulation, b) Mesure

- Courant de sortie de 300 mA

La même démarche a été conduite pour caractériser l'inductance avec un courant fixé à 300 mA par une charge résistive de 3,3 ohms.

Les simulations, réalisées reprenant le schéma de la figure 4.71, indiquent que pour un courant de sortie de 300 mA, le convertisseur reste en conduction continue (Figure 4.74.a). Les mesures à l'oscilloscope (Figure 4.74.b), montrent les mêmes formes d'ondes qu'en simulation. Comme précédemment, la forme d'onde de la tension aux bornes de l'inductance laisse apparaître une partie proportionnelle au courant I_L ainsi que les di/dt.



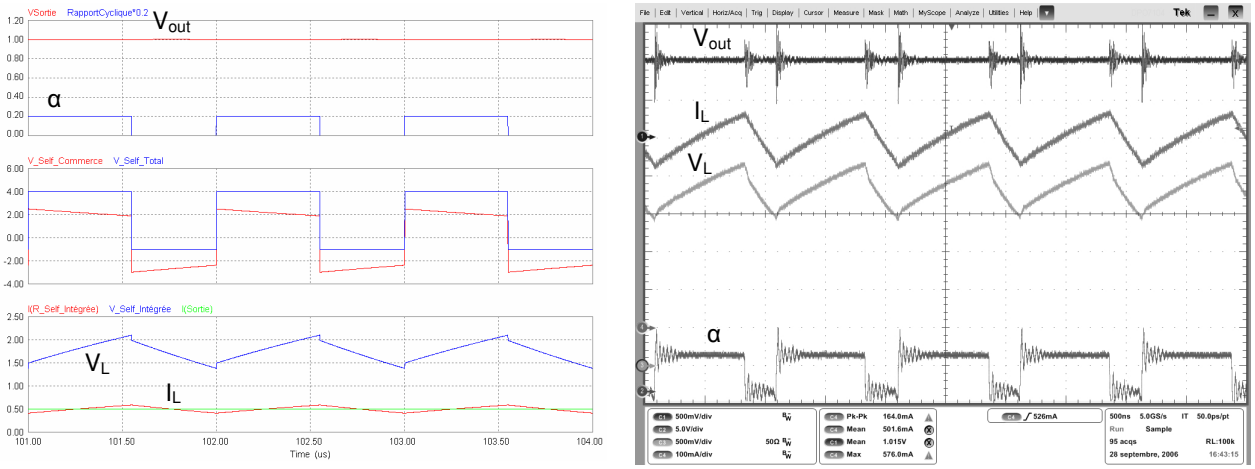
a) b)

Figure 4.74. Signaux aux bornes de l'inductance intégrée
a) Simulation, b) Mesure

- Courant de sortie de 500 mA

Finalement, nous avons caractérisé cette inductance avec un courant de sortie de 500mA fixé par une charge résistive de 2 ohms.

Les simulations avec PSIM, reprenant le schéma de la figure 4.71, indiquent que pour un courant de sortie de 300 mA, le convertisseur reste en conduction continue (Figure 4.75.a). Les mesures à l'oscilloscope (Figure 4.75.b), montrent les mêmes formes d'ondes qu'en simulation. Ici, il est à noter que la tension d'entrée a du être élevée à 5V afin d'éviter que le rapport cyclique n'entre en butée. En effet, avec ce courant de sortie, la chute de tension due à la résistance série du composant intégrée devient trop importante pour que le régulateur puisse maintenir 1V en sortie.



a) b)

Figure 4.75. Signaux aux bornes de l'inductance intégrée
a) Simulation, b) Mesure

III-3-2. Récapitulatif des principales caractéristiques électriques mesurées

Le tableau IV.4 montre que les mesures expérimentales concordent avec les prévisions obtenues en simulation. Dans les deux cas, nous obtenons une tension de sortie régulée de 1V, donnée par des rapports cycliques comparables. Nous constatons que le rapport cyclique augmente avec le courant moyen pour compenser la chute de tension amenée par la résistance série de l'inductance intégrée.

Fréquence de commutation : 1MHz	**Simulation**	**Mesure**
V_{in}=3,3V - I_{out}=100mA		
Tension de sortie (V)	1	1,03
Courant moyen (A)	0,1	0,105
ΔI_L (A)	0,114	0,130
Rapport Cyclique	0,4	0,45
V_{in}=3,3V - I_{out}=300mA		
Tension de sortie (V)	1	1,028
Courant moyen (A)	0,3	0,308
ΔI_L (A)	0,110	0,112
Rapport Cyclique	0,62	0,7
V_{in}=5V - I_{out}=500mA		
Tension de sortie (V)	1	1,015
Courant moyen (A)	0,5	0,501
ΔI_L (A)	0,176	0,164
Rapport Cyclique	0,55	0,7

Tableau IV.4. Contraintes électriques supportées par l'inductance intégrée

Les courants moyens dans l'inductance, fixés par des charges de 10 ohms, 3,3 ohms, et 2 ohms, correspondent aux simulations. De même, la mesure de l'ondulation de ce même courant et la forme de la tension aux bornes de l'inductance sont comparables aux valeurs simulées, démontrant ainsi le comportement inductif du composant intégré, pour une fréquence de commutation de 1 MHz. Par ailleurs, l'expérience a montré que ce composant a résisté à la circulation d'un courant moyen de 500 mA et pouvait atteindre une valeur crête de 583 mA.

4. Conclusion

Dans ce chapitre, nous avons démontré la faisabilité d'inductances intégrées à faible résistance série et capables de fonctionner entre 1 MHz et 10 MHz et au-delà.

La modélisation, présentée au chapitre II, avait indiqué l'intérêt résidant dans l'utilisation d'inductances couplées et notamment dans la mise en série et en parallèle de bobines. Pour la fabrication de ces composants et la validation des modélisations, un procédé technologique reproductible a été présenté et a bénéficié de constantes améliorations grâce au savoir faire et au professionnalisme de l'équipe TEAM.

Le premier volet de ce chapitre a consisté à mettre en place la caractérisation des composants inductifs réalisés, pour valider l'ensemble de notre étude. Pour cela, un banc de mesure impédance-métrique d'une part et un convertisseur Buck d'autre part, ont été utilisés. Tout d'abord, le banc de mesure d'impédance nous a permis de valider notre modèle de dimensionnement de composants inductifs et de déterminer la plage fréquentielle de fonctionnement. La modélisation présentée au chapitre II nous permet donc de déterminer les valeurs de L et de R pour des bobines planaires classiques et pour une association en parallèle et en série de plusieurs bobines. En particulier, nous avons démontré la capacité de ce modèle a évaluer couplage magnétique entre deux bobines quelque soit type de topologie envisagée (« interleaved » et « stacked »). Ensuite, dans le cadre de mesures d'inductances superposées en série, nous avons déterminé que les coefficients de couplage k dépassaient 0,9 quelque soit le taux de remplissage des bobines. Dans ce contexte, les conditions pour obtenir une réduction de la résistance avec une quasi-conservation de l'inductance ont été validées. Ces conditions correspondent à un fort couplage magnétique entre les bobines.

L'intérêt de l'intégration sur un substrat isolant de type Pyrex® a également été vérifié. Son caractère isolant supprime toute forme de pertes par courants induits, se traduisant par une bande passante accrue et des facteurs de qualité supérieurs aux hautes fréquences. En outre, grâce à une comparaison avec des composants réalisés sur silicium, nous avons pu déterminer les causes de l'augmentation de la résistance AC. Premièrement, il est apparut que les effets de proximité entre les conducteurs interviennent à toutes les fréquences. Dans ce cadre nous avons montré que la division des conducteurs selon une topologie « interleaved », donnait la possibilité de réduire la résistance AC. Ce phénomène a été mesuré à plusieurs reprises et pour différents substrats et semble être directement lié aux effets de proximité entre conducteurs. Deuxièmement, la comparaison des mesures a démontré qu'à partir une certaine fréquence, l'augmentation de la résistance AC est étroitement liée à la présence d'un substrat semi-conducteur. Le caractère isolant du Pyrex® supprime alors cette augmentation supplémentaire de la résistance AC. Ce travail a pu être mené à bien grâce au concours de Philippe Artillan et de Nicolas Mauran du service 2I.

Dans une troisième partie, nous avons entrepris de vérifier la tenue en courant des composants inductifs. Pour cela, nous avons utilisé un convertisseur Buck, dimensionné par Stéphane Petibon et Lionel Séguier pour une application de téléphonie mobile 3,3V-1V. Les formes d'ondes relevées à l'oscilloscope ont permis de caractériser le comportement inductif des composants intégrés pour une fréquence de commutation de 1 MHz. Nous avons alors démontré que les conducteurs de section carrée de 15 µm de large et d'épaisseur sont capables de véhiculer des courants pics de près de 600 mA. Ensuite, pour les composants présentant la résistance série la plus élevée, leur rupture a été obtenue pour un courant moyen supérieur à 100mA. Ces deux séries de mesures montrent alors que si

les conducteurs utilisés sont capables de supporter le courant imposé, la résistance série limite le courant maximum par la dissipation thermique qu'elle induit.

Par conséquent, à la lumière des résultats expérimentaux présentés, validant la modélisation numérique du chapitre II, nous pouvons conclure que les procédures de dimensionnement proposées, visant à diminuer la résistance série à valeur d'inductance donnée, vont permettre de fournir des composants capables de supporter des courants pics d'au moins 600 mA, pour des fréquences au moins égales à 1 MHz. Egalement, la faisabilité de composants inductifs constitués d'au moins deux bobines, liées par un fort couplage magnétique, a été démontrée. Des perspectives d'intégration des convertisseurs à haute fréquence de commutation s'ouvrent alors nous.

Conclusion générale

Les travaux de thèse présentés dans ce document représentent une contribution à l'intégration microélectronique d'éléments passifs inductifs pour des applications de puissance. Sur la base d'études des besoins énergétiques actuels et des solutions technologiques mises en œuvre, nous avons identifié les principaux verrous technologiques à l'intégration complète de convertisseurs de puissance. Un de ces verrous concerne l'intégration des composants magnétiques faisant appel à de nouveaux besoins technologiques. A l'aide de simulations numériques et aux éléments finis, nous avons étudié le dimensionnement de ces composants tenant compte des contraintes de conversion de puissance. Ces études ont été validées expérimentalement en développant un procédé technologique de fabrication d'inductances ainsi qu'un banc de caractérisation d'impédance.

Ainsi, dans le chapitre II, après avoir présenté l'état de l'art de la modélisation des inductances intégrées planaires, nous proposons un modèle numérique permettant de dimensionner l'inductance et la résistance d'un bobinage destiné au stockage de l'énergie. La méthode employée est basée sur les équations de Grover pour le calcul de l'inductance propre des spires et la résolution de l'équation de Neumann pour le calcul de la mutuelle inductance entre les spires. Après une première validation de ce modèle à l'aide du logiciel de simulation aux éléments finis Coventorware, des études ont été réalisées afin de définir les conditions minimisant la résistance série pour une valeur d'inductance donnée d'une bobine classique. Les conséquences de l'utilisation d'un substrat semi-conducteur et de la montée de la fréquence d'utilisation sur la résistance série ont également été rappelées. A l'issue de simulations menées avec le modèle numérique et en fréquence avec Coventorware, une méthodologie de dimensionnement a été proposée ainsi que des règles de bobinage pour atteindre une valeur d'inductance donnée avec la plus faible résistance possible en tenant compte d'un encombrement maximum du composant et des contraintes technologiques. Nous avons alors vu que la réduction des dimensions d'une inductance planaire classique à une échelle micrométrique s'accompagne d'une résistance série élevée. Ainsi, pour un encombrement et une technologie donnée, une structure inductive classique limite les possibilités d'optimisation.

La possibilité d'associer plusieurs inductances en série et parallèle a alors été investiguée. L'objectif dans cette association est de faire intervenir le couplage magnétique pour augmenter les performances du composant. L'étude de la bibliographie nous a permis d'identifier les topologies « interleaved » et « stacked » comme étant les plus adaptées à l'association d'inductances de forte

valeur. Le modèle numérique a été amendé pour prendre en compte les caractéristiques géométriques de ces deux topologies. Grâce à cette modélisation, il a été démontré que la recherche d'un couplage fort était indispensable pour diminuer le ratio R/L de manière significative. En particulier, nous avons vu que dans ces conditions de couplage, la mise en parallèle entraînait la réduction de la résistance série à inductance constante. Egalement, la connexion en série provoque le doublement de l'inductance pour une même résistance. Les simulations ont démontrées que pour toutes les topologies, un fort couplage sera assuré si les spires sont très proches les unes des autres et si chacune des inductances présente un taux de remplissage important. Ensuite, l'association d'inductances magnétiquement couplées a laissé apparaître des marges de manœuvres pour l'optimisation des performances des composants. Ainsi, la mise en parallèle de bobines semble plus appropriée pour la réduction de la résistance série pour une valeur d'inductance constante tandis que la mise en série permet plus facilement d'atteindre de fortes valeurs d'inductances sur de plus faibles surfaces et/ou avec de plus faibles résistances. Les simulations ont révélé que l'utilisation d'une topologie « interleaved » semble provoquer une baisse de la résistance AC sur une plage fréquentielle donnée. Cela revient à diviser astucieusement le conducteur de départ en plusieurs brins connectés en parallèle. Par conséquent, sur la base de ces observations, une méthodologie de bobinage a été proposée, tenant compte à la fois des contraintes de puissance et de la montée en fréquence, pour des structures simples ainsi que pour l'association de plusieurs bobines magnétiquement couplées.

Le troisième chapitre résume le procédé technologique développé. Sur la base de l'étude bibliographique des techniques de fabrication d'inductances intégrées pour la puissance et de l'expérience acquise au laboratoire dans la réalisation des structures inductives 3D, nous avons développé un procédé utilisant les étapes essentielles d'enduction de résine épaisse, pour la constitution d'un moule de définition ainsi que pour l'isolation des composants, ainsi que de croissance électrolytique de cuivre. Diverses solutions ont été mises en place notamment pour garantir l'homogénéité d'épaisseur des bobines (choix de la base de croissance et polissage) quelle que soit leur position sur le wafer et le niveau technologique considéré. L'isolation entre les deux niveaux de bobines s'effectue avec une résine époxy SU-8, utilisée pour ses caractéristiques électriques et planarisantes. La mise au point des paramètres de son enduction, associée à un polissage, a permis d'obtenir une couche isolante à la fois fine et plane. Par ailleurs, la possibilité de transposer le procédé technologique sur un substrat Pyrex® a été démontrée et permet d'envisager une amélioration des performances énergétiques de ces composants intégrés (suppression des pertes substrat).

Le quatrième chapitre de ces travaux valide les simulations numériques de l'inductance propre et mutuelle et de la résistance de bobines classiques puis associées en série et en parallèle. Dans ce but, un banc de caractérisation impédancemétrique a été mis en place pour étudier le comportement fréquentiel de L, R et Q de plusieurs composants inductifs jusqu'à 110MHz. Ces mesures nous ont tout d'abord aidé à démontrer la reproductibilité du procédé technologique. Puis, elles ont servis à valider l'étude du comportement fréquentiel petit signal de L et de R pour différents jeux de paramètres géométriques ainsi que pour l'ensemble des topologies étudiées L'influence du couplage magnétique a également été démontrée par la mesure de l'inductance et de la résistance Particulièrement, les mesures de deux bobines identiques superposées connectées en série ont permis d'extraire un coefficient de couplage supérieur à 0,9.

L'analyse du comportement fréquentiel des composants a démontré que ceux présentant le plus fort taux de remplissage étaient les plus optimisés en termes de résistance mais généraient également les pertes les plus importantes dans le silicium. Ces pertes participent à l'augmentation avec la fréquence de la résistance série alternative par couplage magnétique avec les conducteurs, se

traduisant par une forte limitation du facteur de qualité maximum et de la fréquence de résonance. Le remplacement du silicium semi-conducteur par un substrat Pyrex® isolant a alors entraîné une plus faible augmentation de la résistance alternative et par conséquent un gain sur le facteur de qualité maximum et la fréquence de résonance. La plage fréquentielle de fonctionnement des inductances caractérisées s'étend alors jusqu'à la fréquence maximum de mesure de 110MHz. Ensuite, bien qu'un gain du facteur de qualité ait été constaté grâce à l'association en parallèle et en série d'inductances superposées identiques, une légère diminution de la plage fréquentielle d'utilisation a été constatée et est liée à la capacité entre les deux niveaux de bobines.

Pour effectuer les premières validations en condition réelle d'utilisation, des composants ont été intégrés dans un convertisseur Buck afin de connaître leur tenue en courant. Il est alors apparu que la section des conducteurs choisie permet la circulation d'un courant d'au moins 500mA pour les composants présentant une faible résistance série. L'analyse des formes d'onde ont par ailleurs permis de visualiser l'influence de la résistance sur la tension aux bornes de l'inductance intégrées et sont en accord avec les simulations PSIM.

Perspectives

Tout d'abord, du point de vue de la modélisation numérique, des évolutions sont nécessaires afin d'approfondir notre compréhension du fonctionnement de ce composant. En effet, le modèle présenté au chapitre II est limité car il ne fournit les valeurs de L et R qu'en basse fréquence. Avec la thèse de Philippe Artillan débutée en 2005, le développement d'un modèle PEEC (Partial Element Equivalent Circuit) permet une meilleure étude en fréquence des éléments L et R d'inductances planaires. L'approche PEEC consiste à mailler les conducteurs de manière à garantir une densité de courant homogène dans chaque maille. A travers cette méthode il sera certainement possible d'accéder à la répartition des courants dans les conducteurs en fonction de la fréquence et ainsi de mieux comprendre les effets de proximité sur la résistance AC et ainsi proposer une approche systématique meilleure que celle que nous avons commencé à aborder dans cette thèse.

Ensuite, du point de vue technologique, le procédé mis en place ouvre la voie à la réalisation de divers composants magnétiques nécessaires pour les prochaines générations de structures de conversion de puissance. En premier lieu, la recherche de très faibles valeurs de résistance doit amener à la mise en parallèle de plus de 2 bobines superposées. La recherche d'un empilement de plusieurs inductances doit également être appliquée à la mise en série pour atteindre de très hautes valeurs d'inductance et/ou réduire l'encombrement du composant magnétique sur le substrat. Finalement, cet empilement, et le fort couplage magnétique qui en résulte, devrait permettre la réalisation d'une deuxième catégorie essentielle de composants magnétiques : les transformateurs.

Définition de l'inductance propre

La valeur d'inductance d'un circuit peut être calculée si la répartition du champ magnétique *B* est connue. Le mouvement de charges électriques dans un conducteur est à l'origine de la création de ce champ magnétique. Dans le cas d'une spirale planaire, si nous considérons un des enroulements comme un circuit fermé parcouru par un courant, *I* connu, alors l'intensité du champ magnétique, *B*, en un point donné de l'espace dépend de ce courant et de la distance vis-à-vis du circuit (Figure 1). La valeur de ce champ en tout point de l'espace est donnée par la loi de Biot et Savart [5] :

$$\overrightarrow{B(r)} = \frac{I\mu_0}{4\pi} \oint_C d\vec{r}' \times \frac{\vec{r} - \vec{r}'}{\left\| \vec{r} - \vec{r}' \right\|^3} \tag{I.1}$$

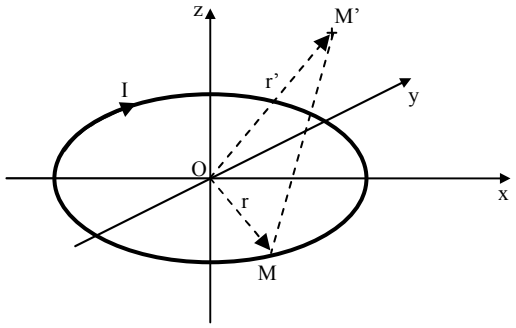


Figure 1. Circuit fermé parcouru par un courant I.

La circulation du champ magnétique *B* est appelée flux magnétique. Ce flux Φ traverse la surface s'appuyant sur le contour du circuit fermé *C* et s'évalue par la loi de Faraday [5] :

$$\Phi = \int_S \vec{B}.\vec{n}dS \tag{I.2}$$

Il est alors possible de calculer la valeur de l'inductance du circuit *L* [5] :

$$L = \frac{\Phi}{I} \tag{I.3}$$

Définition de la mutuelle inductance

Lorsque nous sommes en présence de deux circuits de contour C_1 et C_2 parcourus par des courants I_1 et I_2, nous pouvons calculer à partir de (I.2), le flux propre Φ_{11} produit par C_1 (I.4) et Φ_{22} produit par C_2 (I.5) :

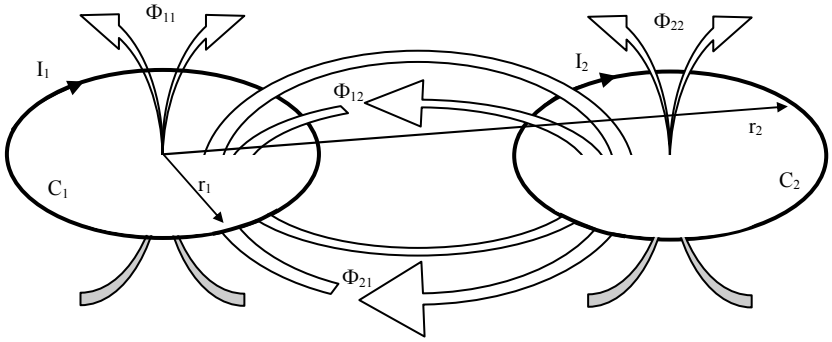


Figure 2. Interaction magnétique entre deux circuits électriques

$$\phi_{11} = \int_{S1} \overrightarrow{B_1}.\vec{n}.d\,S_1 \tag{I.4}$$

$$\phi_{22} = \int_{S2} \overrightarrow{B_2}.\vec{n}.d\,S_2 \tag{I.5}$$

ainsi que les inductances propres de C_1 et C_2, respectivement L_{11} et L_{22} :

$$L_{11} = \frac{\Phi_{11}}{I_1} \tag{I.6}$$

$$L_{22} = \frac{\Phi_{22}}{I_2} \tag{I.7}$$

Si les deux circuits sont suffisamment proches, une partie flux du champ magnétique créé par l'un des circuits traverse l'autre (Figure 2). Nous pouvons calculer le flux Φ_{12} du champ B_2 produit par le circuit C_2 et traversant le circuit C_1 :

$$\phi_{12} = \int_{S1} \overrightarrow{B_2}.\vec{n}.d\,S_1 \tag{I.8}$$

De la même manière, le flux Φ_{21} du champ B_1 produit par le circuit C_1 et traversant le circuit C_2 se calcule grâce à l'expression suivante :

$$\phi_{21} = \int_{S2} \overrightarrow{B_1}.\vec{n}.d\,S_2 \tag{I.9}$$

Nous pouvons alors définir les mutuelles inductances L_{12} et L_{21} tels que :

$$L_{12} = \frac{\Phi_{12}}{I_2} \tag{I.10}$$

$$L_{21} = \frac{\Phi_{21}}{I_1} \tag{I.11}$$

L'expression littérale qui est la plus utilisée pour définir la mutuelle inductance est la formule de Neumann [5] :

$$L_{12} = L_{21} = \frac{\mu_0}{4\pi} \oint_{C2} \oint_{C1} \frac{d\overrightarrow{r_1} \cdot d\overrightarrow{r_2}}{\left\| \overrightarrow{r_1} - \overrightarrow{r_2} \right\|} \tag{I.12}$$

La qualité du couplage magnétique est alors définie par le coefficient de couplage k, entier variant entre 0 et 1 (I.13) :

$$k = \frac{L_{12}}{\sqrt{L_{11} \cdot L_{22}}} \tag{I.13}$$

Généralisation pour le calcul d'inductance

Dans un système composé de *n* circuits, un circuit parcouru par un courant I est traversé par un flux total Φ_i composé du flux propre Φ_{ii} de son champ magnétique B et des flux Φ_{ij} des champs magnétiques créés par les n-1 circuits qui l'entourent :

$$\phi_i = \phi_{ii} + \sum_{\substack{j=1 \\ j \neq i}}^{n} \phi_{ij} \tag{I.14}$$

Dès lors que le flux magnétique total est connu, l'inductance totale L_i du circuit considéré peut être calculée à partir des expressions (I.3) et (I.10) :

$$L_i = \frac{\phi_i}{I_i} = L_{ii} + \sum_{\substack{j=1 \\ j \neq i}}^{n} L_{ij} \cdot \frac{I_j}{I_i} \tag{I.15}$$

où L_{ii} est l'inductance propre du circuit considéré et L_{ij} les mutuelles inductances caractérisant les interactions magnétiques entre le circuit et le reste du système.

Un conducteur isolé : Effets de peaux

Dans le cas d'un conducteur isolé, l'augmentation de la fréquence de variation du courant entraîne la création d'une fém. comme décrit par 2.29. Des boucles de courants apparaissent alors dans le conducteur de telle manière à s'opposer à la circulation du courant principal *i(t)* qui leur a donné naissance (Figure 2.1) [15-19].

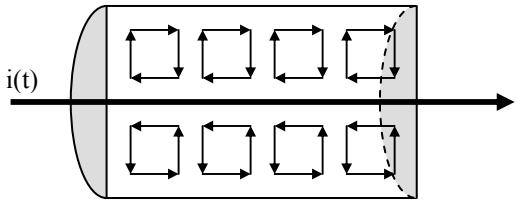


Figure 2.1. Vue en coupe d'un conducteur isolé soumis à des effets de peau.

Le sens de circulation des boucles de courant entraîne une répartition pelliculaire (Figure 2.2), qui est identifiée comme un « effet de peau ».

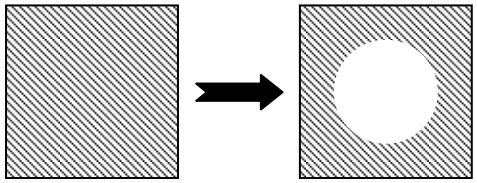


Figure 2.2. Répartition pelliculaire du courant dans un conducteur : effet de peau

Pour calculer la résistance haute fréquence d'une inductance, l'évaluation des effets de peau ne suffit pas. Ce composant étant réalisé en bobinant un conducteur, l'influence d'une spire sur les autres doit être étudiée.

Plusieurs conducteurs magnétiquement couplés : Effets de proximités.

Un autre type de courant induit apparaît lorsque deux conducteurs sont suffisamment proches pour être magnétiquement couplés. Nous avons vus que les effets de peaux repoussent le courant vers la périphérie des conducteurs [15, 17, 18, 19]. Ces courants de surface induisent à leur tour des boucles de courant dans l'autre conducteur (trait continu), qui circulent de telle manière à s'opposer au courant qui leur a donné naissance (Figure 2.3).

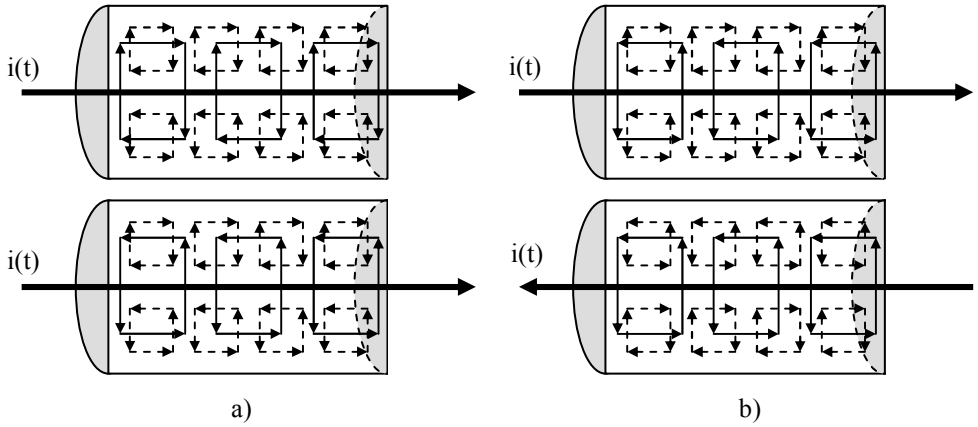
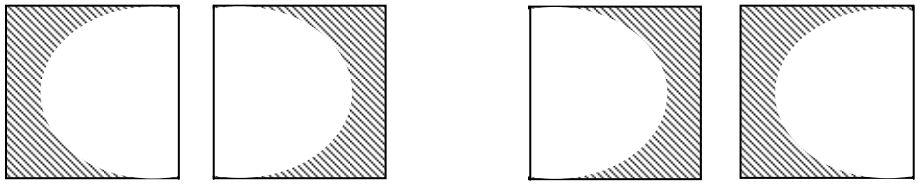


Figure 2.3. Détail des boucles de courant induites-Vue en coupe des conducteurs
a) Courants en phase, b) Courants en opposition de phase

En conséquence, dans le cas où deux conducteurs sont parcourus par des courants *i(t)* en phase (Figure 2.3.a), les effets de proximités se traduisent par un repoussement des lignes de courant vers les côtés extérieurs des conducteurs (Figure 2.4.a). Par contre si les deux conducteurs sont parcourus par des courants *i(t)* en opposition de phase (Figure 2.3.b), les effets de proximités se traduisent par un repoussement des lignes de courant vers les côtés intérieurs des conducteurs (Figure 2.4.b).



a) b)

Figure 2.4. Répartition des courants consécutive aux effets de peaux et de proximités.
a) Courants en phase, b) Courants en opposition de phase

Expressions pour l'évaluation des effets de peaux : cas simples

Comme nous nous trouvons en régime variable, la solution vient de la résolution des équations de Maxwell-Ampère (II.1) et de Maxwell-Faraday (II.2) :

$$\overrightarrow{rot}\vec{H} = \vec{J} \tag{II.1}$$

$$\overrightarrow{rot}\vec{E} = -\frac{\partial \vec{B}}{\partial t} \tag{II.2}$$

Les propriétés électromagnétiques du matériau étudié sont définies par les équations (II.3) et (II.4) :

$$\vec{E} = \rho.\vec{J} \tag{II.3}$$

$$\vec{B} = \mu.\vec{H} \tag{II.4}$$

Avec ρ et μ respectivement la conductivité électrique et la perméabilité magnétique du cuivre.

Nous constatons alors que pour déterminer la répartition de la densité de courant *J*, il faut préalablement connaître la répartition du champ magnétique *H*. Pour des structures géométriquement simples, les équations ont été résolues.

Un conducteur cylindrique seul de rayon r_c :

La bibliographie [22, 23, 24] nous donne l'expression du rapport entre la densité de courant J_r à la position *r* et la densité de courant *J* que nous aurions en régime quasi-statique (considéré uniforme dans le conducteur). L'exploitation numérique montre que la résistance série augmente avec la fréquence du courant qui le traverse. Toutefois, ce modèle n'étudiant qu'un seul brin, il ne peut être employé pour une structure bobinée où les effets de proximités doivent être pris en compte.

Plusieurs conducteurs de section rectangulaire et infiniment longs :

La bibliographie [15-17, 23, 24] traite de ce problème pour évaluer les pertes Joules d'un transformateur bobiné en pot. Les effets de peaux et de proximité sont pris compte. La symétrie de l'objet étudié impose une résolution dans un repère cylindrique. Dans ce contexte, les calculs font intervenir des fonctions de Bessel, et sont par conséquents complexes. Pour simplifier le problème, il est posé comme hypothèse que le rayon de courbure des conducteurs est grand devant leurs dimensions transversales. Ceci autorise une résolution dans un repère cartésien.

[1] http://www.intel.com/pressroom/kits/events/moores_law_40th/index.htm

[2] http://pdfserv.maxim-ic.com/en/an/AN3767.pdf

[3] International Technology Roadmap for Semiconductors http://public.itrs.net/

[4] P.K. Jain, "Power electronics for low voltage semiconductor technology: challenges and some possible solutions", Power Electronics and Motion Control Conference, 2004. IPEMC 2004. The 4th International, Volume 1, 2004 Page(s):20 - 28 Vol.1

[5] N. Andrews, "The Global Market for Power Supply and Power Management Integrated Circuits", Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE, Volume 1, 10-14 March 2002 Page(s):126 – 131

[6] R. V. White, "Emerging On-Board Power Architectures", Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth Annual IEEE, Volume 2, 9-13 Feb. 2003 Page(s):799 - 804

[7] Xunwei Zhou, Pit-Leong Wong, Peng Xu, Fred C. Lee, Alex Q. Huang "Investigation of candidate VRM Toplogies for Future Microprocessors", IEEE Transactions on Power Electronics, Vol. 15, NO. 6, November 2000, pp 1172-1182.

[8] A. Soto, P. Alou, J.A. Cobos, "Design Concepts and Guidelines for VRMs From a power stage Perspective", 35th Annual IEEE Power Electronics Specialists Conference, 2004.

[9] A. Lidow, D. Kinzer, G. Sheridan, D. Tam "The semiconductor Roadmap for Power Management in the New Millennium", invited paper, Proceeding of the IEEE, Vol. 89, No. 6, June 2001.

[10] J.A. Cobos, O.Garcia, J. Uceda, "Supplying energy to mobile and autonomous electronics", Power Electronics Congress, 2004. CIEP 2004. 9th IEEE International, 17-22 Oct. 2004 Page(s):3 – 8.

[11]http://www.freescale.com/webapp/sps/site/overview.jsp?nodeId=0671476956673513010309

[12] D. Spillane, D. O'Sullivan, M. G. Egan, J. G. Hayes, "Supervisory Control of a HV Integrated Starter-Alternator with Ultracapacitor Support within the 42 V Automotive Electrical System", Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth Annual IEEE, Volume 2, 9-13 Feb. 2003 Page(s):1111 - 1117

[13] Perreault, D.J., Caliskan, V., "Automotive power generation and control", Power Electronics, IEEE Transactions on, Volume 19, Issue 3, May 2004 Page(s):618 – 630.

[14] Kassakian, J.G., "Automotive electrical systems-the power electronics market of the future", Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE, Volume 1, 6-10 Feb. 2000 Page(s):3 - 9

[15] Rahman, M.F., "Power electronics and drive applications for the automotive industry", Power Electronics Systems and Applications, 2004. Proceedings. 2004 First International Conference on, 9-11 Nov. 2004 Page(s):156 – 164

[16] R. J Huljak, V. J. Thottuvelil, A. J. Marsh, B. A. Miller, "Where are power supplies headed?", Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE, Volume 1, 6-10 Feb. 2000 Page(s):10 - 17 vol.1

[17] J-F Helie, « Les convertisseurs DC/DC de proximité », Electronique industrielle, pp 80-95, No 147, Mai 2004.

[18] Jain, P.K., "Power electronics for low voltage semiconductor technology: challenges and some possible solutions", Power Electronics and Motion Control Conference, 2004. IPEMC 2004. The 4th International, Volume 1, 2004 Page(s):20 - 28 Vol.1

[19] C. Vaucourt, "Size matters", IEE Power Engineer, February/March 2004

[20] J-F Helie, "Les architectures distribuées jouent la carte de la proximité", Electronique industrielle, pp 38-40, No 133, Feb 2003.

[21] M. Paparo, "Power management systems on silicon for portable equipment", Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on, Volume 1, 2-5 Sept. 2001 Page(s):13 - 18 vol.1

[22] P. Artillan , C. Alonso , B. Estibals , A. Salles , N. Mauran , H. Tranduc , S. Assie-Souleille, "Conception et réalisation d'un banc de caractérisation d'éléments inductifs pour la conversion de puissance", Rapport LAAS N°05663, Septembre 2005, 63p

[23] http://powerelectronics.com/mag/power_power_module_alliances/

[24] J. P. Ferrieux, F. Forest, "Alimentations à découpage – Convertisseurs à résonance", Ed Dunod, 3ème edition, 1999

[25] R. Bausiere, F. Labrique, G. Seguier, "Les convertisseurs de l'électronique de puissance : La conversion continu – continu.", Ed. Lavoisier Tec & Doc, 1997.

[26] R. P. Singh, A. M. Khambadkone, G. S. Samudra, Y. C; Liang "Optimal power converter topology for powering future microprocessor demand" 30th Annual Conference of the IEEE Industrial Electronis Society, November 2-6 2004, Busan, Korea.

[27] B. Jayant Baliga, "Modern Power Devices", Ed. Wiley-Intersciences, pp 267-269 & pp 319-321, 1987

[28] J. Gallagher, "Coupled Inductors Improve Multiphase Buck Efficiency"', Power electronics Technology, Janvier 2006.

[29] P-L. Wong, "Performance Improvements of Multi-Channel Interleaving Voltage Regulator Modules With Integrated coupling Inductors", Thèse de doctorat, Institut Polytechnique de Virginie, 2001.

[30] Pit-Leong Wong; Peng Xu; Yang, P.; Lee, F.C., "Performance improvements of interleaving VRMs with coupling inductors", Power Electronics, IEEE Transactions on, Volume 16, Issue 4, July 2001 Page(s):499 – 507

[31] Jieli Li; Stratakos, A.; Schultz, A.; Sullivan, C.R.; "Using coupled inductors to enhance transient performance of multi-phase buck converters", Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE, Volume 2, 2004 Page(s):1289 - 1293 vol.2

[32] de la Cruz, E.; Ollero, S.; Rodriguez, J.; Uceda, J.; Cobos, J.A.; "Review of suitable topologies for on-board DC/DC converters in distributed power architectures for telecom applications", Telecommunications Energy Conference, 1992. INTELEC '92., 14th International, 4-8 Oct. 1992 Page(s):59 - 65

[33] Cobos, J.A.; Garcia, O.; Uceda, J.; Sebastian, J.; de la Cruz, E.; "Comparison of high efficiency low output voltage forward topologies", Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE, 20-25 June 1994 Page(s):887 - 894 vol.2

[34] Casey, L.F.; Schlecht, M.F.; "A high-frequency, low volume, point-of-load power supply for distributed power systems", Power Electronics, IEEE Transactions on, Volume 3, Issue 1, Jan. 1988 Page(s):72 – 82

[35] http://www.fairchildsemi.com/an/AN/AN-6005.pdf

[36] C.S. Mitter, "Device considerations for high current, low voltage synchronous buck regulators (SBR)", WESCON/97. Conference Proceedings, 4-6 Nov. 1997 Page(s):281 - 288

[37] Maric, D.; Monteiro, R.; "20V MOSFETs for DC-DC converters in desktop computers and servers", Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE, Volume 2, 10-14 March 2002 Page(s):872 - 877 vol.2

[38] Morancho, F.; Tranduc, H.; Rossel, P.; "The on-resistance limits of high cell density power MOSFET's", Microelectronics, 1997. Proceedings., 1997 21st International Conference on, Volume 1, 14-17 Sept. 1997 Page(s):395 - 398 vol.1

[39] Darwish, M.; "Next-generation semiconductors for DC-to-DC converters", Bipolar/BiCMOS Circuits and Technology Meeting, 2003. Proceedings of the, 28-30 Sept. 2003 Page(s):15 – 21

[40] Thapar N.; Sodhi R.; Dierberger K.; Stojcic G.; Blake C.; Kinzer D.; "Mosfet technology advances DC-DC converters efficiency for processor power", PCIM 2001.

[41] Shen, Z.J.; Okada, D.N.; Lin, F.; Anderson, S.; Xu Cheng, "Lateral power MOSFET for megahertz-frequency, high-density DC/DC converters", Power Electronics, IEEE Transactions on, Volume 21, Issue 1, Jan. 2006 Page(s):11 – 17

[42] Xunwei Zhou; Donati, M.; Amoroso, L.; Lee, F.C., "Improved light-load efficiency for synchronous rectifier voltage regulator module", Power Electronics, IEEE Transactions on, Volume 15, Issue 5, Sept. 2000 Page(s):826 – 834

[43] Mcgarry, L., "Standby power challenge", Asian Green Electronics, 2004. AGEC. Proceedings of 2004 International IEEE Conference on the, 2004 Page(s):56 – 62

[44] Gildersleeve, M.; Forghani-zadeh, H.P.; Rincon-Mora, G.A.; "A comprehensive power analysis and a highly efficient, mode-hopping DC-DC converter", ASIC, 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on, 6-8 Aug. 2002 Page(s):153 - 156

[45] G. Mouries, "Condensateurs utilisés en électronique de puissance", Techniques de l'ingénieur, Doc. D 3 280

[46] http://www.component.tdk.com

[47] A. Coello-Vera ; C. Drevon ; "Circuits hybrides, Conception", Techniques de l'ingénieur, Doc. D 3 925.

[48] Lagrange A. ; "Condensateurs", Techniques de l'ingénieur, Traité Électronique E 2 060 − 1

[49] Ulrich, R.; Schaper, L.; "Materials options for dielectrics in integrated capacitors", Advanced Packaging Materials: Processes, Properties and Interfaces, 2000. Proceedings. International Symposium on, 6-8 March 2000 Page(s):38 – 43.

[50] Alonso C.; "Contribution à l'optimisation, la gestion et le traitement de l'énergie", Habilitation à Diriger des Recherches, Université Paul Sabatier, Toulouse, 12 Décembre 2003, 116p.

[51] Estibals B. ; Brunet M. ; Alonso C.; Salles A. ; Artillan P. ; Cid-Pastor A. ; Dubreuil P. ; Bourrier D. ; Dilhan M. ; El Mastouli T. ; Laur J.P.; Sanchez J.L.; "Etat d'avancement de

l'intégration de composants passifs sur silicium au LAAS-CNRS", Journées bilans et prospectives, GDR ISP3D, pp :13-20, 20 au 21 Octobre 2005.

[52] Brunet M.; Dubreuil P.; Scheid E.; Sanchez J.L.; "Development of fabrication techniques for high-density integrated MIM capacitors in power conversion equipment", 12th annual symposium on "MOEMS-MEMS 2006, San Jose (USA), 21-26 Janvier.

[53] C.H. Ahn, M.G. Allen, "A comparison of two micromachined inductors (bar- and meander-type) for fully integrated boost DC/DC power converters", Power Electronics, IEEE Transactions on, Volume 11, Issue 2, March 1996 Page(s):239 – 245

[54] S. C. Ó.Mathuna, T. O'Donnell, N. Wang, K. Rinne "Magnetics on silicon: an enabling technology for power supply on chip.", IEEE Transactions on power electronics, Vol. 20, NO. 3, May 2005.

[55] B. Estibals, "Conception, réalisation et caractérisation de micro-miroirs à déflexion localisée appliqués aux télécommunications optiques." Thèse soutenue au LAAS-CNRS le 19 décembre 2002, Rapport LAAS N°02606.

[56] T.M. Liakopoulos, C.H. Ahn, "3-D microfabricated toroidal planar inductors with different magnetic core schemes for MEMS and power electronic applications", Magnetics, IEEE Transactions on, Volume 35, Issue 5, Part 2, Sept. 1999 Page(s):3679 - 3681

[57] B. Estibals, J. L. Sanchez, C. Alonso, H. Camon, J. P. Laur "Vers l'intégration de convertisseurs pour l'alimentation des microsystèmes", Journées Electrotechnique du Club EEA, Amiens, Mars 2003.

[58] H. Hakim, "Intégration de composants passifs sur silicium." Thèse soutenue au LAAS-CNRS le 10 Juillet 2001, Rapport LAAS N°01319.

[59] G. Troussier, "Intégration de bobines sur silicium pour la conversion d'énergie", Rapport LAAS No04433, 2004

[60] J.N. Burghartz, "RF Circuits Design Aspects of spiral Inductors on Silicon.", IEEE journal of Solid-State Circuits, Dec 1998.

[61] J. Rogers, L. Tan, T. Smy, N. Tait, G. Tarr, "A high Q on-chip Cu inductor post process for Si integrated circuits", Interconnect Technology, 1999. IEEE International Conference, 24-26 May 1999 Page(s): 239 – 241

[62] A. Scuderi, T. Biondi, E. Ragonese, G. Palmisano, "A lumped scalable model for silicon integrated spiral inductors", Circuits and Systems I: Regular Papers, IEEE Transactions on, Volume 51, Issue 6, June 2004 Page(s):1203 - 1209

[63] D. Dubuc, E. Tournier, I. Telliez, T. Parra, C. Boulanger, J. Graffeuil, "High quality factor and high self-resonant frequency monolithic inductor for millimetre-wave Si-based IC's", Microwave symposium digest, 2002 IEEE MTT-S International Volume 1, 2-7 June 2002, Page(s): 193-196.

[64] Y. Katayama, S. Sugahara, H. Nakazawa, M. Edo, "High power density MHz-switching monolithic DC-DC converter with thin-film inductor", Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual,Volume 3, 18-23 June 2000 Page(s):1485 - 1490 vol.3

[65] N. Saleh, A. H. Qureshi, "Permalloy thin-film inductors", Electronic Letters, Vol. 6, pp. 850-852, December, 1970.

[66] N. Saleh, "Variable microelectronic inductors", IEEE Transactions on components, hybrids, and manufacturing technology, Vol. CHMT-1, NO. 1, March 1978.

[67] E.J. Brandon, E. Wesseling, V. White, C. Ramsey, L. Del Castillo, U. Lieneweg, "Fabrication and characterization of microinductors for distributed power converters", Magnetics, IEEE Transactions on, Volume 39, Issue 4, Part 2, July 2003 Page(s):2049 – 2056

[68] C.H. Ahn, M.G. Allen, "Micromachined planar inductors on silicon wafers for MEMS applications", Industrial Electronics, IEEE Transactions on, Volume 45, Issue 6, Dec. 1998 Page(s):866 – 876.

[69] Ch-S. Kim; S. Bae; H-J. Kim, S-E. Nam H-J. Kim, "Fabrication of high frequency DC-DC converter using Ti/FeTaN film inductor", Magnetics, IEEE Transactions on, Volume 37, Issue 4, Part 1, July 2001 Page(s):2894 – 2896

[70] T. Sato, T. Inoue, H. Tomita, S. Yatabe, K. Nishijima, Y. Tokai, M. Nameki, N. Saito, T. Mizoguchi, "5 MHz switching micro DC-DC converter using planar inductor", Telecommunications Energy Conference, 1996. INTELEC '96, 18th International, 6-10 Oct. 1996 Page(s):485 – 490

[71] H. Nakazawa, M. Edo, Y. Katayama, M. Gekinozu, S. Sugahara, Z. Hayashi, K. Kuroki, E. Yonezawa, K. Matsuzaki, "Micro-DC/DC converter that integrates planar inductor on power IC", Magnetics, IEEE Transactions on, Volume 36, Issue 5, Part 1, Sept 2000 Page(s):3518 – 3520

[72] Sunderarajan S. Mohan, Maria del Mar Hershenson, Stephen P. Boyd, Thomas H.Lee, "Simple accurate expressions for planar spiral inductances" in IEEE Journal of Solid-State circuits, Vol. 34, No. 10, October 1999.

[73] Wheeler, H.A. "Simple Inductance Formulas for Radio Coils", Proceedings of the IRE,Volume 16, Issue 10, Oct. 1928 Page(s):1398 – 1400

[74] A. Salles, "Modélisation et caractérisation de nano inductances appliquées aux hyperfréquences ", Rapport de stage 2ème année ENSEEIHT, Juin-Septembre 2002

[75] A. Salles, "Réalisation d'éléments de stockage magnétiques pour convertisseurs statiques de faible puissance, destinés à la conversion d'énergie", Rapport de DEA, Février-Septembre 2003

[76] H. M. Greenhouse, "Design of planar rectangular microelectronic inductors" in IEEE Transactions on parts, Hybrids, and Packaging, Vol. PHP-10, No. 2, June 1974.

[77] F.W Grover, "Inductance Calculations", Dover Publications, INC, Mineola, New York, 1946

[78] Niknejad, A.M.; Meyer, R.G. "Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs", Solid-State Circuits, IEEE Journal of, Volume 33, Issue 10, Oct. 1998 Page(s):1470 – 1481

[79] C. Patrick Yue, S. Simon Wong, "Physical modeling of spiral inductors on silicon" in IEEE Transactions on Electron Devices, Vol. 47, No. 3, March 2000.

[80] http://ww1.microchip.com/downloads/en/devicedoc/21299e.pdf

[81] Beattie, M.W.; Pileggi, L.T.; "Inductance 101: modeling and extraction Design Automation" Conference, 2001. Proceedings2001 Page(s):323 – 328 (on-chip interconnect)

[82] Antonini, G.; Orlandi, A.; Paul, C.R. "Internal impedance of conductors of rectangular cross section" Microwave Theory and Techniques, IEEE Transactions onVolume 47, Issue 7, Part 1, July 1999 Page(s):979 - 985

[83] Andrey V. Mezhiba ad Eby G. Friedman, "Inductive properties of high-performance power distribution grids", IEEE Transactions on very large scale integration (VLSI) systems, Vol.10, NO.6, December 2002.

[84] Hurley, W.G.; Duffy, M.C. "Calculation of self- and mutual impedances in planar sandwich inductors" Magnetics, IEEE Transactions onVolume 33, Issue 3, May 1997 Page(s):2282 - 2290

[85] Musunuri, S.; Chapman, P.L.; Jun Zou; Chang Liu "Design issues for monolithic DC-DC converters" Power Electronics, IEEE Transactions onVolume 20, Issue 3, May 2005 Page(s):639 - 649

[86] G. Stojanovic, JJ. Zivanov, "Comparison of Optimal Design of Different Spiral Inductors", Proc. 24th Int. Conf. On Microelectronics (MIEL 2004), vol. 2, pp. 613-616, 2004.

[87] J. del Pinot, S. L. Khemchandani, A. Hernandez, J.R. Sendra, A. Nunez, "Quality factor model for integrated inductors in CMOS technology", Microwave Engineering, June 2002, www.mwee.com.

[88] G. Lihui, Y. Mingbin, C. Zhen, H. Han, Z. Yi, "High Q Multilayer spiral inductor on silicon chip for 5-6GHz.", IEEE Electron Device Letters, Vol. 23, No. 8, August 2002.

[89] J.N. Burghartz, "RF Circuits Design Aspects of spiral Inducors on Silicon", IEEE journal of Solid-State Circuits, Dec 1998.

[90] H. L. Chan, K. W. E. Cheng, D. Sutanto, "A simplified Neumann's formula for calculation of inductance of spiral coil", IEE Power Electronics and Variable Speed Drives, 18-19 September 2000.

[91] J. P. Pérez, R. Carles, R. Fleckinger, "Electromagnétisme ; Fondements et applications", Ed. Masson, 1997

[92] Jan Van Hese, "Tools and techniques for modelling spiral inductors on silicon", in Microwave Engineering, June 2002.

[93] J. del Pino, S. L. Khemchandani, A. Hernandez, J. R. Sendra, A. Nunez, "Quality factor model for integrated inductors in CMOS technology", in Microwave Engineering, May 2001.

[94] V. A. Niemela, G. R. Skutt, A. M. Urling, T. G. Wilson, R. C. Wong, "Modeling Multiwinding transformers for high-frequency applications", Part I : Analysis, July 7, pp 45-52, 1989

[95] A.M. Urling, V.A. Niemela, G.R. Skutt, T.G. Wilson, "Characterizing high-frequency effects in transformer windings-a guide to several significant articles", Applied Power Electronics Conference and Exposition, 1989. APEC' 89. Conference Proceedings 1989., Fourth Annual IEEE, 13-17 March 1989 Page(s):373 - 385

[96] C.E. Hawkes, T.G. Wilson, R.C Wong, "Magnetic-field-intensity and current-density distributions in transformer windings", Power Electronics Specialists Conference, 1989, PESC '89 Record., 20th Annual IEEE 26-29 June 1989 Page(s):1021 - 1030 vol.2

[97] Colonel Wm. T. McLyman "Transformer and Inductor design handbook", third Edition, Revised and Expanded, Kg Magnetics, Inc, pp 4.21-4.41, 2004.

[98] L. H. Dixon, "Eddy Current Losses in Transformer Windings and Circuit Wiring", http://focus.ti.com/lit/ml/slup197/slup197.pdf

[99] W.B. Kuhn, N.M. Ibrahim, "Analysis of current crowding effects in multiturn spiral inductors", Microwave Theory and Techniques, IEEE Transactions on, Volume 49, Issue 1, Jan. 2001 Page(s):31 – 38

[100] J.A. Ferreira, "Improved analytical modeling of conductive losses in magnetic components", Power Electronics, IEEE Transactions on, Volume 9, Issue 1, Jan. 1994 Page(s):127 – 131

[101] J.A. Ferreira, "Analytical computation of AC resistance of round and rectangular litz wire windings", Electric Power Applications, IEE Proceedings B, Volume 139, Issue 1, Jan. 1992 Page(s):21 – 25

[102] www.coventor.com

[103] S.S. Mohan, C.P. Yue, M. del Mar Hershenson, S.S. Wong, T.H. Lee, "Modeling and characterization of on-chip transformers", Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International, 6-9 Dec. 1998 Page(s):531 – 534

[104] B. Piernas, K. Nishikawa, K. Kamogawa, T. Nakagawa, K. Araki, "High-Q factor three-dimensional inductors", Microwave Theory and Techniques, IEEE Transactions on, Volume 50, Issue 8, Aug. 2002 Page(s):1942 – 1949

[105] A. Zolfaghari, A. Chan, B. Razavi, "Stacked inductors and transformers in CMOS technology", Solid-State Circuits, IEEE Journal of, Volume 36, Issue 4, April 2001 Page(s):620 - 628

[106] G. Lihui, Y. Mingbin, C. Zhen, H. Han, Z. Yi, "High Q Multilayer spiral inductor on silicon chip for 5-6GHz.", IEEE Electron Device Letters, Vol. 23, No. 8, August 2002.

[107] J. Lee, S. Lee, P. Roblin, S. Bibyk, "Experimental analysis of spiral integrated inductors on low cost integrated circuit processes", SoutheastCon, 2005. Proceedings. IEEE, 8-10 April 2005 Page(s):116 – 120

[108] W.Y. Yin, S.J. Pan, L.W. Li, Y.B. Gan, "Modelling on-chip circular double-spiral stacked inductors for RFICs", Microwaves, Antennas and Propagation, IEE Proceedings, Volume 150, Issue 6, Dec 2003 Page(s):463 – 469

[109] Y. Koutsoyannopoulos, Y. Papananos, S. Bantas, C. Alemanni, "Performance limits of planar and multi-layer integrated inductors", Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on, Volume 2, 28-31 May 2000 Page(s):160 - 163 vol.2

[110] S. Musunuri, P.L. Chapman, "Multi-layer spiral inductor design for monolithic DC-DC converters", Industry Applications Conference, 2003. 38th IAS Annual Meeting. Conference Record of the, Volume 2, 12-16 Oct. 2003 Page(s):1270 - 1275 vol.2

[111] Shen Wang, M.A. de Rooij, W.G. Odendaal, J.D. van Wyk, D. Boroyevich, "Reduction of high-frequency conduction losses using a planar litz structure", Power Electronics, IEEE Transactions on, Volume 20, Issue 2, Mar 2005 Page(s):261 – 267

[112] P. Rai-Choudhury, "Handbook of Microlithography, Micromachining, and Microfabrication. Volume 2: Micromachining and Microfabrication"

[113] F. Bouchriha, K. Grenier, D. Dubuc, P. Pons, R. Plana, J. Graffeuil, "Minimization of passive circuits losses realized on low resistivity silicon using micro-machining techniques and thick polymer layers", Microwave Symposium Digest, 2003 IEEE MTT-S International.

[114] www.microchem.com

[115] V. Seidemann, S. Buttgenbach, "Closely coupled micro coils with integrated flux guidance: Fabrication technology and application to proximity and magnetoelastic force sensors", Sensors Journal, IEEE, Volume 3, Issue 5, Oct. 2003 Page(s):615 – 621

[116] F.D. Mbairi, H. Hesselbom, "High frequency design and characterization of SU-8 based conductor backed coplanar waveguide transmission lines", Advanced Packaging Materials: Processes, Properties and Interfaces, 2005 Proceedings International Symposium on, 16-18 March 2005 Page(s):243 – 248

[117] J.R. Thorpe, D.P. Steenson, R.E. Miles, "High frequency transmission line using micromachined polymer dielectric", Electronics Letters, Volume 34, Issue 12, 11 June 1998 Page(s):1237 – 1238

[118] C. Gao, Y.C. Lee, J. Chao, M. Russak, "Dip-coating of ultra-thin liquid lubricant and its control for thin-film magnetic hard disks", Magnetics, IEEE Transactions on, Volume 31, Issue 6, Part 1, Nov. 1995 Page(s):2982 – 2984

[119] C. Jeffrey Brinker, Alan J. Hurd, "Fundamentals of sol-gel dip-coating", J. Phys. III France 4 (1994) 1231-1242

[120] K. Fischer, R. Suss, "Spray coating - a solution for resist film deposition across severe topography", Electronics Manufacturing Technology Symposium, 2004. IEEE/CPMT/SEMI 29th International, Jul 14-16, 2004 Page(s):338 – 341

[121] Nga Phuong Pham, E. Boellaard, J.N. Burghartz, P.M. Sarro, "Photoresist coating methods for the integration of novel 3-D RF microstructures", Microelectromechanical Systems, Journal of, Volume 13, Issue 3, June 2004 Page(s):491 – 499

[122] I. H. Jeong, C. M. Nam, C. Y. Lee, J. H. Moon, J. S. Lee, D. W. Kim, Y. S. Kwon, "High quality RF passive integration using 35 μm thick oxide manufacturing technology", IEEE Electronic components and technology conference, 2002, Page(s): 1007-1011.

[123] B. Piernas, K. Nishikawa, K. Kamogawa, I. Toyoda, "Three dimensional MMIC technology on silicon: Review and recent advances", IEICE Transaction on Electronic, Vol. E85-C, NO.7, July 2002.

[124] X. Huo, K. J. Chen, P. C. H. Chan, "Silicon-based high-Q inductors incorporating electroplated copper and low-K BCB dielectric", IEEE Electron device letters, Vol. 23, NO. 9, September 2002.

[125] R. Ramachandran, A.-V.H. Pham, "Development of RF/microwave on-chip inductors using an organic micromachining process", Advanced Packaging, IEEE Transactions on, Volume 25, Issue 2, May 2002 Page(s):244 – 247

[126] C. P. Yue, S. S. Wong, "Design strategy of on-chip inductors for highly integrated RF systems", Design automation conference, 1999, Proceedings, 36th, 21-25 June 1999, Page(s): 982-987.

[127] T. Blalack, Y. Leclercq, C. P. Yue, "On Chip RF isolation techniques", Bipolar/BiCMOS circuits and technology meeting, Proceeding 2002, Page(s): 205-211.

[128] C. Y. Lee, T. S. Chen, J. D. S. Deng, C. H. Kao, "A simple systematic spiral inductor design with perfected Q improvement for CMOS RFIC Application", IEEE Transactions on microwave theory and techniques, Vol. 53, NO. 2, February 2005.

[129] J. B. Yoon, Y. S. Choi, B. I. Kim, Y. Eo, E. Yoon, "CMOS-compatible surface-micromachined suspended spiral inductors for multi-GHz silicon RFICs", IEEE Electron Device letters, Vol. 23, NO. 10, October 2002.

[130] E. C. Park, Y. S. Choi, J. B. Yoon, S. Hong, E. Yoon, "Fully integrated low phase noise VCOs with on-chip MEMS inductors", IEEE, Transactions on microwave theory and techniques, Vol. 51, NO.1, January 2003.

[131] Xi-Ning Wang, Xiao-Lin Zhao, Yong Zhou, Xu-Han Dai, Bing-Chu Cai, "Fabrication and performance of a novel suspended RF spiral inductor", Electron Devices, IEEE Transactions on, Volume 51, Issue 5, May 2004 Page(s):814 - 816

[132] J.-W. Lin, C.C. Chen, Y.-T. Cheng, "A Robust High-Q Micromachined RF Inductor for RFIC Applications", Electron Devices, IEEE Transactions on, Volume 52, Issue 7, July 2005 Page(s):1489 – 1496

[133] Nga Phuong Pham, P.M. Sarro, K.T. Ng, J.N. Burghartz, "IC-compatible two-level bulk micromachining process module for RF silicon technology", Electron Devices, IEEE Transactions on, Volume 48, Issue 8, Aug. 2001 Page(s): 1756 – 1764.

[134] Heng-Ming Hsu, "Analytical formula for inductance of metal of various widths in spiral inductors", Electron Devices, IEEE Transactions on, Volume 51, Issue 8, Aug. 2004 Page(s):1343 – 1346.

[135] C. Alonso, "Contribution à l'optimisation, la gestion et le traitement de l'énergie" , Rapport LAAS No03678, Habilitation à Diriger des Recherches, Université Paul Sabatier, Toulouse, 12 Décembre 2003, 116p.,

[136] www.sceram.com/pyrex.html

[137] http://fr.wikipedia.org/wiki/Pyrex

[138] X. Li, T. Abe, Y. Liu, M. Esashi, "Fabrication of high-density electrical feed-throughs by deep-reactive-ion etching of Pyrex glass", Microelectromechanical Systems, Journal of, Volume 11, Issue 6, Dec. 2002 Page(s):625 – 630

[139] Agilent Technologies. "Impedance measurement handbook". Agilent Technologies, Doc. 5950-3000, Dec. 2003.

[140] S. Musunuri, P.L. Chapman, "Multi-layer spiral inductor design for monolithic DC-DC converters", Industry Applications Conference, 2003. 38th IAS Annual Meeting. Conference, Record of the Volume 2, 12-16 Oct. 2003 Page(s):1270 - 1275 vol.2

[141] http://www.onsemi.com/pub/Collateral/NCP1509-D.PDF

Figure 1.1. Evolution de la résolution des procédés lithographiques et impact sur le coût d'un transistor [1]. 12
Figure 1.2. Evolution du nombre de transistors dans les microprocesseurs Intel [1] 13
Tableau I.1. Comparaison des performances d'un Pentium III et d'un Pentium 4 « extreme » [2]. 13
Figure 1.3. Prévisions de l'ITRS de la puissance totale consommée par un microprocesseur [3]. 14
Figure 1.4. Prévisions de l'ITRS concernant la tension d'alimentation d'un microprocesseur [3]. 14
Figure 1.5. Evolution du volume de vente de circuits intégrés pour la gestion de l'énergie [5]. 15
Figure 1.6. Répartition des parts de marché des circuits intégrés pour la gestion de l'énergie [5]. 15
Tableau I.2. Différentes tensions d'alimentation identifiées dans un ordinateur portable. 16
Figure 1.7. Evolution des tensions et des courants d'alimentation des microprocesseurs [9]17
Figure 1.8. Exemples d'utilisation de cartes électroniques dans l'automobile [11] 17
Figure 1.9. Evolution de la puissance électrique consommée (W) par une voiture [13,14] 18
Tableau I.3. Exemples de besoins en puissance de divers organes d'une voiture [15] 18
Figure 1.10. Evolution des alimentations de puissance pour les applications télécoms et l'informatique [16]. 19
Figure 1.11. Première évolution d'alimentation avec utilisation de convertisseurs POL [22].20
Tableau I.4. Deux modèles de structures POL commercialisés [22] 20
Figure 1.12. Deuxième évolution des alimentations avec introduction d'un convertisseur isolé [22]. 21
Figure 1.13. Architecture d'alimentation distribuée avec bus intermédiaire régulé alimentant des VTM [17]. 21
Figure 1.14. Schémas de structures DC /DC classiques utilisées comme POL 22
Tableau I.5. Synthèse des équations décrivant un buck et un buck–boost en conduction continue [24]. 22
Figure 1.15. Schéma d'une structure Buck synchrone. 23
Figure 1.16. Association de deux cellules de commutation de type Buck synchrone 24
Tableau I.6. Equations décrivant le fonctionnement d'un buck à 2 phases en opposition. 24
Figure 1.17. Coefficient d'atténuation de l'ondulation du courant de sortie d'une structure multiphase [29] 25
Figure 1.18. Convertisseurs Forward. 25
Figure 1.19. Structure Verticale MOS (VDMOS) 26
Figure 1.20. Courbe de rendement typique d'un convertisseur DC/DC dans les systèmes embarqués [44] 28
Tableau I.7. Formes d'ondes d'un condensateur de filtrage de sortie d'un buck. 29
Figure 1.21. Réponse fréquentielle d'un condensateur réel (TDK CKD series [46]). 30
Figure 1.22. Exemples de topologies de condensateurs intégrés [47-48] 31
Tableau I.8. Oxydes diélectriques utilisés en microélectronique. 31
Figure 1.23. Structures P+N-/MOS en tranchée. 31
Figure 1.24. Courbe C(V) d'une capacité P+N/MOS. 32
Tableau I.9. Formes d'ondes d'une inductance de filtrage de sortie d'un buck. 33
Figure 1.25. Comportement fréquentiel de l'impédance d'inductances (TDK GLFR1608) [46]. 33
Figure 1.26. Comportement fréquentiel du facteur de qualité d'inductances (TDK MLF1608-J) [46] 33
Figure 1.27. Illustration de micro inductances [56] 35
Figure 1.28. Structure inductive mixte développée au LAAS 36
Figure 1.29. Vue éclatée du principe de base d'une micro bobine planaire intégrée [64]. 37

Figure 1.30. Micro inductance réalisée par Saleh [65, 66] 37
Figure 1.31. Images MEB d'une micro inductance intégrée [76] 38
Figure 1.32. Structure inductive planaire proposée par Ahn et Allen [68]. 38
Figure 1.33. Structure spiralée planaire étudiée par Kim [69]. 39
Figure 1.34. Micro inductance à double enroulement utilisée par l'équipe de Sato [70]. 39
Figure 1.35. Convertisseur intégré proposé par Katayama [71] 40
Tableau I.10. Tableau comparatif des performances de convertisseurs de puissance intégrés en technologie hybride. 41

Figure 2.1. Définition des paramètres géométriques décrivant une inductance planaire spirale. 48
Figure 2.2. Trois principales formes élémentaires d'inductances planaires les plus utilisées 48
Figure 2.3. Approximation d'une structure spirale à un ensemble de cercles concentriques aidant la modélisation 49
Figure 2.4. Etablissement des paramètres pour le calcul de la mutuelle inductance entre deux enroulements d'une inductance planaire circulaire. 50
Figure 2.5. Comparaison du modèle analytique avec une modélisation à l'aide de Coventorware en fonction de N 52
Figure 2.6. Variation de R/L avec le nombre de tours. 53
Figure 2.7. Influence de l'espacement entre les conducteurs sur le ratio R/L. 53
Figure 2.8. Variation de l'inductance et de la résistance en fonction de s et de N 54
Figure 2.9. Variation de la résistance avec l'espacement entre conducteurs pour une valeur d'inductance donnée. 54
Figure 2.10. Modèle électrique équivalent d'une inductance planaire intégrée en technologie microsystème sur substrat à pertes. Configuration '2-ports' [79, 92, 93]. 56
Figure 2.11. Simulation de l'inductance par Coventorware 59
Figure 2.12. Simulation de la résistance par Coventorware 59
Figure 2.13. Modèle électrique équivalent d'une inductance planaire intégrée sur substrat sans pertes. Configuration '2-ports'. 60
Figure 2.14. Procédure de dimensionnement pour une inductance planaire classique destinée à des applications de puissance 62
Tableau II.1. Différentes topologies d'inductances planaires couplées [32]. 64
Figure 2.15. Schéma équivalent de n inductances couplées et connectées en parallèle 65
Figure 2.16. Variation du ratio Requ/Lequ - L1/L2=R1/R2 66
Figure 2.17. Comparaison de deux structures d'inductances et de leurs paramètres géométriques – Vue en coupe 67
Figure 2.18. Variation de l'espacement inter brins, s2, pour un turn pitch, tp, constant. 68
Figure 2.19. Validation du modèle analytique – Etude de l'influence de l'espacement entre brins, s2, sur l'inductance et la résistance équivalente. 68
Figure 2.20. Influence du nombre de tours sur les valeurs d'inductance et de résistance équivalentes à l'association de deux inductances en parallèles – Structure Interleaved , 69
Figure 2.21. Influence du nombre de tours sur le coefficient du couplage entre deux inductances – Structure Interleaved 70
Figure 2.22. Visualisation de la position relative de deux spires superposées 71
Figure 2.23. Influence du nombre de tours sur le couplage magnétique entre deux bobines superposées et alignées. 72
Figure 2.24. Etude de l'influence de la distance horizontale 72
Figure 2.25. Etude de l'influence de la distance verticale 73
Figure 2.26. Modèle électrique équivalent de deux inductances connectées en série 74
Figure 2.27. Variation du coefficient multiplicatif, m, en fonction du nombre d'inductances connectées en série. 75

Tableau II.2. Coefficient de multiplication de la valeur d'inductance et de résistance élémentaire pour obtenir les valeurs d'inductance et de résistance équivalentes à l'association série – Cas d'un couplage magnétique parfait 76
Figure 2.28. Influence de l'espace inter brins s2 77
Figure 2.29. Simulation de l'inductance équivalente de deux bobines en parallèle avec Coventorware 77
Figure 2.30. Simulation de la résistance équivalente de deux bobines en parallèle avec Coventorware 78
Figure 2.31. Simulation de l'inductance équivalente de deux bobines en série avec Coventorware 78
Figure 2.32. Simulation de la résistance équivalente de deux bobines en série avec Coventorware 79
Figure 2.33. Etude du ratio RAC/RDC à 100MHz en fonction du type d'association 80
Figure 2.34. Influence du turn pitch sur les valeurs d'inductance et de résistance série d'une inductance monobrin et d'une inductance à 2 brins – s2=1µm. 81
Figure 2.35. Influence du turn pitch sur les valeurs d'inductance et de résistance série d'une inductance monobrin et d'une inductance à 2 brins – s2=15µm. 81
Tableau II.3. Largeurs respectives des brins pour une section équivalente de conducteur constante. 81
Figure 2.36. Influence du nombre de brins sur les valeurs d'inductance et de résistance équivalente – Comparaison à une structure monobrin de section équivalente 82
Figure 2.37. Influence du nombre de brins sur les valeurs d'inductance et de résistance équivalentes à l'association de d'inductances en parallèles – Structure « Interleaved ». 82
Figure 2.38. Influence du nombre de brins sur la valeur de résistance équivalente à l'association de bobines en parallèles pour une valeur d'inductance donnée– Structure Interleaved. 83
Figure 2.39. Influence de la division des conducteurs sur le comportement fréquentiel de l'inductance 83
Figure 2.40. Influence de la division des conducteurs 84
Figure 2.41. Influence de la division des conducteurs sur le comportement AC de la résistance [40] 84
Tableau II.4. Paramètres géométriques des brins et conducteurs 85
Figure 2.42. Influence du nombre d'inductances en parallèle et de la distance verticale sur la valeur d'inductance. 86
Figure 2.43. Influence de la distance verticale sur le comportement fréquentiel de l'inductance équivalente 87
Figure 2.44. Influence de la distance verticale 87
Tableau II.5. Valeurs des inductances élémentaires en fonction du nombre d'inductances à connecter en série pour obtenir 1µH. 88
Tableau II.6. Valeur des résistances série élémentaires et équivalente à la mise en série de deux et trois inductances. 88
Tableau II.7. Dimensionnement à encombrement minimum - Valeur des résistances série élémentaires et totales dans le cas de la mise en série de deux à dix inductances. 89
Tableau II.8. Dimensionnement à encombrement constant - Valeur des résistances série élémentaires et totales dans le cas de la mise en série de deux à dix inductances. 89
Figure 2.45. Influence de la mise en série pour une valeur cible d'inductance – 1µH 90
Figure 2.46. Influence de la mise en série à inductance constante – 1µH 91
Figure 2.47. Méthodologie de dimensionnement d'une inductance planaire intégrée pour des applications de puissance en haute fréquence. 94

Figure 3.1. Procédé technologique pour la réalisation d'inductances planaires intégrées 98
Figure 3.2. Montage pour l'électrodéposition de cuivre sur un wafer 4'' 100

Figure 3.3. Phénomène de sur gravure de l'or par le KI+I2 et de la couche d'accroche sous les motifs en cuivre 101
Figure 3.4. Photo optique de conducteurs de cuivre réalisés sur une couche de croissance en or 102
Figure 3.5. Décollement des conducteurs en cuivre par surgravure de la couche d'or 102
Figure 3.6. Modification du procédé technologique – Gravure préalable de la couche d'or103
Figure 3.7. Gravure de la couche d'or selon la forme des bobines 104
Figure 3.8. Quadrillage en or pour l'homogénéisation des lignes de courant autour des structures inductives 104
Figure 3.9. Profils d'épaisseur de bobines 105
Figure 3.10. Répartition des lignes de courant en fonction de la largeur du moule de résine105
Figure 3.11. Profil d'une inductance avec conducteurs larges de 75µm 106
Figure 3.12. Détail des profils d'épaisseur des conducteurs en fonction de leur largeur 106
Figure 3.13. Réalisation du deuxième niveau au-dessus d'une couche de SU-8 plane 107
Figure 3.14. Influence des flancs d'une ouverture dans la SU-8 sur le dépôt par évaporation de la base de croissance 107
Figure 3.15. Courbe donnant les épaisseurs de SU-8 déposées en fonction de la vitesse de rotation. 108
Figure 3.16. Dépôt de résine à vitesse de rotation trop élevée sur des structures de 15µm de haut. 108
Figure 3.17. Dégagement gazeux au moment du recuit. 109
Figure 3.18. Inhomogénéités du dépôt de résine SU-8 109
Figure 3.19. Exemple de profil d'une inductance à fort taux de remplissage recouverte d'une épaisse couche de SU-8 110
Figure 3.20. Profil d'épaisseur mesuré 110
Figure 3.21. Différentes formes d'inductances réalisées 111
Figure 3.22. Différents taux de remplissage d'une inductance 112
Figure 3.23. Inductances multibrins 112
Figure 3.24. Détails sur les croissances réalisées 113
Figure 3.25. Influence des angles sur la croissance électrolytique de cuivre 113
Figure 3.26. Détails sur les conducteurs et les plots de contact dans le cas d'une structure inductive multibrins 113
Figure 3.27. Pollutions sur les inductances 114
Figure 3.28. Photo optique de l'ouverture de SU-8 au-dessus d'un plot de contact d'une inductance 114
Figure 3.29. Profil du dépôt de SU-8 au-dessus d'une inductance 115
Figure 3.30. Profil d'épaisseur du dépôt de SU-8 au-dessus des conducteurs 115
Figure 3.31. Plot de contact avec résine SU-8 ouverte et base de croissance du deuxième niveau gravée 116
Figure 3.32. Dépôt par évaporation avec mouvement planétaire des wafers 116
Figure 3.33. Superposition de deux inductances isolées par une couche de SU-8 réticulée. 117
Figure 3.34. Décollement de la SU-8 entre les deux niveaux d'inductances 117
Figure 3.35. Mauvais alignement du second niveau d'inductance par rapport au premier niveau 118
Figure 3.36. Influence de la base de croissance sur la variation d'épaisseur de cuivre le long d'un wafer pour 1 et 2 niveaux d'inductances 119
Figure 3.37. Principe de fonctionnement de la polisseuse 120
Figure 3.38. Evolution de l'épaisseur de SU-8 avec le temps de polissage 120
Figure 3.39. Profil d'épaisseur de la croissance de cuivre du deuxième niveau – Bobines à faible taux de remplissage 121
Figure 3.40. Profil d'épaisseur de la croissance de cuivre du deuxième niveau – Bobines à fort taux de remplissage 122

Figure 3.41. Profil d'épaisseur de la croissance de cuivre du deuxième niveau – Bobines à fort taux de remplissage et reprise sur le contact de la bobine du premier niveau. 122
Figure 3.42. Exemple de plan de masse mis en forme pour la réduction des pertes dans le substrat [126]. 123
Figure 3.43. Exemples d'inductances suspendues 124
Figure 3.44. Inductance RF réalisée sur membrane en face avant [82]. 124
Figure 3.45. Vue en coupe d'une inductance RF réalisée sur membrane en face arrière avec contacts face avant [133]. 125
Figure 3.46. Représentation d'une inductance avec une réduction progressive de la largeur des conducteurs. 125
Tableau III.1. Caractéristiques physiques comparées du Pyrex® et du silicium 126
Figure 3.47. Vue générale d'inductances réalisées sur Pyrex® 126
Figure 3.48. Vue en détail de différentes formes d'inductances réalisées sur Pyrex® 127
Figure 3.49. Inductances circulaires multibrins réalisées sur Pyrex® 127

Figure 4.1. Mesure quatre points Hc, Hp, Lp et Lc par méthode du pont auto-équilibré [139]. 131
Figure 4.2. Calibration Open/Short 131
Figure 4.3. Montage avec la sonde de mesure 42941A 132
Figure 4.4. Montage pour une mesure en 4 fils 133
Figure 4.5. Variation de phase perçue par l'appareil de mesure et compensation de cette variation. 133
Figure 4.6. Performances de mesure de l'appareil et du banc de caractérisation sur une inductance CMS du commerce. 134
Figure 4.7. Supports de mesures [Handbook] 134
Figure 4.8. Valeur d'inductance d'une bobine de 40 tours 135
Figure 4.9. Valeur de résistance d'une bobine de 40 tours 135
Figure 4.10. Facteur de qualité d'une bobine de 40 tours 136
Figure 4.11. Valeur d'inductance d'une bobine de 5 tours 136
Figure 4.12. Valeur de résistance d'une bobine de 5 tours 137
Figure 4.13. Valeur du facteur de qualité d'une bobine de 5 tours 138
Figure 4.14. Valeur d'inductance d'une bobine de 5 tours sur Pyrex® 138
Figure 4.15. Valeur de résistance d'une bobine de 5 tours sur Pyrex® 139
Figure 4.16. Valeur du facteur de qualité d'une bobine de 5 tours sur Pyrex® 139
Figure 4.17. Comparaison du comportement fréquentiel de l'inductance en fonction du substrat 140
Figure 4.18. Comparaison du comportement fréquentiel de la résistance en fonction du substrat 140
Figure 4.19. Comparaison du comportement fréquentiel du facteur de qualité en fonction du substrat 141
Figure 4.20. Variation du comportement fréquentiel de l'inductance avec le nombre de tours 142
Figure 4.21. Variation de l'inductance avec le nombre de tours 142
Figure 4.22. Variation du comportement fréquentiel de la résistance avec le nombre de tours 143
Figure 4.23. Variation de la résistance avec le nombre de tours 143
Figure 4.24. Variation du facteur de qualité avec le nombre de tours 144
Figure 4.25. Influence du nombre de tours sur la valeur maximum du facteur de qualité et de la fréquence de travail correspondante. 144
Figure 4.26. Comportement fréquentiel de l'inductance de bobines multibrin 145
Figure 4.27. Variation de l'inductance en fonction du nombre de brins connectés en parallèle 145

Figure 4.28. Comportement fréquentiel de la résistance de bobines multibrin 146
Figure 4.29. Variation de la résistance en fonction du nombre de brins connectés en parallèle 146
Figure 4.30. Comportement fréquentiel du facteur de qualité de bobines multibrin 147
Figure 4.31. Influence du passage d'une structure monobrin à une structure multibrin sur le comportement fréquentiel d'une inductance 147
Figure 4.32. Variation du comportement fréquentiel de l'inductance avec le nombre de tours – Structure « stacked » parallèle 148
Figure 4.33. Confrontation des mesures d'inductance avec les résultats issus de la modélisation – Structure « stacked » parallèle 148
Figure 4.34. Variation du comportement fréquentiel de la résistance avec le nombre de tours – Structure « stacked » parallèle 149
Figure 4.35. Confrontation des mesures de résistance avec les résultats issus de la modélisation – Structure « stacked » parallèle 149
Figure 4.36. Variation du comportement fréquentiel du facteur de qualité avec le nombre de tours – Structure « stacked » parallèle 150
Figure 4.37. Variation du comportement fréquentiel de l'inductance avec le nombre de tours – Structure « stacked » parallèle - Pyrex® 150
Figure 4.38. Comparaison du comportement fréquentiel de l'inductance – Structure « stacked » parallèle - Pyrex® 151
Figure 4.39. Variation du comportement fréquentiel de la résistance avec le nombre de tours – Structure « stacked » parallèle – Pyrex® 151
Figure 4.40. Comparaison du comportement fréquentiel de la résistance – Structure « stacked » parallèle - Pyrex® 152
Figure 4.41. Variation du comportement fréquentiel du facteur de qualité avec le nombre de tours – Structure « stacked » parallèle - Pyrex® 152
Figure 4.42. Comparaison du comportement fréquentiel du facteur de qualité – Structure « stacked » parallèle - Pyrex® 153
Figure 4.43. Variation du comportement fréquentiel de l'inductance avec le nombre de tours – Structure « stacked » série 154
Figure 4.44. Confrontation des mesures d'inductance avec les résultats issus de la modélisation – Structure « stacked » série 154
Figure 4.45. Variation du comportement fréquentiel de la résistance avec le nombre de tours – Structure « stacked » série 155
Figure 4.46. Confrontation des mesures de résistance avec les résultats issus de la modélisation – Structure « stacked » série 155
Figure 4.47. Variation du comportement fréquentiel du facteur de qualité avec le nombre de tours – Structure « stacked » série 156
Figure 4.48. Variation du comportement fréquentiel du coefficient de couplage k avec le nombre de tours – Structure « stacked » série 156
Figure 4.49. Variation du facteur de qualité avec le nombre de tours à fréquence donnée – Structure « stacked » série 157
Figure 4.50. Conséquence de la division par deux des conducteurs sur l'inductance - Silicium 158
Figure 4.51. Conséquence de la division par deux des conducteurs sur la résistance série - Silicium 158
Figure 4.52. Conséquence de la division par trois des conducteurs sur l'inductance - Silicium159
Figure 4.53. Conséquence de la division par trois des conducteurs sur la résistance série – Silicium 159
Figure 4.54. Conséquence de la division par deux des conducteurs sur l'inductance – Pyrex®160
Figure 4.55. Conséquence de la division par deux des conducteurs sur la résistance série - Pyrex® 160

Figure 4.56. Conséquence de la division par trois des conducteurs sur l'inductance – Pyrex® 161
Figure 4.57. Conséquence de la division par trois des conducteurs sur la résistance série – Pyrex® 161
Tableau IV.1. Tableau récapitulatif des paramètres géométriques et électriques des inductances mesurées 162
Figure 4.58. Profil fréquentiel de l'inductance pour des structures monobrin et multibrin équivalentes – R=580mOhm - Silicium 162
Figure 4.59. Profil fréquentiel de la résistance pour des structures monobrin et multibrin équivalentes – R=580mOhm - Silicium 163
Tableau IV.2. Tableau des écarts constatés avec la structure monobrin 163
Figure 4.60. Profil fréquentiel du facteur de qualité pour des structures monobrin et multibrin équivalentes – R=580mOhm - Silicium 164
Figure 4.61. Profil fréquentiel de l'inductance pour des structures monobrin et multibrin équivalentes – R=520mOhm – Pyrex® 164
Figure 4.62. Profil fréquentiel de la résistance pour des structures monobrin et multibrin équivalentes – R=520mOhm – Pyrex® 165
Figure 4.63. Profil fréquentiel du facteur de qualité pour des structures monobrins et multibrins équivalentes – R=520mOhm – Pyrex® 165
Figure 4.64. Influence du type d'association sur le comportement fréquentiel de l'inductance – 35 tours 166
Figure 4.65. Influence du type d'association sur l'inductance 167
Figure 4.66. Influence du type d'association sur le comportement fréquentiel de la résistance – 35 tours 167
Figure 4.67. Influence du type d'association sur la résistance 168
Figure 4.68. Influence du type d'association sur le comportement fréquentiel du facteur de qualité – 35 tours 168
Figure 4.69. Implications fréquentielles de la superposition de deux bobines et du type d'association choisi 169
Figure 4.70. Influence de l'association en série et en parallèle sur le facteur de qualité 169
Figure 4.71. Structure Buck utilisée pour la caractérisation en courant des inductances intégrées 170
Figure 4.72. Signaux aux bornes de l'inductance intégrée 171
Tableau IV.3. Contraintes électriques supportées par l'inductance intégrée de 2,5µH 171
Figure 4.73. Signaux aux bornes de l'inductance intégrée 172
Figure 4.74. Signaux aux bornes de l'inductance intégrée 172
Figure 4.75. Signaux aux bornes de l'inductance intégrée 173
Tableau IV.4. Contraintes électriques supportées par l'inductance intégrée 173

PhD summary: *«Magnetic passive elements design for low power converters»*

Alain SALLES

PhD director: Corine Alonso, 7 Avenue du Colonel Roche, 31077 Toulouse

PhD Co-Director: Bruno Estibals, 7 Avenue du Colonel Roche, 31077 Toulouse

Keywords: Microelectronics, Inductors, Integration, Converters, Power, DC/DC, Magnetic coupling.

This thesis is a contribution to integrated power supplies for portable systems working at low voltage and low current. In order to take into account converters position from load, power efficiency and density, the design and fabrication of integrated magnetic passive components for energy storage is studied and designed for switching scales. Moreover, considering the rising demand for low cumbersome, fast and well regulated systems, working frequencies tend to increase. Converters components monolithic integration is then a valuable solution. Nevertheless, such components fabrication is still a technologic challenge. Several teams have been working over 30 years on magnetic components integration on silicon. All published realizations are based on classic microelectronics techniques like electrolytic growth for precisely-controlled thickness material deposition. Our objective was a design of a 1µH inductor working within 1MHz to 10MHz frequency range for 1W applications with 1V output voltage. High power density and wide working frequency range lead us to study planar spiral inductors, already in use in radiofrequency (RF) domain.

In order to study influences of geometrical parameters on electrical ones, numerical simulation tools have been developed on the basis of a geometrical normalization of spiral inductors and equations describing inductive and resistive behavior. Numerical results showed us that high performance inductors (low DC resistance) implied geometric dimensions difficult to realize with actual microelectronics techniques (conductors form factor, resolution). To overcome these limitations, we considered series/parallel association of magnetically coupled inductors. In this context, numerical simulations showed that electrical performances enhancement were achievable.

As a consequence, MEMS based process (thick resist deposition, electrolytic growth) has been developed to validate above numerical results. Thanks to this process, classic planar inductors as well as stacked coils can be produced with high repeatability on silicon substrate. Also, because of induced current influence on inductance and resistance frequency behavior, the same process has been developed on Pyrex® substrate, in order to suppress all induced current. To validate components performances, a test bench, dedicated to impedance measurement, has been developed to define inductors working frequency range. This way, presented work proposes new perspectives for integrated magnetic components fabrication dedicated to actual and new electronic functions. As an example, different turn ratio transformers or filtering functions feasibility have been demonstrated.