
Conception d'un CAN pipeline de très faible consommation pour capteurs monolithiques à pixels actifs en technologie CMOS dédié aux applications de physique de particules et imageries biomédicales

M. Dahoumane ^{*,**} — **D. Dzahini** — **O. Rossetto** — **J. Bouvier** — **E. Lagorio** — **J. Y. Hostachy**^{*} — **Y. Hu**^{**} — **H. Ghazlane**^{***} — **D. Dallet**^{****}

^{*} LPSC, 53 avenue des Martyrs, F-38026 Grenoble Cedex France
dahoumane@lpsc.in2p3.fr

^{**} IPHC, 23 rue du Loess-BP28-67037 Strasbourg Cedex2 France

^{***} CNESTEN, BP 1382 RP 10001 Rabat Maroc

^{****} IXL, 351 Cours de Libération, 33405 Talence Cedex, France

RÉSUMÉ. Un convertisseur analogique numérique (CAN) de type pipeline 5bits, de faible consommation a été développé pour l'électronique de lecture des détecteurs monolithiques à pixels actifs en technologie CMOS. Le convertisseur inclut un échantillonneur bloqueur de gain 4 suivi de trois étages pipelines de 1.5bit et d'un dernier étage flash 2bits. La fréquence maximale est de 25Mhz. La puissance totale dissipée est de 1.7 mW/canal pour une tension d'alimentation typique de 3.3V. La taille du CAN est 43 μ m x 1.43mm, ce qui correspond à la largeur de 2 colonnes de pixels. Toute la partie analogique du CAN peut être mise en veille en moins de 1 μ s réduisant ainsi la puissance dissipée à 1/1000. Cette caractéristique est cruciale pour le détecteur de vertex comme celui de l'ILC (International Linear Collider).

ABSTRACT. This paper describes a 5bit low power analog to digital pipelined converter developed for CMOS monolithic active pixels sensor readout. The converter includes a non-resetting sample and hold stage which amplifies the small input signal by 4 and compensates offsets effects, followed by three 1.5 bit pipelined stages and 2bit flash stage at the end. The sampling rate is 25MS/s. the total DC power consumption is 1.7 mW/channel at 3.3V supply voltage recommended for this process. The size of each ADC channel is only 43 μ m x 1.43mm. This corresponds to the pitch of two columns of pixels, each would be 20 μ m wide. The full analog part of the converter can be switched to a standby mode in less than 1 μ s by a ratio better than 1/1000, this characteristic is very important for the ILC vertex detector.

MOTS-CLÉS: CAN, pipeline, MAPS, pixels, ILC, switch, capacité, injection, charge, offset

KEYWORDS: ADC, pipeline, MAPS, pixels, ILC, switch, capacitor, charge, injection, offset

1. Introduction

Les capteurs monolithiques à pixels actifs (MAPS) fabriqués en technologie CMOS présentent différents avantages pour les détecteurs de vertex, la cosmologie et l'imagerie médicale. La grande granularité, la flexibilité, la tenue aux radiations, la lecture rapide et directe des données font partie de leurs caractéristiques. Cependant, la réalisation de leur électronique de lecture doit concilier plusieurs contraintes :

- la technologie utilisée doit être celle déjà validée pour réaliser les pixels
- le signal minimum est très faible, il est de l'ordre de 1mV.
- le dessin des masques doit respecter les dimensions du pixel (20µm de largeur).
- le nombre de couches de métal n'est que 4.
- la consommation est un facteur très critique car la matrice n'est pas refroidie.

Le circuit ici présenté répond aux exigences de la matrice de pixels conçue à l'IPHC- Strasbourg en collaboration avec DAPNIA_Saclay, pour le détecteur de vertex du collisionneur linéaire [1]. La disposition de la matrice de pixels et de son électronique de lecture est illustrée sur la figure 1.

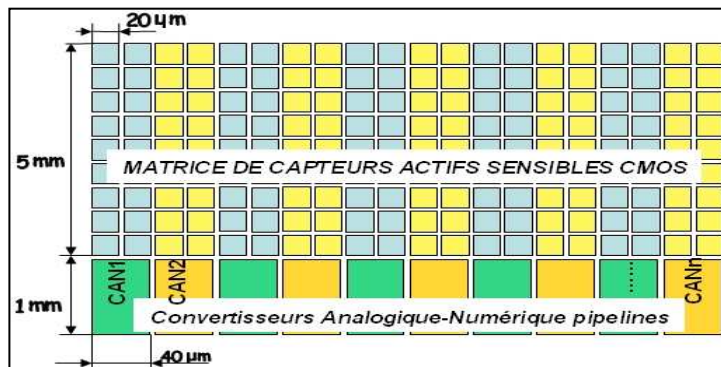


Figure 1. Matrice de pixels actifs sensibles avec les étages de conversion associés

L'IPHC développe des capteurs rapides sous forme de colonnes de pixels lus en parallèle avec une fréquence supérieure à 10KHz. Chaque pixel possède un micro circuit permettant la première soustraction du signal (via correlated double sampling : CDS), éventuellement répétée en bas de chaque colonne [2]. Actuellement chaque colonne se termine par un discriminateur qui sera remplacé par un CAN. Ce dernier doit être inclus dans la largeur de la colonne qui est de 25µm. Cette largeur fera 20µm sur les prochains prototypes. Le signal minimal délivré par chaque colonne est typiquement de l'ordre de 1mV ce qui rend très délicate la

conception du convertisseur. La fréquence d'échantillonnage désirée est de 10MS /s. la puissance dissipée doit rester inférieure à 500 μ W/colonne.

Le premier étage de ce convertisseur est critique compte tenu de la valeur du bit du poids faible (LSB \sim 1mV) par rapport à l'offset et le rapport signal sur bruit (SNR). L'architecture pipeline est la plus adéquate pour ce cahier des charges, en permettant le meilleur compromis entre la surface, la consommation et la vitesse de conversion. Un diagramme du convertisseur est montré sur la figure 2 [3], [4], [5].

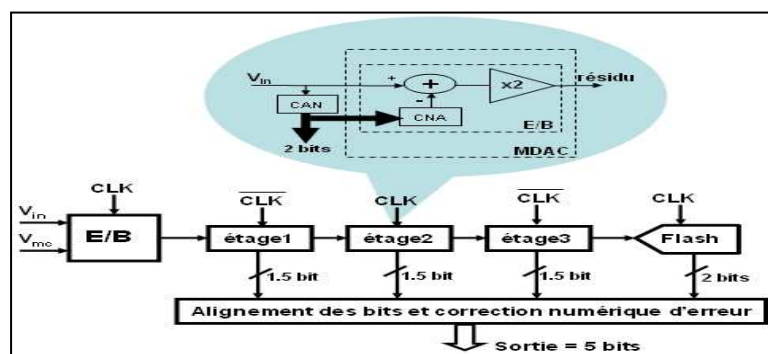


Figure 2. Diagramme général d'un convertisseur pipeline

Le premier étage échantillonne le signal d'entrée, il est suivi par une cascade d'étages pipelines du convertisseur. Chacun de ces étages délivre un code binaire correspondant au signal de son entrée, puis convertit ce code en tension analogique qui va être soustraite du signal de l'entrée. Cette différence est amplifiée avant d'être envoyée sur l'entrée de l'étage suivant. Le dernier étage est un flash de deux bits. Les résultats numériques successifs issus des étages pipelines sont correctement alignés par des registres à décalage. Les résultats ainsi synchronisés, correspondant à la même entrée analogique, passe par une logique de correction d'erreurs dues aux offsets des comparateurs. Ainsi, des comparateurs de très faibles offsets ne sont pas nécessaires, ceci réduit considérablement la consommation totale du convertisseur.

Dans les chapitres suivants, nous décrivons en détail chaque étage de ce convertisseur et nous finirons par présenter quelques résultats de test du prototype.

2. L'échantillonneur bloqueur (E/B)

Nous avons utilisé une architecture à redistribution de charges non inverse use [6]. La figure 3 illustre le schéma réalisé et met en évidence la phase d'échantillonnage (ϕ_2 activée). Le signal d'entrée est enregistré sur les capacités (C37...C40). Et pendant la phase ϕ_1 (blocage), la charge est transférée sur la

4 CAN pipeline pour les capteurs MAPS en CMOS

capacité de contre-réaction C23 donnant ainsi une amplification de la tension différentielle entre la référence V_{in-} (tension d'obscurité) et le signal d'intensité V_{in+} par un facteur 4 (rapport des capacités). Chaque capacité vaut 100fF.

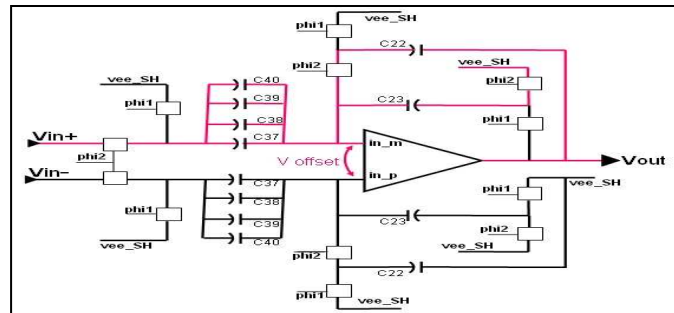


Figure 3. Schéma de l'échantillonneur bloqueur de gain 4

2.1. Les sources d'offsets

L'architecture que nous avons utilisée n'est pas différentielle, car elle nécessiterait une boucle de contrôle du mode commun qui consomme soit en surface soit en puissance. C'est pourquoi nous avons utilisé un schéma pseudo différentiel qui permet de s'affranchir de cette consommation tout en compensant, à la fois, l'effet des fluctuations de la tension du mode commun du signal d'entrée et celui des différents offsets.

2.1.1. L'offset de l'amplificateur

Pour des raisons technologiques et thermiques, il peut y avoir une différence de potentiel appelée Offset entre les deux entrées de l'amplificateur. Cet offset est mémorisé sur la capacité C_{23} pendant l'échantillonnage (ϕ_2) pour être annulé dans la phase de blocage (ϕ_1). Nos simulations ont prouvé que le gain reste proche de sa valeur optimale 4 même avec cet offset variant de -10mV à 10mV. L'erreur induite serait de 2.5% pour un signal de valeur minimale ($LSB = 1 \text{ mV}$). Cette erreur acceptable pour un CAN 5bits.

2.1.2. L'offset dû aux injections de charges

Les charges se trouvant dans le canal du transistor des interrupteurs (switches) s'évacuent vers le drain et la source du transistor quand on ouvre l'interrupteur (position OFF). Ces charges injectées créent une tension d'offset très critique compte tenu des capacités de très faibles valeurs utilisées. Cette source d'offset est contrôlée en utilisant des horloges non recouvrantes de plusieurs phases qui ne sont pas détaillées sur la figure 3, pour des raisons de simplification.

2.1.3. La fluctuation de la tension du mode commun des pixels

Le schéma de l'échantillonneur bloqueur (figure 3) est parfaitement symétrique et on peut également remarquer les entrées in_m et in_p de l'amplificateur sont flottantes, ces deux facteurs réduisent très considérablement les effets dus aux fluctuations de la tension du mode commun du signal venant des pixels.

2.1.4. L'effet des capacités parasites en entrée de l'amplificateur

Le schéma de l'échantillonneur bloqueur est très sensible à la capacité parasite à l'entrée de l'amplificateur. L'offset dû à cette capacité peut facilement translater la tension de sortie en dehors de la dynamique du convertisseur qui suivra. Pour réduire cet offset, une grande attention a été faite lors du dessin du layout.

2.2. Les sources de bruit

Le bruit KT/C est un paramètre critique dans ce design, car en tenant compte de la contrainte surface nous avons été emmenés à utiliser des capacités de très faibles valeurs. La capacité d'échantillonnage d'entrée vaut 400 fF ce qui correspond à un bruit rms KT/C de 0.1 mV. Donc on a une marge de sécurité de 1/10 entre le bruit rms et le signal minimum (lsb = 1mV), largement suffisant pour la stabilité du code de sortie. Le bruit thermique de l'amplificateur est également pris en compte.

2.3. L'architecture de l'amplificateur

L'amplificateur utilisé pour l'échantillonneur bloqueur a également été utilisé dans les étages multiplieurs du convertisseur. Nous avons utilisé une architecture 'cascode télescopique' [7]. La structure du miroir de courant de charge utilisée permet une extension de la zone de linéarité meilleure qu'une architecture coscode simple. Le gain en boucle ouverte de l'amplificateur, chargé avec 1 pF, est de 50 dB, sa fréquence de coupure à 0dB est de 100 MHz. Cet amplificateur est aussi performant à basse tension d'alimentation.

3. Le Convertisseur Analogique Numérique (CAN) pipeline

Un étage pipeline 1.5 bit du CAN (voir figure 2) est constitué de trois parties :

- Un CAN flash 2 bits qui consiste en 2 comparateurs non critiques et un transcodeur deux vers deux,
- Un convertisseur Numérique analogique (CNA),
- un circuit soustracteur multiplieur de gain 2 réalisé à base des capacités commutées. Sa fonction de transfert est : $V_s = 2 * V_{in} - \alpha * V_{ref}$ avec $\alpha = 0, 0.5, \text{ ou } 1$ selon les possibilités du code b1b0 (00, 01, 10) respectivement et V_{ref} est la valeur de la dynamique totale du signal à l'entrée du CAN.

La configuration 1.5bit/étage présente le meilleur compromis pour notre application du fait qu'elle minimise la consommation globale du convertisseur, car

l'amplificateur est conçu pour une basse consommation, et qu'elle laisse une grande flexibilité sur les offsets des comparateurs.

3.1. Les comparateurs

La valeur maximale de l'offset des comparateurs tolérée est limitée à $V_{ref}/8$ (16 mV), pour une dynamique totale $V_{ref} = 128$ mV. Le comparateur est de basse consommation et de très faible offset. Il est constitué d'un préamplificateur différentiel de faible gain et faible offset suivi d'un comparateur cascode replié [8].

4. Les résultats du test

Nous avons réalisé un prototype dans la technologie CMOS 0.35 μ m de Austria Micro System (AMS). Il inclut huit canaux de convertisseurs parallèles. Le dessin des masques est fait pour permettre une multiplication automatique du nombre des canaux. Une photo partielle du circuit est montrée à la figure 4. Les dimensions d'un canal complet incluant l'échantillonneur bloqueur sont 43 μ m*1.43mm. La figure 4 met en évidence les différentes parties du convertisseur.



Figure 4. Layout d'un prototype avec 8 canaux de convertisseurs

Le circuit a été testé avec succès à 25 MHz de fréquence. Un canal de convertisseur dissipe seulement 1.7 mW pour 3.3 V de tension d'alimentation et 1.3 mW pour 2.5 V d'alimentation. L'étage E/B dissipe à lui seul 25% de puissance totale.

Les Non linéarités différentielle DNL et intégrale INL ont été mesurées en utilisant la méthode des histogrammes cumulés. Le signal est un sinus de 1 Mhz. les résultats sont montrés sur la figure 5 [9].

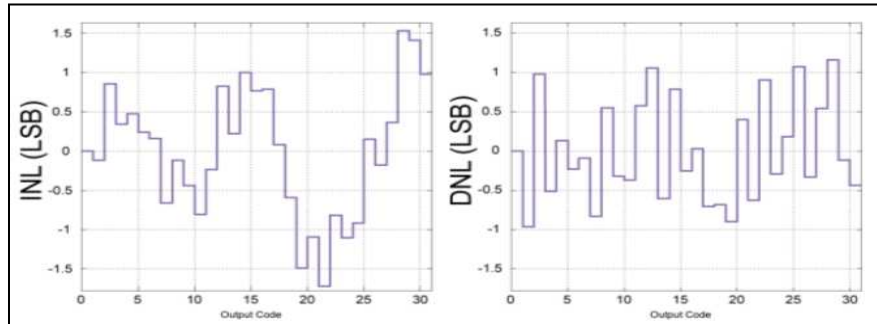


Figure 5. Résultats de test de non linéarités intégrale et différentielle

Dans le futur collisionneur ILC, le train de paquets de particules (Electrons, positrons) ne dure que 1ms sur une période de 200ms. D'où l'idée de mettre en mode veille la partie analogique du design permet de réduire la consommation. Nous avons intégré dans notre prototype un circuit de mise en route et d'extinction dont Les résultats du test sont donnés sur la figure 6.

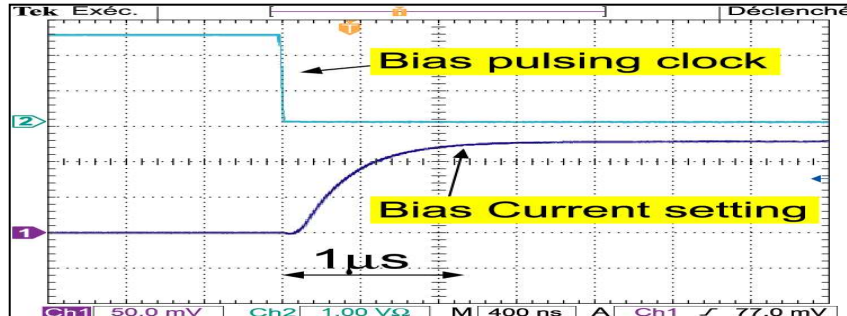


Figure 6. Résultats de test du circuit de mise en veille et mise en route rapide

Sur front descendant de l'horloge, le courant de polarisation est établi en moins de $1\mu\text{s}$. Durant le mode stand-by, toute la partie analogique du convertisseur est éteinte. La consommation analogique totale est réduite à moins de $1/1000$. Ceci rend la consommation du convertisseur directement proportionnelle au taux d'occupation du faisceau de particules dans le futur accélérateur linéaire international (ILC).

5. Conclusion

Dans ce papier, un CAN pipeline 5 bits, 25Mhz de faible consommation a été décrit. Une attention particulière est faite sur les limitations en surface, vitesse et le faible signal délivré par les capteurs monolithiques à pixels actifs. Ce circuit est réalisé pour le détecteur de vertex du futur collisionneur linéaire ILC. Il inclut un étage échantillonneur bloqueur et un convertisseur qui est composé de trois étages pipelines 1.5bit non différentiels suivis d'un étage flash 2 bits. Le dessin des masques est réalisé en tenant compte de la largeur des colonnes de la matrice des pixels. Les dimensions de chaque canal sont $43\mu\text{m}\times 1.43\text{mm}$. Nous comptons réduire cette taille du canal ainsi que la consommation dans notre prochaine version. Un circuit de mise en stand-by est inclus dans ce design dans le but de mettre la consommation directement proportionnelle au cycle utile du faisceau de particules qui est de 1/200.

Remerciements

Nous remercions M. Winter, C. Hu, I. Valin et C. Colledani du laboratoire IPHC/IN2P3 à Strasbourg pour cette grande collaboration. Les discussions sur les contraintes des MAPS qu'ils développent nous ont été très utiles dans notre design.

6. Bibliographie

- [1] Winter M. et al., «A swift and slim flavour tagger exploiting the CMOS sensor technology», Proc. Of international linear collider Workshop, (USA), March 2005.
- [2] Degerli Y. et al., « mimosa-8 », *IEEE Trans. On Nucl. Science*, vol. 52, December 2005, pp.3186-3193.
- [3] S. H. Lewis, et al., « 10-b 20-Msample/s analog to digital converter », *IEEE J. Solid-state circuits*, vol. 27, pp. 351-358, March 1992.
- [4] T. B. Cho and P. R. Gray, « A 10-bit, 20-MS/s, 35 mW pipeline A/D converter », in Proc. *IEEE Custom integrated circuits Conf, May 1994*, pp. 23.2.1-23.2.4.
- [5] Brandt B.P. and Lutsky J., «A 75-mW, 10b, 20-MSPS CMOS subranging ADC with 9.5 effective bits at Nyquist», *IEEE J. solid-state circuit*, pp.178861795 December 1999.
- [6] Johns D. A. and Martin K., «Analog integrated circuit Design», Edition, 1997.
- [7] Dzahini D. et Ghazlane H., «Auto-zero stabilized CMOS amplifiers for very low voltage or current offset», *IEEE Nuclear Science Symposium*, Portland (USA), 20-24/10/2003.
- [8] Dzahini D., «A high speed low power CMOS comparator», communication at CERN for LARG collaboration, 1994.
- [9] Dallet D. and Da Silva J. M., «Dynamic characterization of analog to Digital converters», Springer, 2005.